

应用指南AN-95

InnoSwitch3-PD产品系列

设计指南

简介

InnoSwitch™3-PD系列IC可极大简化符合USB-PD标准的全数控高效率电源的开发和制造，尤其是那些采用紧凑外壳的电源。

InnoSwitch3-PD在一个器件中集成了一个高压功率开关（MOSFET或PowiGaN™）以及支持USB Type-C和USB PD技术的初级侧和次级侧控制器。其架构采用专有磁感耦合反馈机制—FluxLink™，可向初级控制器传递开关请求。

InnoSwitch3-PD初级侧控制器采用准谐振(QR)反激式控制方案，该方案利用可变频率和可变限流点来调节对次级侧的功率输出。电源能够在连续导通模式(CCM)、断续导通模式(DCM)和临界导通模式(CRM)下工作，实现状态之间的平滑切换。初级控制器包括具有前沿消隐的限流控制器、抖频振荡器、轻载工作音频降噪引擎、限流选择电路、初级旁路引脚5V稳压器、初级检测输出过压保护功能（通过将串联电阻和齐纳稳压管从滤波的偏置绕组电压连接到初级旁路引脚来实现）、无损耗输入电压检测以及集成的过温保护功能。此外，还包括一个与次级控制器磁耦合的接收器电路。

InnoSwitch3-PD次级控制器包括通过FluxLink磁感耦合至初级接收器的发射器电路、同步整流FET驱动器、VBUS串联开关驱动和负载放电引脚、QR模式控制、次级旁路引脚振荡器和计时稳压器、 μ VCC引脚3.6V稳压器、USB Type-C和PD控制器以及众多集成的保护特性。

基本电路结构

图1所示为适用于USB PD应用的45W反激式电源的电路原理图。不同的输出功率水平可能需要不同的元件值和不同配置的输入级，以优化EMI和浪涌保护，但一般电路是相似的。

范围

本应用指南旨在帮助工程师使用InnoSwitch3-PD器件设计AC-DC隔离反激式电源或充电器。它提供了选择关键元件的指南和完成合适的变压器设计所需的信息。为方便起见，本应用指南直接参考了InnoSwitch3-PD PIXIs设计表格，该设计表格为PI Expert™设计软件套件的一部分（网址请见：<https://www.power.com/design-support/pi-expert>）。

InnoSwitch3-PD固件

标有标准特征代码的InnoSwitch3-PD器件已预装适当的固件，以支持典型的USB PD要求。固件定义了器件支持的USB PD输出特性（固定电源PDO和PPS APDO）并配置了保护功能。

有关每款InnoSwitch3-PD器件的可用特征代码和固件配置的完整列表，请参阅InnoSwitch3-PD数据手册。对于需要自定义USB PD输出特性或特定固件配置的应用，请联系Power Integrations讨论相关要求。

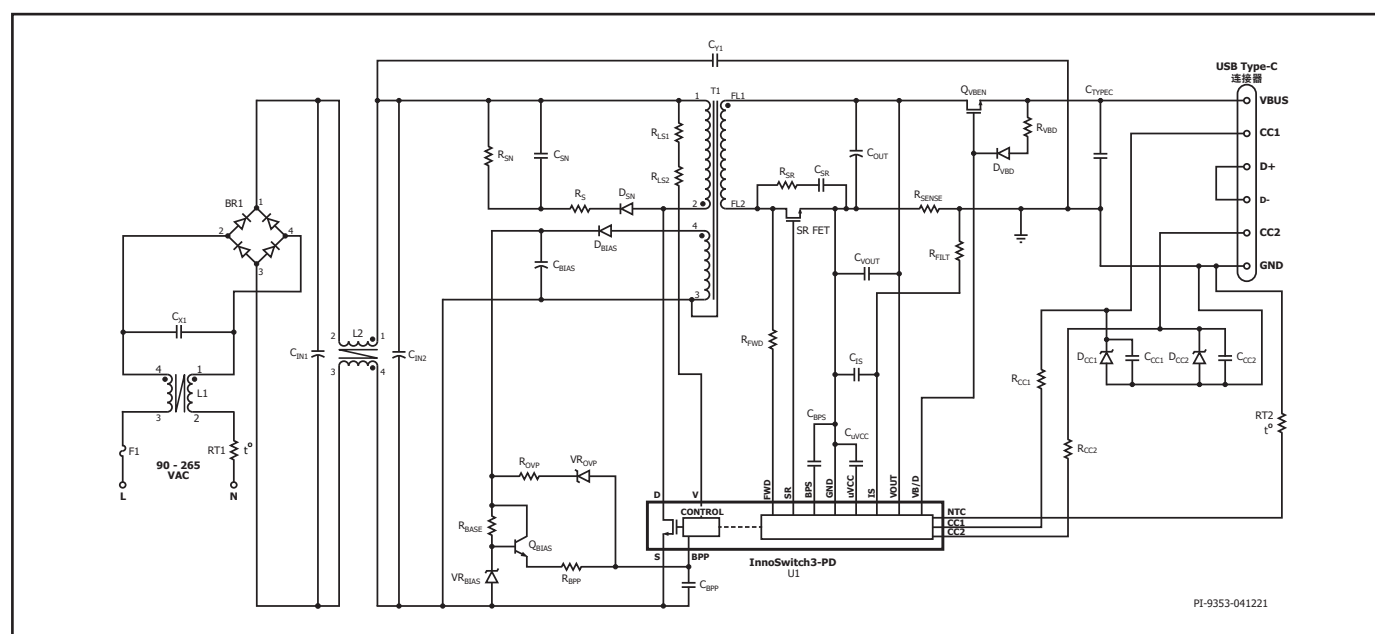


图1. 使用InnoSwitch3-PD的典型45W USB PD反激式电源

快速入门

熟悉电源设计和Power Integrations设计软件的读者可以选择跳过详细设计方法，使用以下信息快速创建变压器并为第一个工程样机选择元件。为此，只要将下述信息输入PIXIs表格，其他参数就会自动选取出来。方括号当中的数值表示PIXIs设计表格中的行号，例如，[L3]对应于设计表格中的第3行。

1. 录入AC输入电压范围和工频：VAC_MIN [L3]、VAC_MAX [L4]、LINEFREQ [L6]
2. 录入输入滤波电容容量，CAP_INPUT [L7]
 - 对于没有维持时间要求的应用，建议在通用(85 – 265VAC)或仅低高压输入设计(110/115VAC)中使用2 μ F/W。对于仅高压输入设计(230VAC)，建议使用1 μ F/W。
 - 对于有维持时间要求的应用，需要更高的电容容量。根据输出功率、预估效率和确定的维持电压，计算最小输入电容。请参考附录A中的公式。
 - 如果此单元格留空，则会自动计算电容值，且无维持时间要求，目标V_{MIN}为70V（通用或仅压输入）或150V（仅高压输入），以获得最佳输入滤波电容值。
3. 在SETPOINT1 VOUT1 [L10]中录入所需的最高输出电压（包括PPS APDO）
4. 录入连续输出电流，IOUT1 [L11]
5. 以小数形式录入预估效率，EFFICIENCY [L13]
 - 对于通用输入电压范围(85-265VAC)或单电压100/115VAC (85-132VAC)设计取值0.88；对于单电压230VAC (185-265VAC)设计取值0.90。完成首件工程样机后在最低交流输入电压(VAC_{MIN})、最大负载条件下测量其效率，再相应地调整表格中估计的效率取值
6. 录入损耗分配因子，Z_factor [L14]
 - 通常，设置点<3A时取值0.5，设置点为5A时最高取值0.65
7. 选择设置点类型，TYPE（PDO或APDO）[L15]
8. 根据设计的USB PD输出性能（PDO和PPS APDO），对后续SET-POINT（设置点）重复步骤3到7（VOUT到TYPE）。按电压降序录入电压SET-POINT。这意味着SET-POINT1电压必须大于SET-POINT2电压，SET-POINT2电压必须大于SET-POINT3电压
9. 录入所需的PDO输出线压降补偿(CDC)，VOLTAGE_CDC [L81]
 - “0”表示无输出线压降补偿，“0.300”表示300mV CDC
10. 选择电源壳体，ENCLOSURE（适配器/敞开式）[L86]
11. 选择电流限流模式，ILIMIT_MODE [L87]
 - 有两个电流限流点配置可用 – STANDARD（标准）或INCREASED（升高）

12. 从下拉列表[L89]中根据输出功率、输入电压及应用选择InnoSwitch3-PD器件
13. 录入满载下所需的最大开关频率，FSWITCHING_MAX [L103]
14. 录入所需的反射输出电压，VOR [L104]
15. 从下拉菜单中选择磁芯类型（如果需要），CORE [L133]
 - 如果未输入任何磁芯型号，设计表格会自动选择合适的磁芯
 - 对于自定义磁芯，选择CUSTOM CORE [L133]，在[L134]到[L142]中输入磁芯参数
16. 录入次级绕组圈数，[L158]

如果出现任何警告，请按照设计表格最右边一栏提供的说明更改设计。

- 根据“变压器结构”选项页面中的建议构建变压器
- 选择关键元件
- 制作原型并根据需要反复调整设计。根据测量的实际结果，输入到设计表格中，对最初假设的参数（比如效率、最低输入电压V_{MIN}）进行验证。请注意，初始效率估计值非常保守。

型号 ^{4,5}	230VAC $\pm$ 15%		85-265VAC	
	适配器 ²	敞开式 ³	适配器 ²	敞开式 ³
INN3865C/3875C	25W	30W	22W	25W
INN3866C/3876C	35W	40W	27W	36W
INN3877C	40W	45W	36W	40W
INN3867C	45W	50W	40W	45W
INN3868C	55W	65W	50W	55W
INN3878C	70W	75W	55W	65W
INN3879C	80W	85W	65W	75W
INN3870C	90W	100W	75W	85W
INN3896C	25W	35W	20W	30W

表1. InnoSwitch3-PD的输出功率对照表

备注：

1. 最大输出功率取决于具体设计，并且塑封壳温度必须保持在125°C以下。
2. 最小的持续输出功率是在典型的无风冷密闭适配器中、环境温度为40°C的条件下测量得到的。
3. 最小峰值功率。
4. C封装：InSOP-24D。
5. INN386xC – 650V MOSFET；INN387xC – 725V MOSFET；INN3878C、INN3879C和INN3870C – 750V PowiGaN开关；INN3896C – 900V MOSFET。

详细设计步骤

下面的设计步骤使用了PIXIs设计软件（可从Power Integrations网站免费下载），它可以自动执行完成InnoSwitch3-PD反激式电源设计所需的关键计算。PIXIs使设计人员能够简化原本需要大量反复的设计过程。本节在适当的地方还提供了速查表和经过实证的设计指南，以帮助设计人员简化设计过程。

反复优化设计以消除警告。如果有任何估算电路参数超出建议值的范围，右手边相应的建议栏内会给出消除此警告的指导方法。当所有警告都清除时，变压器的输出设计参数就可用来绕制变压器样品。

第1步 – 应用变量

输入规格

录入: **VIN_MIN**, **VIN_MAX**, **LINEFREQ**, **CAP_INPUT**

最小及最大输入电压, **V_MIN**, **V_MAX** (VAC)

从表2当中确定输入电压范围，以符合特定的地区要求。

工频, **LINEFREQ** (Hz)

对于通用输入电压或单电压100VAC输入取值50Hz；对于单电压115VAC输入取值60Hz。对于单电压230VAC输入取值50Hz。这些值表示典型的工频，而不是最小频率。对于大多数应用，这都预留了足够的整体设计裕量。在绝对最差情况下或根据产品规格要求将这些数值降低6%（47Hz或56Hz）。

总输入电容量, **CAP_INPUT** (μF)

参照表3录入总输入电容量。输入电容量用来计算大电容的最小及最大直流输入电压。必须使用足够的输入电容保证最低直流输入电压(VMIN) > 70V。

1	ACDC_InnoSwitch3-PD_Flyback_022421; Rev.0.4; Copyright Power Integrations 2021	INPUT	INFO	OUTPUT	UNITS	InnoSwitch3-PD Flyback Design Spreadsheet
2	APPLICATION VARIABLES					
3	VAC_MIN	90		90	V	最小交流输入电压
4	VAC_MAX	265		265	V	最大交流输入电压
5	VAC_RANGE			UNIVERSAL		交流输入电压范围
6	FLINE	50		50	Hz	交流输入电压频率
7	CAP_INPUT	81.0		81.0	μF	输入电容量

图2. InnoSwitch3-PD设计表格中的应用变量部分（含灰色单元格）

地区	额定输入电压 (VAC)	最小输入电压 (VAC)	最大输入电压 (VAC)	额定工频 (Hz)
日本	100	85	132	50/60
美国、加拿大	120	90	132	60
澳大利亚、中国、欧盟国家、印度、韩国、马来西亚、俄罗斯	230	185	265	50
印度尼西亚、泰国、越南	220	185	265	50
欧洲、亚洲和美洲其他国家和地区； 世界其他国家和地区	115、120、127	90	155	50/60
	220、230	185	265	50/60
	240	185	265	50

请访问: <https://www.iec.ch/world-plugs>

表2. 全球额定输入电压和工频

交流输入电压 (VAC)	每瓦特输出功率应使用的总输入电容量(μF/W)	
	全波整流	
	敞开式应用或充电器/适配器（无维持时间要求）	适配器（有维持时间要求） ¹
85 – 265（通用输入）	2	>2
100/115（仅低压输入）	2	>2
230（仅高压输入）	1	>1

注释1: 计算出满足维持时间要求的最小输入电容量。简单的计算方法见附录A。

表3. 不同输入电压范围的建议总输入电容量

输出设置点

录入: VOUT, IOUT, EFFICIENCY, Z-FACTOR, TYPE, CDC

USB PD电源通常支持多个设置点。根据上载到IC的固件, InnoSwitch3-PD可以提供固定电源数据对象(PDO)和数字控制电源增强供电数据对象(PPS APDO)。表4显示了InnoSwitch3-PD设计中不同PD功率(PDP)额定值的USB PD输出特性的一些示例。请参阅USB PD规范文件, 了解特定PDP额定值所需和可选的输出特性(<https://www.usb.org/document-library/usb-power-delivery>)。

定义所有USB PD输出性能后, 必须在PIXIs中录入VOUT、IOUT、EFFICIENCY、Z-FACTOR和TYPE, 创建多个设置点, 以涵盖所有所需的输出性能。

额定设置点电压, VOUT (V)

应在PIXIs中录入每个设置点, 包括相应的负载电流。如前所述, 应按电压降序录入SET-POINT。对于支持PPS的USB PD电源, 最高电压设置点通常是PPS APDO的最大电压限值。

例如, 要设计一个45W的电源适配器, 其输出特性如表4所示。最高输出电压为21V, 应将其录入为SET-POINT1, 如图3所示。必须录入的设置点的完整列表如下: 21V、20V、16V、15V、11V、9V、5V和3.3V。

电源输出电流, IOUT (A)

这是电源的每个设置点的最大连续负载电流。对于功率不受限的PDO和PPS APDO (PPS功率限制位设置为0), 设置点的IOUT就是PDO或APDO的最大电流。

对于功率受限的PPS APDO, 只要USB PD下拉端发送的有效输出电压和电流限流请求超过PDP额定值, 电源就会降低其电流限流点, 使其不超过PDP额定值, 因此, 对于功率受限的APDO, 应使用下式录入IOUT, 四舍五入至最接近的50mA。

$$I_{OUT} = \frac{PDP}{V_{OUT}}$$

使用前面描述的相同45W设计示例, SETPOINT5对应于11V, 即PPS APDO, 功率限制为45W。SETPOINT5的IOUT应录入4.050A。

另请注意, 当设计支持多个PPS APDO时, 应使用最大电流限度创建3.3V设置点。同样, 在45W设计示例中, SETPOINT8的VOUT和IOUT分别为3.3V和5A。无需为3.3V/3A或3.3V/2.25A创建新的设置点。

PD功率(PDP)额定值	USB PD输出性能	电源输出类型
27W	5V/3A	固定供电PDO
	9V/3A	固定供电PDO
	3.3V – 11V/3A	数字控制电源APDO (功率限制为27W)
45W	5V/5A	固定供电PDO
	9V/5A	固定供电PDO
	15V/3A	固定供电PDO
	20V/2.25A	固定供电PDO
	3.3V – 11V/5A	数字控制电源APDO (功率限制为45W)
	3.3V – 16V/3A	数字控制电源APDO
	3.3V – 21V/2.25A	数字控制电源APDO
60W	5V/3A	固定供电PDO
	9V/3A	固定供电PDO
	15V/3A	固定供电PDO
	20V/3A	固定供电PDO
	3.3V – 21V/3A	数字控制电源APDO
100W	5V/5A	固定供电PDO
	9V/5A	固定供电PDO
	15V/5A	固定供电PDO
	20V/5A	固定供电PDO
	3.3V – 21V/5A	数字控制电源APDO

表4. 不同PDP额定值下的USB PD输出性能示例 (包括可选的PPS APDO)

9	SET-POINT 1					
10	VOUT1	21.00		21.00	V	输出电压1, 应为所需的最高输出电压
11	IOUT1	2.250		2.250	A	输出电流1
12	POUT1			47.25	W	输出功率1
13	EFFICIENCY1	0.90		0.90		输出变换器效率1
14	Z_FACTOR1	0.50		0.50		输出Z因子1
15	TYPE	APDO	▼	APDO		选择此设置点是PDO（功率输出对象）还是APDO（增强功率输出对象）
16						
17	SET-POINT 2					
18	VOUT2	20.00		20.14	V	输出电压2
19	IOUT2	2.250		2.250	A	输出电流2
20	POUT2			45.30	W	输出功率2
21	EFFICIENCY2	0.90		0.90		输出变换器效率2
22	Z_FACTOR2	0.50		0.50		输出Z因子2
23	TYPE	PDO	▼	PDO		选择此设置点是PDO（功率输出对象）还是APDO（增强功率输出对象）
24						
25	SET-POINT 3					
26	VOUT3	16.00		16.00	V	输出电压3
27	IOUT3	3.000		3.000	A	输出电流3
28	POUT3			48.00	W	输出功率3
29	EFFICIENCY3	0.90		0.90		输出变换器效率3
30	Z_FACTOR3	0.50		0.50		输出Z因子3
31	TYPE	APDO	▼	APDO		选择此设置点是PDO（功率输出对象）还是APDO（增强功率输出对象）
32						
33	SET-POINT 4					
34	VOUT4	15.00		15.18	V	输出电压4
35	IOUT4	3.000		3.000	A	输出电流4
36	POUT4			45.54	W	输出功率4
37	EFFICIENCY4	0.90		0.90		输出变换器效率4
38	Z_FACTOR4	0.50		0.50		输出Z因子4
39	TYPE	PDO	▼	PDO		选择此设置点是PDO（功率输出对象）还是APDO（增强功率输出对象）
40						
41	SET-POINT 5					
42	VOUT5	11.00		11.00	V	输出电压5
43	IOUT5	4.050		4.050	A	输出电流5
44	POUT5			44.55	W	输出功率5
45	EFFICIENCY5	0.90		0.90		输出变换器效率5
46	Z_FACTOR5	0.50		0.50		输出Z因子5
47	TYPE	APDO	▼	APDO		选择此设置点是PDO（功率输出对象）还是APDO（增强功率输出对象）

图3. 45W InnoSwitch3-PD设计的设置点1至5。所有剩余设置点（9V、5V和3.3V）必须全部填入设计表格。

输出功率, POUT (W)

此参数针对每个设置点值进行计算, 并将根据所选择的输出线补偿自动调整。

电源效率, EFFICIENCY (η)

输入整个电源的预估效率, 这是在峰值负载及最差的输入及输出电压（一般为最低输入电压）条件下由输出端测得的效率。表5可以作为初始值的参考。一旦完成了工程样机, 应输入实际测量的电源效率, 并可能需要进一步调整变压器的设计。

电源损耗分配因子, Z_FACTOR

此参数表示电源初级侧及次级侧损耗所占的比例。Z因子与效率值一起决定功率环必须处理的实际功率。例如, 功率环（通过变压器传输）不会处理在输入级（EMI滤波器、输入整流桥等）的损耗, 因此尽管输入级的损耗降低了效率, 但不会影响变压器的设计。

$$Z = \frac{\text{次级损耗}}{\text{总损耗}}$$

由于次级损耗通常主要取决于次级电流相关损耗（如通过SRFET的有效值电流、通过SR FET体二极管的平均电流、通过输出电容ESR的电流纹波），因此Z因子通常随负载电流而增加, 不一定随输出功率而增加。

在设计InnoSwitch3-PD电源的第一阶段, 当还没有制作工程样机时, 建议对IOUT为3A及以下的设置点采用0.5的Z因子估计值, 对IOUT为5A的设置点可采用高达0.65的Z因子。如果需要优化计算, 可以使用从工程样机测量的功率损耗预算来确定实际的次级损耗, 并且可在设计表格中反复调整Z因子。

设置点类型, TYPE

选择相应的设置点是PDO（固定电源数据对象）还是APDO（增强电源数据对象）。

输出线压降补偿, VOLTAGE_CDC (V)

根据设计所选用的线缆选择合适的输出线压降补偿。CDC仅适用于PDO, 随着负载电流从0增加到电源的满量程电流, 输出电压补偿量从0V线性增加到CDC值。

在PIXIs中录入与InnoSwitch3-PD IC中设定的CDC设置相匹配的CDC值。例如, InnoSwitch3-PD IC中的300mV CDC设置与设计表格中录入的“0.300”相对应。

PD功率 (PDP) 额定值	设置点			预估效率	
	VOUT (V)	IOUT (A)	类型	典型的低输入电压范围/ 通用范围 (最小值85VAC)	典型的高输入电压范围 (最小值185VAC)
27W	11	2.45	APDO	0.88	0.90
	9	3	PDO	0.88	0.90
	5	3	PDO	0.88	0.89
	3.3	3	APDO	0.86	0.86
45W	21	2.25	APDO	0.91	0.92
	20	2.25	PDO	0.91	0.92
	16	3	APDO	0.91	0.92
	15	3	PDO	0.91	0.92
	11	4.1	APDO	0.90	0.91
	9	5	PDO	0.90	0.91
	5	5	PDO	0.89	0.90
	3.3	5	APDO	0.87	0.88
60W	21	3	APDO	0.90	0.93
	20	3	PDO	0.90	0.93
	15	3	PDO	0.90	0.93
	9	3	PDO	0.90	0.92
	5	3	PDO	0.90	0.91
	3.3	3	APDO	0.87	0.88
100W	21	5	APDO	0.91	0.93
	20	5	PDO	0.91	0.93
	15	5	PDO	0.91	0.93
	9	5	PDO	0.90	0.92
	5	5	PDO	0.90	0.92
	3.3	5	APDO	0.88	0.89

表5. 通过在PCB上测量输出和对不同PDP额定值的设置点进行同步整流得出的初始效率预估值

注:

对于正常工作期间需要超过75W输入的适配器电源, 通常采用功率因数校正。这可能会影响反激控制器的输入电压和效率预估值。

第2步 – 初级控制器的选择

录入: ENCLOSURE, ILIMIT_MODE, VDRAIN_BREAKDOWN, DEVICE_GENERIC

85	PRIMARY CONTROLLER SELECTION				
86	ENCLOSURE	ADAPTER	ADAPTER		电源壳体
87	ILIMIT_MODE	INCREASED	INCREASED		器件限流模式
88	VDRAIN_BREAKDOWN	750	750	V	器件击穿电压
89	DEVICE_GENERIC	INN38X9	INN38X9		器件选择
90	DEVICE_CODE		INN3879C		器件物料号
91	PDEVICE_MAX		65	W	器件最大功率能力
92	RDSON_25DEG		0.44	Ω	25°C时初级开关导通时间电阻
93	RDSON_100DEG		0.62	Ω	100°C时初级开关导通时间电阻
94	ILIMIT_MIN		1.980	A	初级开关最小限流点
95	ILIMIT_TYP		2.130	A	初级开关典型限流点
96	ILIMIT_MAX		2.279	A	初级开关最大限流点
97	VDRAIN_ON_PRSW		0.39	V	初级开关导通时间电压降
98	VDRAIN_OFF_PRSW		600.81	V	关断期间初级开关的峰值漏极电压

图4. InnoSwitch3-PD设计表格中的初级控制器部分（可以选择限流模式）

壳体

功率器件的选择也取决于应用环境。对于工作环境温度比密闭适配器低的敞开式应用，PIXIs针对相同的输出功率将建议更小型号的器件。

通用器件物料号, DEVICE_GENERIC

默认选项根据输入电压范围、最大输出功率和应用（例如，适配器或敞开式）自动选择。

手动选择器件型号时，请参考数据手册中的InnoSwitch3-PD功率对照表，根据输出功率选择器件。然后将连续输出功率与功率对照表中适配器应用的连续功率数值进行比较（如果电源是全封闭式设计），或将连续输出功率与开放式应用中的连续功率数值进行比较（如果电源是敞开式设计）。如果要求的连续功率超过了功率对照表（表1）中给定的数值，则应选择相邻更大的器件。同样，如果连续输出功率接近功率对照表中所列的最大适配器功率数值，则需要根据实际工程样机的温升测量结果来确定是否需要选择更大型号的器件。

器件电流限流模式, ILIMIT_MODE

对于温升问题并不构成挑战（例如，敞开式应用）的设计，ILIMIT MODE允许选择INCREASED（升高）电流限流点，这可以将该器件的峰值电流设为等于相邻更大型号器件的标准电流限流点，并允许提供更大的输出功率。默认情况下，ILIMIT设置为STANDARD（标准）。

导通时间漏极电压, VDRAIN_ON_PRSW (V)

此参数根据RDSON_100DEG和初级有效值电流计算得出。

漏极峰值电压, VDRAIN_OFF_PRSW (V)

此参数是器件在关断期间的假定漏极电压。计算假定从内部MOSFET的击穿电压额定值有10%的最小裕量，并在超过该阈值时发出警告。

$$VDRAIN < (VIN_MAX * 1.414) + VOR + VLKPRI - (BVDSS \times 10\%)$$

VLK_{PRI} 是FET关断时变压器的漏感产生的电压。

显示的其他电气参数基于数据手册: RDSON_100DEG, ILIMIT_MIN, ILIMIT_TYP, ILIMIT_MAX, VDRAIN_BREAKDOWN。

第3步 – 最差情况下的电气参数

录入: FSWITCHING_MAX、VOR和LPRIMARY_TOL

102	WORST CASE ELECTRICAL PARAMETERS					
103	FSWITCHING_MAX	75089		75089	Hz	在满载及最小输入交流电压波谷时的最大开关频率
104	VOR	157.5		157.5	V	初级开关关断时，初级绕组上的反射电压（对应于设置点1）
105	VMIN			82.47	V	满载时整流最小输入交流电压的波谷
106	KP			0.641		衡量连续/断续工作模式
107	MODE_OPERATION			CCM		工作模式
108	DUTYCYCLE			0.640		初级开关占空比
109	TIME_ON			11.31	us	初级开关导通时间
110	TIME_OFF			5.37	us	初级开关关断时间
111	LPRIMARY_MIN			403.8	uH	最小初级励磁电感
112	LPRIMARY_TYP			425.0	uH	典型初级励磁电感
113	LPRIMARY_TOL			5.0	%	初级励磁电感感量公差
114	LPRIMARY_MAX			446.3	uH	最大初级励磁电感
115						
116	PRIMARY CURRENT					
117	Iavg_PRIMARY			0.614	A	初级开关平均电流
118	IPEAK_PRIMARY			2.116	A	初级开关峰值电流
119	IPEDESTAL_PRIMARY			0.682	A	初级开关电流基值
120	IRIPPLE_PRIMARY			2.109	A	初级开关纹波电流
121	IRMS_PRIMARY			0.931	A	初级开关有效值电流
122						
123	SECONDARY CURRENT					
124	IPEAK_SECONDARY			15.868	A	次级绕组峰值电流
125	IPEDESTAL_SECONDARY			5.113	A	次级绕组基值电流
126	IRMS_SECONDARY			7.596	A	次级绕组有效值电流
127	IRIPPLE_CAP_OUT			5.719	A	输出电容的纹波电流

图5. InnoSwitch3-PD设计表格中的最差情况下的电气参数部分

开关频率, FSWITCHING_MAX (Hz)

此参数是设计的目标最大工作开关频率（所有设置点均在满载、最小整流交流输入电压下评估）。InnoSwitch3-PD在正常工作时的最大开关频率为100kHz，典型过载检测频率为110kHz。在正常工作情况下，满载时的开关频率不应接近过载检测频率。同样，最大工作开关频率也应选择在较高的音频范围内。

目标最大开关频率范围是25-95kHz，但应注意，考虑到初级电感和峰值电流公差，平均频率不得高于110kHz，因为过载会触发自动重新启动。虽然提高开关频率以减小变压器尺寸是可取的，但表6根据内部高压FET的尺寸提供了建议开关频率并且这是平衡了器件总损耗（例如，传导损耗和开关损耗）的最佳取值。

InnoSwitch3-PD产品系列	最大开关频率
INN3865C/INN3875C	80kHz
INN3866C/INN3876C	75kHz
INN3877C	70kHz
INN3867C/INN3868C	65kHz
PowiGaN器件INN3878C	70kHz
PowiGaN器件INN3879C	65kHz
PowiGaN器件INN3870C	60kHz
INN3896C	70kHz

表6. 建议的最大开关频率

反射输出电压, VOR (V)

反射电压为输出二极管/同步整流MOSFET（同步整流FET）导通期间次级绕组电压以变压器变比的比例反射到初级绕组上而形成的电压。表7提供了建议的VOR值。可以调整VOR，使设计既不违反变压器和SR FET的设计规则，同时又能有效实现初级侧MOSFET的低漏-源极电压。可以根据需要调整VOR，确保不会触发设计表格中的警告。为达到设计优化的目的，应考虑如下因素：

- 较高的VOR允许在最低电压VMIN时获得更高的输出功率，这会降低输入电容值和提高给定设计的输出功率。
- 较高的VOR会降低输出二极管和SR FET上的电压应力，这样有时可以降低电压额定值，但不能提高效率。
- 较高的VOR会增加漏感，从而降低电源整体效率。
- 较高的VOR会增大次级侧的峰值电流及有效值电流，从而增加次级侧的铜损、二极管损耗和SR FET损耗，进而降低效率。

应当注意的是，此指南也有例外，特别是输出电流极大时，应减小VOR以实现最高效率。输出电压更高（高于15V）时，应利用更高的VOR，使输出SR FET的反向峰值电压(PIV)维持在可接受的水平。

选择最佳的VOR值取决于具体应用，并且需要综合考虑上述各因素。请参阅表7，了解基于设计支持的最大输出电压的VOR建议值。

应用变量和初级控制器选择最终确定后，FSWITCHING_MAX和VOR是设计表格中主要目标确定初级电感量的参数。

最大值 输出电压	VOR的建议范围	
	INN386XC (650V开关)	INN387XC (725/750V开关)
5V	45 – 60V	45 – 70V
9V	80 – 90V	80 – 100V
12V	100 – 120V	90 – 120V
15V	100 – 120V	100 – 135V
20V	100 – 120V	120 – 150V
21V	100 – 120V	125 – 160V

表7. 建议的VOR值

工作模式，K_p

K_p是用来衡量是断续开关模式还是连续开关模式的参数。K_p低于1表示CCM（连续导通模式）工作，而K_p高于1则表示DCM（断续导通模式）工作。

对于CCM (K_p ≤ 1)工作，K_p是纹波电流与峰值初级电流的比率，如图6所示。

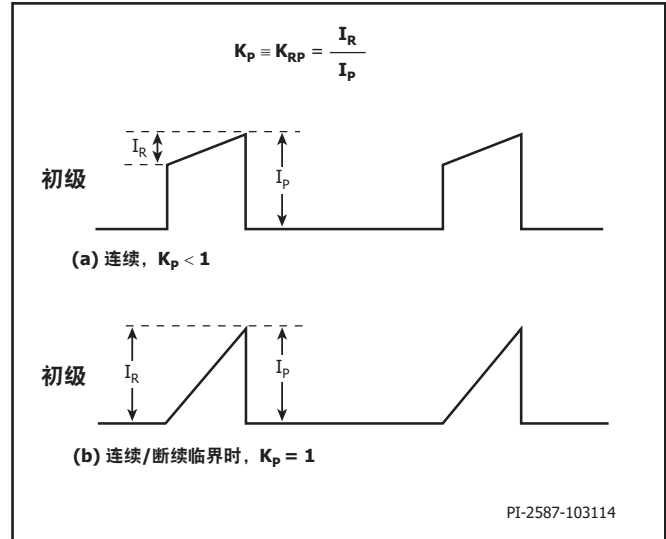
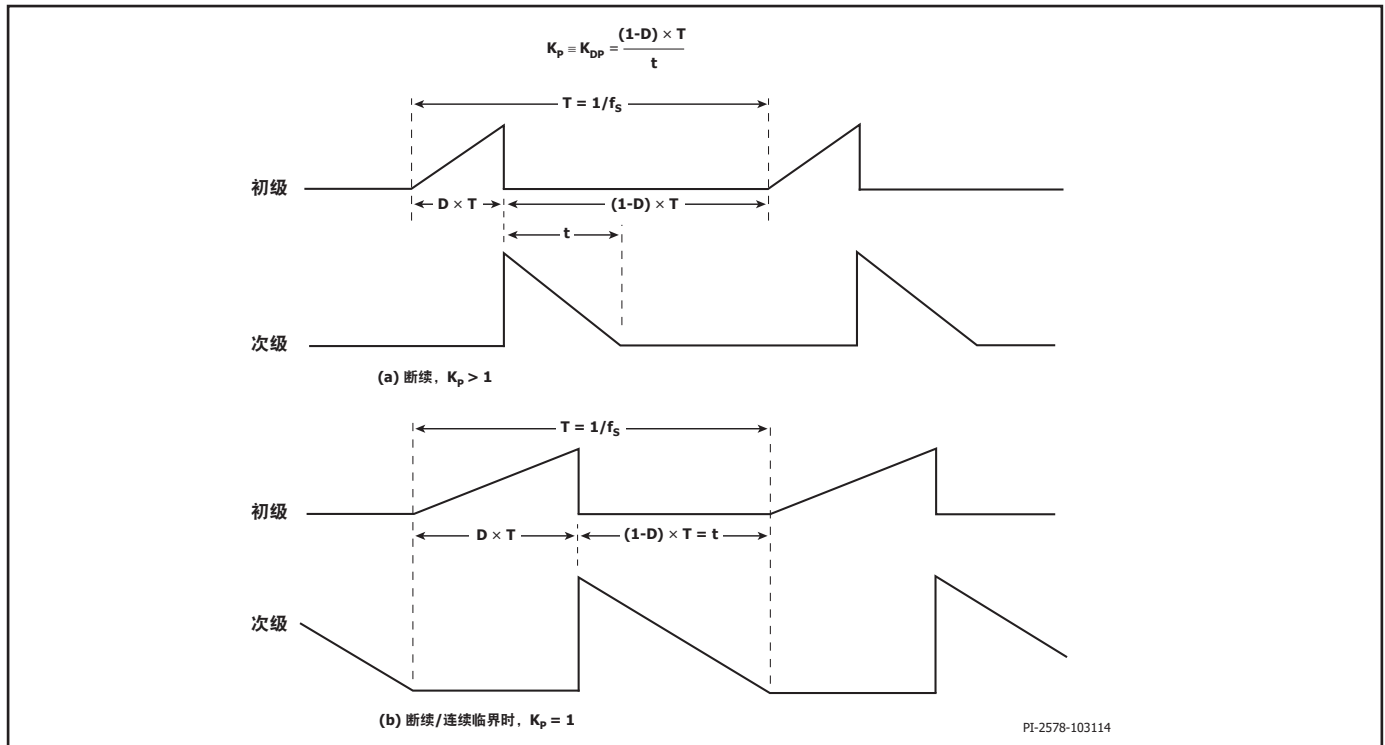
$$K_p \equiv K_{RP} = \frac{I_R}{I_p}$$

对于DCM (K_p ≥ 1)工作，K_p是初级MOSFET关断时间与SR FET导通时间的比率，如图7所示。

$$K_p \equiv K_{DP} = \frac{(1-D) \times T}{t} = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

设计中的每个设置点都将对应一个具体的K_p值。某些设置点可能导致CCM工作，而其他设置点可能导致DCM工作。PIXIs最差情况下的电气参数部分中所示的K_p对应于深度CCM工作（K_p值最小）。

K_p值的范围应为0.5 < K_p < 6.0。如果最差情况下的K_p低于0.5，则会导致设计过于连续，电源将在大部分工作输出范围内处于CCM模式。在这些条件下，在DCM或临界模式(CRM)下效率较高的优势将无法得到充分发挥。经验表明，K_p值介于0.6和1.0之间时，在所有输出和负载条件下的效率最高。

图6. 连续模式电流波形，K_p ≤ 1。图7. 断续模式电流波形，K_p ≥ 1。

典型初级电感量, LPRIMARY_TYP (μH)

该参数是典型的变压器初级电感目标值。

初级电感量公差, LPRIMARY_TOL (%)

该参数为假定的初级电感量公差。缺省的默认值为7%。但是如果变压器供应商可以提供其制作变压器的电感量精度, 则在灰色的单元格内输入相应的信息覆盖缺省值。7%的取值有助于减小变压器差异, 大部分磁芯供应商都可以轻松满足此公差值。3%的取值有助于进一步增加生产公差, 但会对供应商提出更大的挑战。

其他重要的电气参数由设计表格自动计算。这些参数可用来正确选择电路中的其他元件, 例如, 输入保险丝、EMI滤波器、整流桥、输出整流管(SR FET)和输出电容, 如图1所示。

初级电流

IPEAK_PRIMARY – 峰值初级电流

IPEDESTAL_PRIMARY – CCM模式中的初级MOSFET电流基值

IAVG_PRIMARY – 初级MOSFET平均电流

IRIPPLE_PRIMARY – 初级MOSFET纹波电流

IRMS_PRIMARY – 初级MOSFET有效值电流

次级电流

IPEAK_SECONDARY – 峰值次级电流

IPEDESTAL_SECONDARY – 次级绕组电流基值

IRMS_SECONDARY – 次级绕组有效值电流

最小整流输入电压, VMIN

全功率时整流最小输入交流电压的波谷根据输入电容(CAP_INPUT)进行计算。

第4步 – 变压器结构参数

录入: **CORE**、**AE**、**LE**、**AL**、**VE**、**BOBBIN**、**AW**、**BW**、**MARGIN**

根据最大输出功率选择磁芯和骨架。

131	TRANSFORMER CONSTRUCTION PARAMETERS					
132	CORE SELECTION					
133	CORE	ATQ23.7/14.6	▼	Info	ATQ23.7/14.6	变压器绕组可能不匹配：选一个较大的磁芯或骨架，请参考“变压器参数”选项页面了解适配计算
134	CORE NAME				ATQ23.7/14.6	磁芯物料号
135	AE				103.0	mm ² 磁芯截面积
136	LE				38.2	mm 磁芯的磁路长度
137	AL				7200	nH 每平方圈数的无气隙磁芯等效电感量
138	VE				3935	mm ³ 磁芯体积
139	BOBBIN NAME				TBI-238-10051.17XX	骨架名称
140	AW				22.1	mm ² 骨架窗口面积
141	BW				6.60	mm 骨架宽度
142	MARGIN				0.0	mm 骨架安全挡墙
143						
144	PRIMARY WINDING					
145	NPRIMARY				30	初级绕组圈数
146	BPEAK				3369	Gauss 峰值磁通密度
147	BMAX				3017	Gauss 最大磁通密度
148	BAC				1502	Gauss 交流磁通密度 (0.5 x 峰峰值)
149	ALG				472	nH 每平方圈数的典型开气隙后的磁芯等效电感量
150	LG				0.256	mm 磁芯气隙长度
151	LAYERS_PRIMARY				2	初级绕组层数
152	AWG_PRIMARY				27	初级绕组导线规格
153	OD_PRIMARY_INSULATED				0.418	mm 初级绕组绝缘线外径
154	OD_PRIMARY_BARE				0.361	mm 初级绕组裸线外径
155	CMA_PRIMARY				216.5	Cmils/A 初级绕组导线CMA
156						
157	SECONDARY WINDING					
158	NSECONDARY	4			4	次级绕组圈数
159	AWG_SECONDARY				18	次级导线规格
160	OD_SECONDARY_INSULATED				1.328	mm 次级绕组绝缘线外径
161	OD_SECONDARY_BARE				1.024	mm 次级绕组裸线外径
162	CMA_SECONDARY				213.8	Cmils/A 次级绕组导线CMA
163						
164	BIAS WINDING					
165	NBIAS				8	偏置绕组圈数

图8. InnoSwitch3-PD PIXIs设计表格中的变压器磁芯和结构变量部分

磁芯类型, CORE

如果此单元格为空，数据表格会根据指定的连续输出功率自动选择常用最小的磁芯型号。可从下拉列表中选择不同的磁芯类型和尺寸。如果用户偏好的磁芯不可用，可使用灰色单元格（AE、LE、AL、VE、AW及BW）直接从生产厂商的数据手册中输入磁芯和骨架参数。表8列出了常用的磁芯。

安全边距, MARGIN (mm)

对于要求在初级和次级之间进行安全隔离但不使用三层绝缘线的设计，需要输入变压器骨架两侧增加一定宽度的安全边距（挡墙宽度）。一般情况下，对于通用(85–265VAC)电压输入，总的边距宽度应为6.2mm，因此在数据表中要输入3.1mm。对于垂直式的骨架，骨架两侧的安全边距可以不是对称的，即使在实际制作变压器时只有一边有绝缘间距，但如果总的边距宽度为6.2mm，还是要输入3.1mm。对于使用三层绝缘线的设计，为了满足所要求的安全爬电距离，还是有必要输入一个小的安全边距。通常情况下，对于每个磁芯往往有多种骨架与其相配，而每种骨架有不同的外形尺寸。请参照骨架的数据手册或寻求指导以确定所需的安全边距宽度。

安全边距减少了绕组绕制的可利用面积，因此对于尺寸较小的磁芯并不适合采用安全边距的变压器类型结构。如果在设计表格中输入安全边距后，初级绕组的层数要求在3层以上，那么建议选择尺寸更大些的磁芯，或者考虑使用三层绝缘线、安全边距为零的设计。

初级绕组圈数, NPRIMARY

该参数是根据VOR和次级绕组圈数计算出的变压器主绕组圈数。

峰值磁通密度, BPEAK (Gauss)

为了限制最大限流点和132kHz工频下出现的峰值磁通密度，建议峰值磁通密度取值3800高斯。在输出短路情况下输出电压很低，在FET关断期间，变压器的磁通复位不足，使得变压器的磁通密度会累积到超过正常工作时的水平。一旦选择了具有内置保护特性的InnoSwitch3-PD器件，其峰值限流点也就固定了。对应3800高斯的磁通密度具有足够的裕量保证在输出短路情况下磁芯不会饱和。

输出功率 (75kHz)	磁芯和骨架表								
	磁芯						骨架		
	磁芯	物料号	AE	LE	AL	VE	代码	AW	BW
			(mm ²)	(mm)	(nH/T ²)	(mm ³)		(mm ²)	(mm)
0W – 10W	EE10	PC47EE10-Z	12.1	26.1	850	300	B-EE10-H	12.21	6.60
0W – 10W	EE13	PC47EE13-Z	17.1	30.2	1130	517	B-EE13-H	18.43	7.60
0W – 10W	EE16	PC47EE16-Z	19.2	35.0	1140	795	B-EE16-H	14.76	8.50
0W – 10W	EE19	PC47EE19-Z	23.0	39.4	1250	954	B-EE19-H	29.04	8.80
10W – 20W	EE22	PC47EE22-Z	41.0	39.4	1610	1620	B-EE22-H	19.44	8.45
10W – 20W	EE25	PC47EE25-Z	41.0	47.0	2140	1962	B-EE25-H	62.40	11.60
20W – 50W	EE30	PC47EE30-Z	111.0	58.0	4690	6290	B-EE30-H		13.20
0W – 10W	RM5	PC95RM05Z	24.8	23.2	2000	574	B-RM05-V		4.90
10W – 20W	RM6	PC95RM06Z	37.0	29.2	2150	1090	B-RM06-V		6.20
20W – 30W	RM8	PC95RM08Z	64.0	38.0	5290	2430	B-RM08-V	30.00	8.80
30W – 50W	RM10	PC95RM10Z	96.6	44.6	4050	4310	B-RM10-V		10.00
45W – 65W	EQ25	EQ25-3C96	100	41.4	4400	4145	EQ25-15.5 A-4P-TH-J-12	34.83	8.1
50W – 70W	PQ26/20	PC95PQ26/20Z-12	119	46.3	7470	5490	BPQ26/20-1112CPFR	30.7	9.2

表8. 常用的磁芯以及这些磁芯可用于典型设计的输出功率水平

最大磁通密度, BMAX (Gauss)

轻载的低频工作方式可在变压器内产生音频范围内的频率分量，特别是在使用长磁芯时。为抑制噪声，应将变压器的最大磁芯磁通密度设计在低于3000高斯(300mT)之下。采用此方法并使用标准的变压器生产浸漆工艺，可以在很大程度上消除音频噪声。在设计确认前，要使用生产线上的变压器样品仔细进行噪声性能测试。

交流磁通密度, BAC (Gauss)

BAC值可用于磁芯损耗计算。

初级绕组层数, LAYERS_PRIMARY

如果灰色的层数单元格内为空，则默认取值为3。初级绕组层数应介于1和3之间($1 \leq L \leq 3$)之间。一般来讲，在没有强制风冷的设计中应满足200 – 500Cmil/A的电流容量要求。初级绕组的线规AWG_PRIMARY在单元格[L152]中计算。大于三层的设计也是可行的，但要考虑到漏感的增加及绕线窗口高度的限制。在漏感钳位损耗非常高的设计应用中，可采用分层式初级绕组结构。在这种情况下，将初级绕组绕在次级绕组和偏置绕组的两侧，以“三明治”的方式绕制。

初级绕组线规, AWG_PRIMARY (AWG)

如果此单元格为空，设计表格会默认为双涂层的绝缘漆包线，线径为标准线径。如果用户使用的不是双涂层的标准绝缘漆包线，则可以在灰色单元格内输入线规。

次级绕组圈数, NSECONDARY

如果此单元格为空，设计表格的缺省值为最少的次级圈数，此圈数可以保证最大工作磁通BPEAK低于建议的最大值3800高斯(380mT)。一般来讲，没有必要在灰色单元格内输入其他值，除非需要更低的工作磁通密度。

偏置绕组圈数, NBIAS

该参数根据VBIAS设定的电压或次级绕组圈数确定。此参数根据具有最小VOUT的PDO（通常为5V PDO）进行计算，以获得行[L180]中的目标VBIAS。

由设计表格自动计算的其他变压器参数包括：

OD_PRIMARY_INSULATED (mm)，带绝缘层的初级绕组导线外径

OD_PRIMARY_BARE (mm)，不带绝缘层的外径

CMA_PRIMARY (Cmil/A)，绕组CMA

OD_SECONDARY_INSULATED (mm)，带绝缘层的次级绕组导线外径

OD_SECONDARY_BARE (mm)，不带绝缘层的外径

CMA_SECONDARY (Cmil/A)，绕组CMA

第5步 – 初级和次级元件的选择

录入: **BROWN-IN REQUIRED**, **VBIAS**, **VF_BIAS**, **SRFET**

169	PRIMARY COMPONENTS SELECTION				
170	LINE UNDERVOLTAGE				
171	BROWN-IN REQUIRED	68.00		68.00 V	要求的输入电压缓升阈值
172	RLS			3.56 MΩ	将两个1.78MΩ电阻连接到要求的UV/OV阈值的V引脚
173	BROWN-IN ACTUAL			67.67 V	使用标准电阻的实际电压缓升阈值
174	BROWN-OUT ACTUAL			59.62 V	使用标准电阻的实际电压跌落阈值
175					
176	LINE OVERVOLTAGE				
177	OVERVOLTAGE_LINE			297.50 V	实际AC有效值输入过压阈值
178					
179	BIAS WINDING				
180	VBIAS	9.00		9.00 V	在最低输出设置点的整流偏置电压
181	VF_BIAS			0.70 V	偏置绕组二极管正向电压降
182	VREVERSE_BIASDIODE			158.32 V	偏置二极管反向电压（不考虑寄生电压振荡）
183	CBIAS			22 uF	偏置绕组整流电容
184	CBPP			4.70 uF	BPP引脚电容
185					
186					
187					
188	SECONDARY COMPONENTS SELECTION				
189	RECTIFIER				
190	VDRAIN_OFF_SRFET			70.77 V	次级整流管反向电压（不考虑寄生电压振铃）
191	SRFET	AON62922	▼	AON62922	次级整流管（逻辑MOSFET）
192	VBREAKDOWN_SRFET			120 V	次级整流管击穿电压
193	RDSON_SRFET			7.0 mΩ	VGS=4.4V时，在25°C下的SRFET导通时间漏极电阻

图9. InnoSwitch3-PD PIXIs设计表格中的初级和次级元件部分

要求的输入欠压电压缓升, **BROWN-IN REQUIRED**

该参数是电源开启（在超过电压缓升阈值(IUV+)）时的交流输入电压。典型值是比最小输入交流电压(VIN_MIN)低20%。可将缓升电压更改为单元格[L171]要求的特定电压。

输入欠压/过压检测电阻, **RLS**

PIXIs将根据缓升电压计算此电阻值。如图1中的RLS1 + RLS2所示，它们通常连接在整流桥的后面。RLS1 + RLS2的典型总和为3.8MΩ。RLS约等于 $V_{\text{BROWN-IN}} \times 1.414 / I_{\text{UV+}}$ 。

偏置二极管正向电压降, **VF_BIAS**

缺省值为0.7V，但可进行更改以匹配偏置绕组整流所用的二极管类型。

同步整流MOSFET, **SRFET**

下拉菜单中提供了多种同步整流MOSFET (SR FET)。基于所选的SR FET，击穿电压VBREAKDOWN_SRFET (V)和导通时间漏极电阻RDSON_SRFET (mΩ)将显示在设计表格中。

第6步 – 设计评估

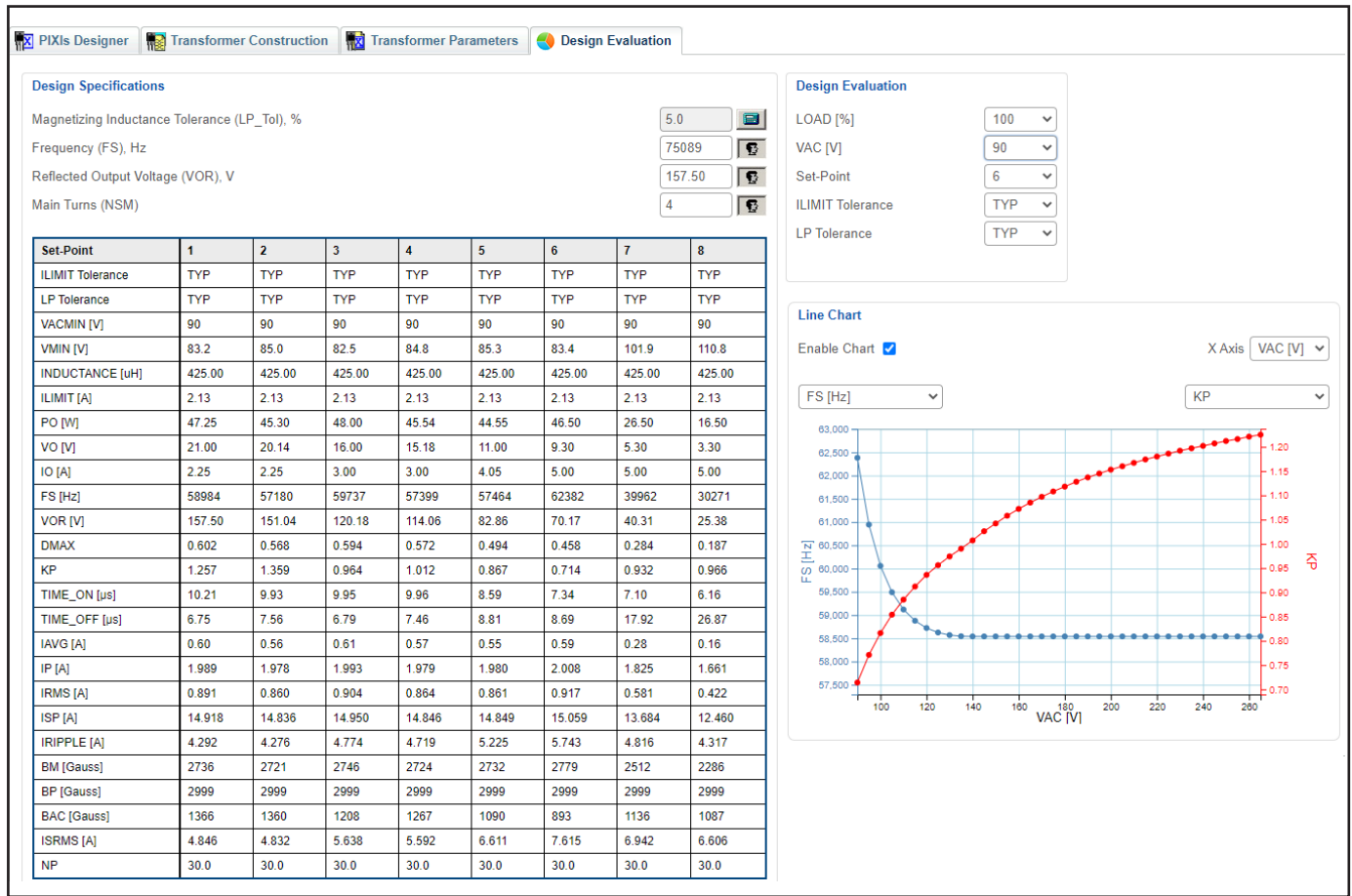


图10. InnoSwitch3-PD设计表格中的设置点分析部分

InnoSwitch3-PD PIXIs的“设计评估”选项页面提供了电源在不同设置点和公差条件下工作时多个参数的计算结果。

要使用此功能，可以将设计评估部分的参数LOAD [%]、VAC [V]、设置点、IMIT公差和LP公差配置为所需值，可从各自的下拉列表中获取。更改任何一个参数时，PIXIs都会自动计算所有设置点的相应参数，并将结果显示在左侧表格中。

折线图部分还显示两个结果参数（通过下拉列表选择）相对于VAC [V]或负载[%]的变化趋势。折线图上的数据点与设计评估参数中选择的条件相对应，仅适用于所选的设置点。

通过“设计评估”选项页面中的所有信息，设计人员甚至可以在创建第一个硬件样机之前，就了解到电源的工作方式。结果基于计算和近似值，因此实际结果可能会有所不同。应对使用InnoSwitch3-PD PIXIs设计的电源进行测试，以检验实际参数值。

关键外围元件的选择

图11中的电路图显示了一款实际的45W单路输出InnoSwitch3-PD设计所需的关键外围元件。

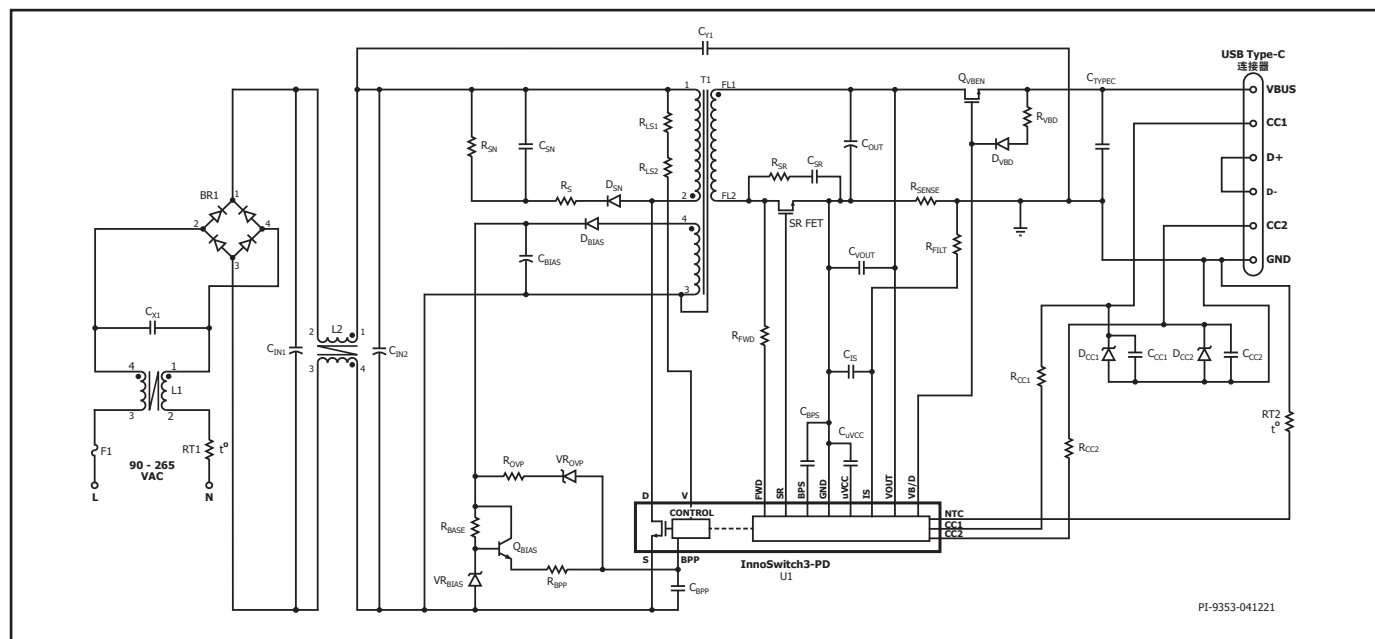


图11. 使用InnoSwitch3-PD的典型45W USB PD反激式电源

初级旁路引脚电容(CBPP)

该电容用作内部初级侧控制器的供电去耦电容，可决定内部功率开关的电流限流点。**0.47μF**电容选择标准限流点，**4.7μF**电容选择升高限流点。尽管可以使用电解电容，但在双面板上通常优先使用贴片式多层陶瓷电容，因为它能使电容靠近IC放置。推荐使用额定电压**25V**的贴片式多层陶瓷**X7R**电容。

为确保获得正确的电流限流值，建议仅使用**0.47μF**或**4.7μF**的电容。此外，考虑到实际应用的环境温度范围，BPP电容的公差应等于或大于下面规定的公差。可接受的最小及最大电容值由IC的表征设定（参见表9）。

额定初级旁路 引脚电容值	与额定电容值相关的公差	
	最小值	最大值
0.47μF	-60%	+100%
4.7μF	-50%	+100%

表9. 旁路引脚电容公差值

初级绕组的初级钳位网络 (D_{SN}、R_S、R_{SN}及C_{SN})

R2CD钳位是低功率电源中最常用的钳位。对于更大功率的设计，可以使用稳压管钳位或者R2CD外加稳压管钳位来提高效率。建议在最差条件（最大输入电压、最大过载功率或输出短路）下将峰值漏极电压降至BV_{DSS}的90%。

在图11中，钳位二极管D_{SN}必须为标准恢复玻璃钝化二极管或者反向恢复时间不超过**500ns**的快速恢复二极管。使用标准恢复玻璃钝化二极管可从每个开关周期回收部分钳位能量，并有助于提高平均效率。每次当InnoSwitch3-PD中的FET关断时，二极管就会瞬间导通，来自的漏感的能量传输至钳位电容C_{SN}。串联合路中的电阻R_S提供衰减，可防止因漏感与钳位电容C_{SN}之间的谐振而产生的过度振荡。电阻R_{SN}可泄放存储在电容C_{SN}中的能量。因此必须针对每个设计优化电容C_{SN}以及电阻R_S和R_{SN}。

一般而言，建议尽量减小电容C_{SN}的值，并尽量增大电阻R_{SN}的值，同时仍能在最高输入电压和满载下符合BV_{DSS}限值的90%。R_S值应足够大才能在所需的时间范围内衰减振铃，但也不能过大，因为这样会使漏极电压超过BV_{DSS}的90%。

采用Z5U等介质材料的陶瓷电容用作钳位电路中的C_{SN}时，可能会产生音频噪声，因此聚酯薄膜型电容是更好的替代选择。另一种选择是使用专门设计为具有低噪声的陶瓷电容。一般来说，CSN最好使用贴片式陶瓷电容，以保持初级钳位电路的紧凑环路，并具有较小的整体外形尺寸，但必须确保同时满足设计的音频噪声要求。

可使用下列公式计算R2CD的元件值：

$$R_{SN} = \left[\frac{V_C^2}{\frac{1}{2} L_{IK} \times I_{PK}^2 \times \frac{V_C \times F_{SW}}{V_C - V_{OR}}} \right]$$

$$C_{SN} = \frac{V_C}{R_{SN} \times F_{SW} \times dV_{CSN}}$$

$$R_S = \left(\frac{L_{IK}}{C_{SN}} \right)^{\frac{1}{2}}$$

其中，

V_C : 钳位电路的电压
 I_{PK} : 峰值开关电流
 F_{SW} : 开关频率
 L_{IK} : 漏感
 V_{OR} : 反射输出电压
 dV_{CSN} : 钳位电容的最大纹波电压(10%)。

一旦硬件样机制作完成，就可以调整初级钳位电路元件值，以满足初级开关漏极峰值电压、EMI和效率性能要求。

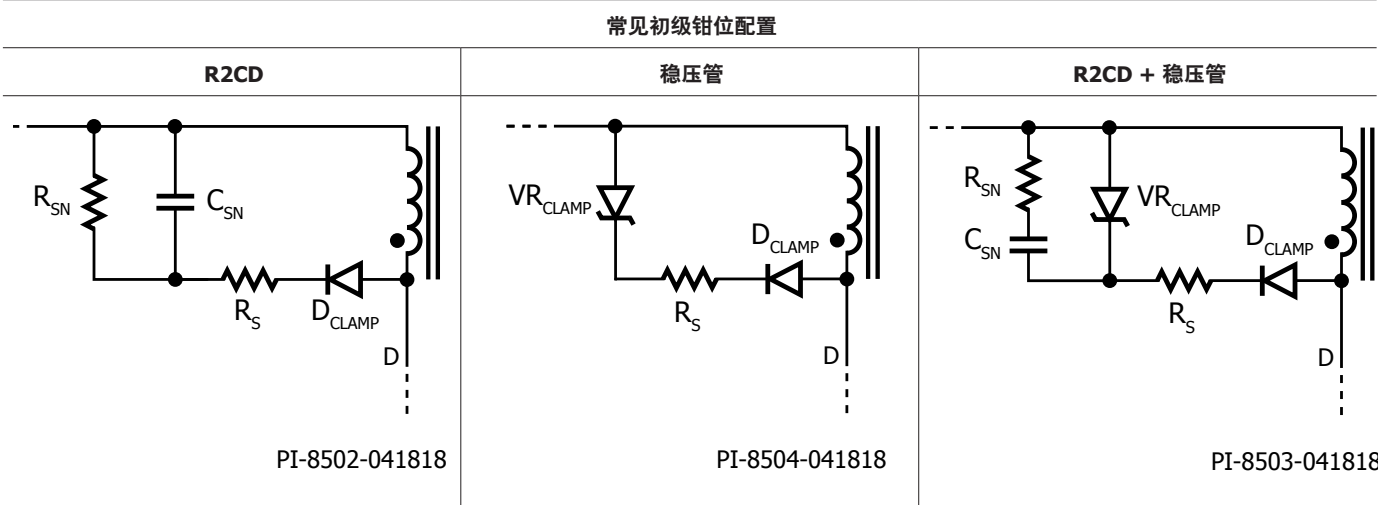


图12. 推荐的初级钳位元件

初级钳位电路			
优势	R2CD	稳压管	R2CD + 稳压管
元件成本	低	中	高
空载输入功率	高	低	中
轻载效率	低	高	中
EMI抑制	高	低	中

表10. 初级钳位电路的优势

外围偏置供电元件 (D_{BIAS} 、 C_{BIAS} 、 R_{BPP} 、 R_{BASE} 、 Q_{BIAS} 、 VR_{BIAS})

即使IC初级侧没有外部供电, InnoSwitch3-PD也能进行工作。初级控制器有一个高压内部稳压器, 可在功率MOSFET关断期间从漏极引脚吸取电流, 将旁路引脚(BPP)电容充电至VBPP。当功率MOSFET导通时, 器件利用储存在BPP电容内的能量工作。不过, 为了实现最佳的空载输入功率和效率性能, 建议使用外围偏置电路, 为BPP注入足够的电流, 使高压内部稳压器在启动后无需导通。在45W输出设计中, 如果通过优化的偏置电路从外部为InnoSwitch3-PD供电, 并遵循本文档中有关最小空载输入功率的其他设计指导原则, 空载功耗可降至20mW以下。

如图13和14所示, 偏置电路由变压器偏置绕组(N_{BIAS})、偏置二极管(D_{BIAS})、偏置供电滤波电容(C_{BIAS})以及使用单电阻(R_{BIAS})或线性稳压器电路(Q_{LIN} 、 VZ_{LIN} 、 R_{ZLIN} 、 R_{LIN} 、 R_{BIAS})的BPP限流元件组成。

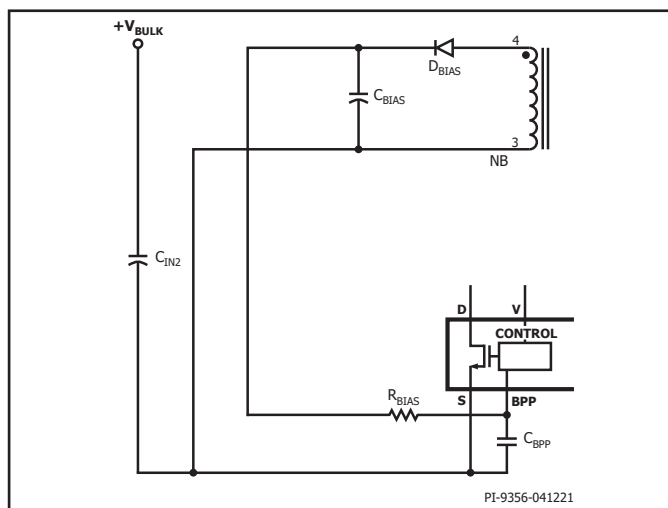


图13. 使用单电阻的外围偏置电路

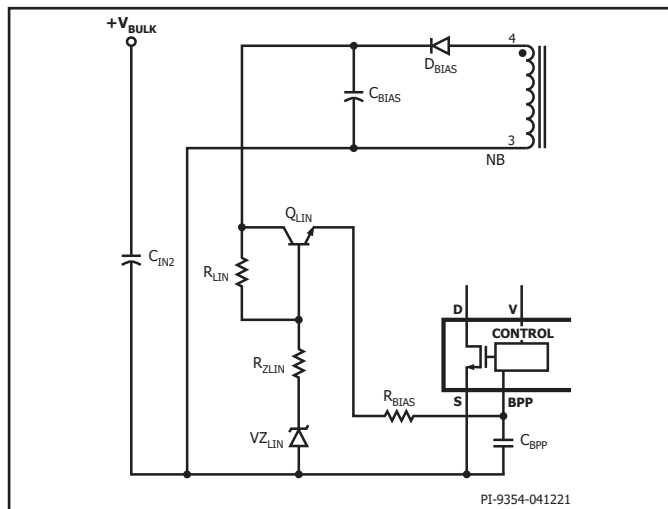


图14. 使用正斜率线性稳压器的外围偏置电路(斜率由 R_{ZLIN} 控制)

这两种配置的两个主要设计目标是:

- 在空载($I_{BPP} > 425\mu A$)和正常工作期间(IBPP依赖于工作开关频率)向BPP引脚提供足够的电流, 这样高压内部稳压器就不需要导通。
- 确保正常工作期间注入BPP引脚的电流不超过旁路关断阈值电流(I_{SD}), 否则会触发锁存关断。

必须选择变压器偏置绕组圈数(N_{BIAS})和偏置滤波电容(C_{BIAS}), 以使偏置电压 V_{BIAS} (C_{BIAS} 的电压)在空载下为8V左右。作为起点, 建议 C_{BIAS} 使用22 μF 、低ESR的电解铝电容, N_{BIAS} 与 $N_{SECONDARY}$ 的圈数比为2:1。经验表明, 在输出端没有Type-C线缆和PD下拉端的情况下, 这种组合可使 V_{BIAS} 在空载条件下接近8V。

C_{BIAS} 值越小, 空载时 V_{BIAS} 的电压纹波就越大, 从而难以满足初级控制器的BPP电流要求(至少425 μA)。通常也不建议将贴片式陶瓷电容用于 C_{BIAS} , 因为其机械机构所产生的压电效应可导致音频噪声。另外, 陶瓷电容的有效电容会随着直流偏置电压的增加而减小。

C_{BIAS} 的电压额定值由最大 V_{OUT} 、满载时的 V_{BIAS} 决定。由于 V_{BIAS} 的电压调整精度较低, 该值会因偏置整流二极管 D_{BIAS} 的类型而异。与快速或超快恢复二极管相比, 用于 D_{BIAS} 的标准恢复二极管的 V_{BIAS} 调整精度相对恒定, 而快速或超快恢复二极管的 V_{BIAS} 随负载电流增加而增加。使用标准恢复 D_{BIAS} 的最差情况 V_{BIAS} 较低, 这可能有助于紧凑型设计, 因为 C_{BIAS} 可以使用较小尺寸的电解电容。

标准恢复二极管的反向恢复电流有助于抑制开关瞬态期间的振铃, 并改善EMI性能。另一方面, 快速或超快恢复二极管可降低恢复损耗, 从而略微提高效率。为 D_{BIAS} 选择最适合设计应用的二极管类型。

选择 N_{BIAS} 、 C_{BIAS} 和 D_{BIAS} 后, 请使用表11作为指南, 根据设计规格选择推荐的偏置电路配置。两种电路的设计都将尽量降低空载输入功率。然而, 随着工作 V_{OUT} 的增加, V_{BIAS} 也会增加, 单电阻偏置电路会因偏置电路中的功率浪费而受到影响, 因为提供的BPP电流远高于初级控制器所需的电流。如果 V_{BIAS} 足够高, 甚至可能会超过BPP关断电流阈值, 从而锁断电源。由于 V_{BIAS} 相对于输出负载特性较高, 因此使用快速恢复 D_{BIAS} 时这种情况会恶化。因此, 单电阻偏置仅适用于低电压USB PD设计和标准恢复 D_{BIAS} 作为整流管的情况。

线性稳压器电路的优势在于, 即使对于21V输出的操作, 也可以将提供的BPP电流控制在略高于初级控制器所需的电流值。为了获得最佳效率, 即使仅具有9V和5V输出的低功率USB PD设计, 也必须使用线性稳压器偏置电路。

	单电阻偏置电路	线性稳压器偏置电路
空载功率	(相同)	
平均效率和10%负载效率	✓	✓✓
设计简单, 元件数量少	✓✓	✓
InnoSwitch3-PD 设计的最高V _{OUT}	标准恢复D _{BIAS} 的输出限制为11V。 不建议使用快速恢复D _{BIAS}	最高可达21V

表11. 单电阻和线性稳压器偏置电路概览

必须首先计算初级控制器所需的外部BPP电流，以便选择偏置电路的其余元件值。该值由工作开关频率决定，如下式所示。

$$I_{BPP(REQ)} = I_{S1} + (I_{S2} - I_{S1}) \left(\frac{F_{SW}}{132 \text{ kHz}} \right)$$

其中

$I_{BPP,REQ}$: F_{SW} 下所需的BPP供电电流

F_{SW} : 工作开关频率(kHz)

I_{S1} : 无开关时的BPP供电电流 (参见数据手册)

I_{S2} : 132kHz下的BPP供电电流 (参见数据手册)

计算空载时所需的BPP电流和满载时所有设置点所需的BPP电流。使用数据手册中 I_{S1} 和 I_{S2} 的最大值。在开关频率极低的空载条件下，所需的BPP电流近似为 I_{S1} (425μA)。

设计表格的“设计评估”选项页面可用于获取满载时每个设置点对应的最差情况开关频率。确保选择最低VAC输入、最小ILIMIT和最小LPRIMARY，以获得设置点的最差情况开关频率。

使用单电阻偏置电路，选择 R_{BIAS} 以最大限度地降低空载功耗，如下式所示。最好使用硬件样机测量空载时的 V_{BIAS} 。测量必须在输出端没有Type-C线缆和PD下拉端的情况下进行，因为这是真正的空载条件。只要向BPP提供足够的电流，引脚电压就会在内部钳位到 V_{SHUNT} (典型值5.36V)，高压内部稳压器就无需导通。否则，引脚电压将等于VBPP (典型值4.90V)。这两个电压电平可用作内部稳压器是否从漏极引脚灌入电流以保持初级控制器工作的指标。

$$R_{BIAS} = \frac{V_{BIAS(No-Load)} - V_{SHUNT}}{450 \mu A}$$

使用单电阻偏置电路时，由于 R_{BIAS} 针对空载性能进行了优化，因此当输出电压和 V_{BIAS} 增加时，没有其他方法可以限制提供的BPP电流。验证在最大VOUT和满载时提供的BPP电流是否小于ISD阈值，并留有足够的裕量以防止在正常工作期间锁存关断。

如果使用线性稳压器偏置电路，则选择 R_{BIAS} 也是为了最大限度地降低空载功耗，可以使用下面的公式进行估算。

$$R_{BIAS} = \frac{V_{BIAS(No-Load)} - 0.6 \text{ V} - V_{SHUNT}}{450 \mu A}$$

在空载时，稳压管 VZ_{LIN} 预计会关断，电阻 R_{LIN} 提供晶体管 Q_{LIN} 所需的基极电流，为BPP引脚提供450μA电流。 Q_{LIN} 可以是通用型低成本NPN晶体管，其电压额定值高于最差情况下的 V_{BIAS} 。 R_{LIN} 的值必须足够高，以便在最大 V_{BIAS} 时具有低功耗，同时还必须支持在空载条件下产生450μA发射极电流所需的晶体管基极电流。 R_{LIN} 可设置为100kΩ作为起始值。

VZ_{LIN} 和 R_{LIN} 的值取决于满载时所有设置点所需BPP电流的斜率特性。图15说明了两种可能的情况。对于45W/5A USB PD设计，可以有多个与近45W输出 (9V/5A至21V/2.25A) 相对应的设置点。由于BPP电流要求与开关频率成正比，所有45W设置点都会导致从9V到21V设置点的BPP电流要求基本恒定。然而，在60W/3A USB PD设计中，输出功率通常会随设置点电压的增加而增加。这导致所需的BPP电流呈线性增长。

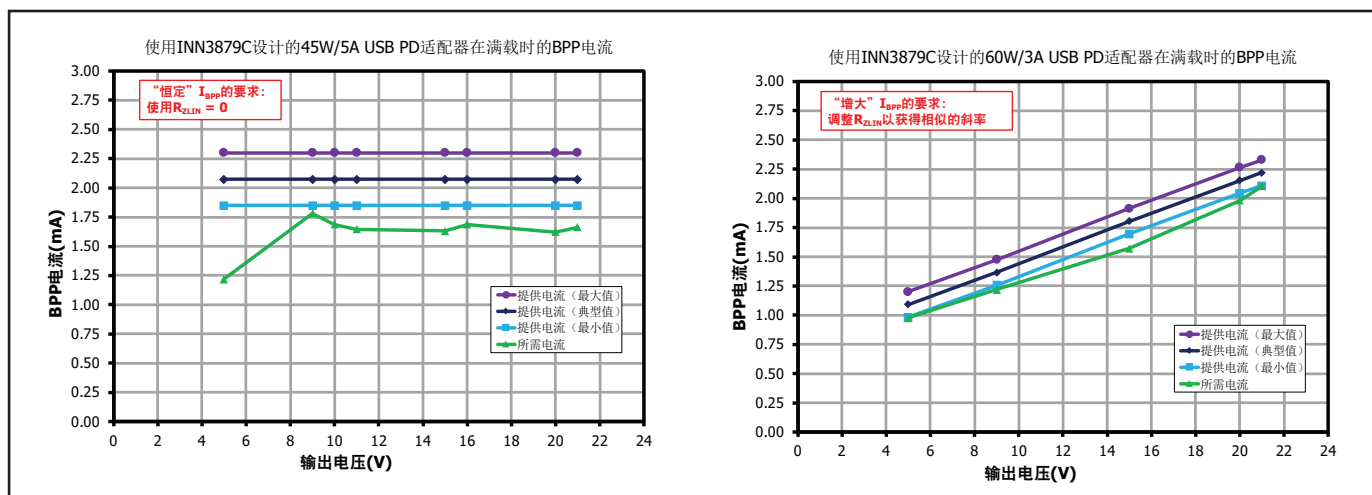


图15. 线性稳压器偏置电路的RZLIN对提供的BPP电流的影响

对于需要恒定BPP电流的USB PD设计，必须将 RZ_{LIN} 设为0，这样提供的BPP电流也是恒定的。选择 VZ_{LIN} 时，必须确保即使在稳压管电压公差的下端，也能满足设计的最高BPP电流要求($I_{BPP_REQ(MAX)}$)。使用下式选择 VZ_{LIN} （可使用 $\pm 5\%$ 的电压公差）。

$$V_{Z_{LIN}} = \frac{I_{BPP_REQ(MAX)} \times R_{BIAS} + 0.6 \text{ V} + V_{SHUNT}}{0.95}$$

$$R_{Z_{LIN}} = 0$$

对于需要增加BPP电流的USB PD设计，可使用下式计算 V_{ZLIN} 和 R_{ZLIN} 的初始值。

$$V_{Z_{LIN}} = \frac{I_{BPP_REQ(5V)} \times R_{BIAS} + 0.6V + V_{SHUNT}}{0.95}$$

$$R_{ZLIN} = \left(\frac{I_{BPP_REQ(MAX)} \times R_{BIAS} + 0.6 \text{ V} + V_{SHUNT} - 0.95 \times V_{ZLIN}}{V_{BIAS(MAX)} - I_{RPP_REQ(MAX)} \times R_{BIAS} - 0.6 \text{ V} - V_{SHUNT}} \right) \times R_{LIN}$$

其中

 $I_{BPP_REQ(5V)}$: 5V设置点所需的BPP供电电流

$V_{BIAS(MAX)}$: CBIAS上的最大电压, 通常在最大VOUT、满载时

V_{CLAMP}: 当向BPP提供电流时的BPP内部钳位电压（典型值5.36V）

验证硬件性能，特别是在输出端没有Type-C线缆和PD下拉端的空载条件下提供的BPP电流。空载时BPP电流低于 $425\mu\text{A}$ 时，绝对不能使用，因为这可能会导致高压内部电流源导通，从而增加空载功耗。反复调整偏置电路设计，直到达到空载功耗和效率要求。

初级检测过压保护 (VR_{OVP} 、 R_{OVP})

InnoSwitch3-PD IC内部的锁存关断电路可以实现初级侧输出过压保护,该电路由流入初级旁路引脚的阈值电流 ISD 触发。为使旁路电容达到有效的高频滤波,应将电容(C_{BPP})尽量放置在距器件源极和初级旁路引脚最近的地方。

通过将串联电阻(R_{OVP})和稳压管(VZ_{OVP})从经整流和滤波的偏置绕组电压端(C_{BIAS})连接到初级旁路引脚,可以实现初级检测输出OVP,如图16所示。 C_{BIAS} 两端的电压可能高于预期值,具体取决于偏置二极管 D_{BIAS} 恢复类型(快速和超快速恢复二极管的 V_{BIAS} 高于标准恢复二极管)、偏置绕组与输出绕组的耦合以及偏置绕组电压波形上产生的振铃。因此建议测量偏置绕组整流电压。理想情况下,应在最低输入电压、满输出负载和最高输出电压下进行测量。该测量电压用于帮助选择提供初级检测过压保护所需的元件。

建议选择这样的稳压管 VZ_{OVP} ：其钳位电压应比预计触发 OVP 的偏置绕组的整流电压低约 $6V$ 。最后，可以将串联电阻 R_{OVP} 设置为较小的值，例如 47Ω ，这会导致在输出过压事件期间将高于 I_{SD} 的电流注入初级旁路引脚。

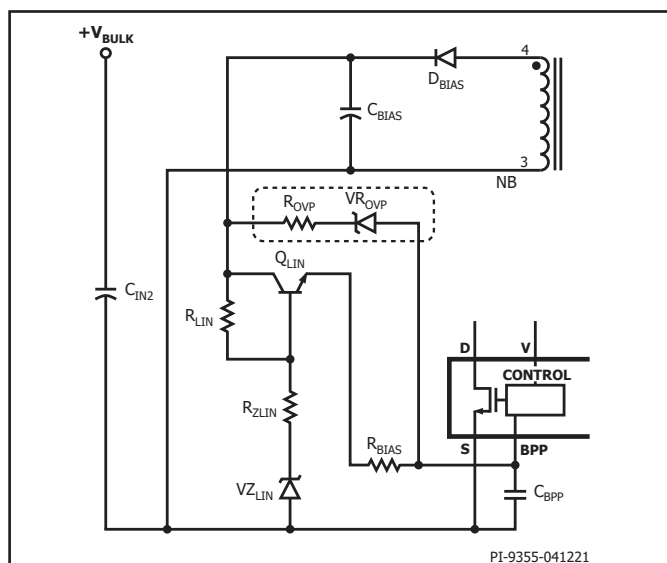


图16. 使用稳压管和串联电阻从C_{RTAC}连接到初级旁路引脚实现初级检测输出OVP

次级旁路引脚电容(C_{BDS})

此电容用作次级侧控制器的供电去耦电容。建议在此应用中使用贴片式 **2.2 μ F**、**25V** 多层陶瓷电容，以使 **IC** 正常工作。次级旁路引脚电压需要在输出电压达到目标电压之前更早达到 **4.4V**。使用过高的 **BPS** 电容值会导致启动时输出电压过冲。低于 **1.5 μ F** 的电容值会导致无法预测的工作情况。电容必须靠近 **IC** 引脚放置。需要采用 **25V** 额定值的电容来保证工作时 有足够使用的电容（陶瓷电容的电容值会随施加电压而下降），这也是不推荐使用 **10V** 额定电容的原因。为取得最佳效果，应采用 **X7R** 或 **X5R** 介质的电容。

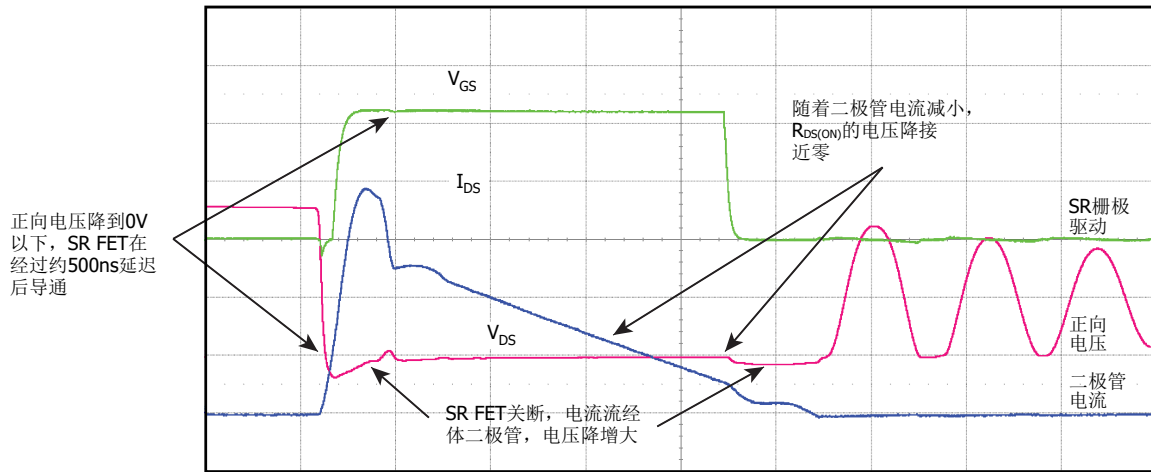
输出同步整流MOSFET (SR FET)

InnoSwitch3-PD具有内置的同步整流(SR)驱动器, 允许使用低成本的低压MOSFET进行同步整流, 并可提高系统效率。由于SR驱动器以输出GND为参考, 因此SR FET位于返回线路上。GND是典型的阈值, 可确保SR FET在反激导通时间结束时关断($V_{SR(TH)}$)。反激周期开始与SR FET导通之间稍微有一点延迟, 以便避免电流击穿。SR FET导通期间, 存储在电感中的能量传输到负载, 电流将继续减小, 直到SR FET的电阻 $R_{DS(ON)}$ 的电压降到0V, 此时同步整流引脚将门极拉低并同时关断SR FET。在反激式周期的剩余阶段, 最小电流将流经SR FET体二极管(参见图17)。在SR FET上连接一个肖特基二极管可将效率提高0.1% – 0.2%, 具体取决于设计和所用的SR FET。在连续导通模式(CCM)下, SR FET会在发送下一个开关周期请求之前关断。

SR FET驱动器使用次级旁路引脚作为供电端，该电压的典型值为**4.4V**。因此，具有高阈值电压的SR FET并不合适。推荐使用栅极电压阈值范围($V_{GS(TH)}$)介于**1.5V**到**2.5V**的SR FET。

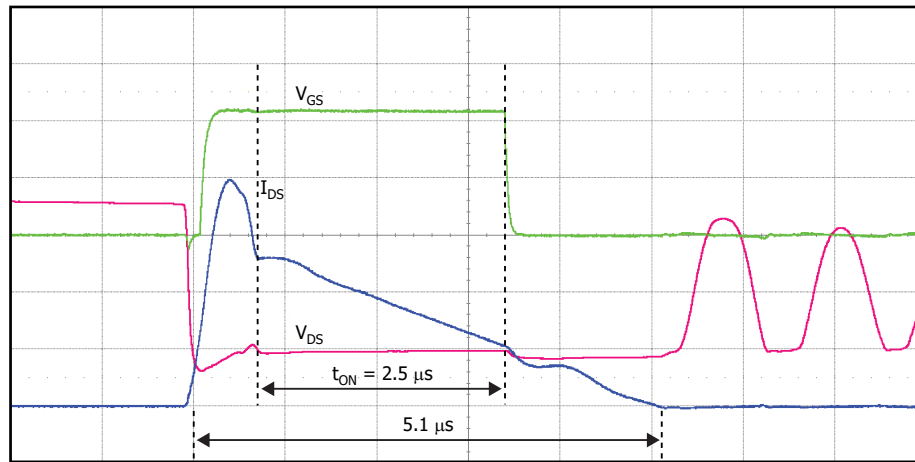
由于SR FET的导通时间终止基于FET漏源极电压在导通周期内何时达到0V，因此使用具有超低 $R_{DS(ON)}$ ($< 5m\Omega$)的SR MOSFET可致SR FET驱动信号过早终止。这将导致次级电流流经SR FET的体二极管，与SR FET的

$R_{DS(ON)}$ 相比，体二极管的电压降较高，因此可能这会略微降低系统效率（参见图18）。



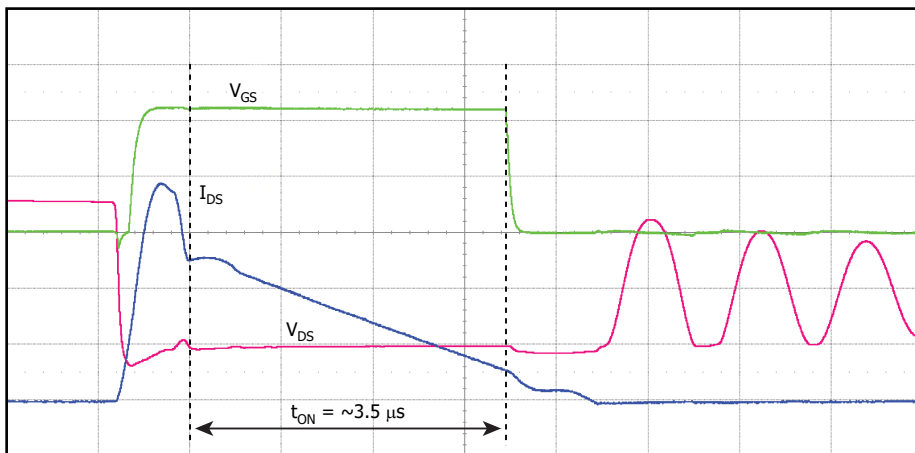
PI-8514-091318

图17. DCM模式工作时SR FET的导通和关断



$R_{DS(ON)} = 16m\Omega$ 表示3.5μs的长SR FET导通时间

PI-8516-050918



$R_{DS(ON)} = 7.5m\Omega$ 表示2.5μs的短SR FET导通时间

PI-8515-050918

图18. $R_{DS(ON)}$ 对SR FET导通时间的影响

推荐的最佳SR FET漏-源极导通电阻($R_{DS(ON)}$)是近似值:

$$R_{DS(ON)} \approx \frac{0.16 \times V_0}{I_p \times VOR}$$

部分适合同步整流且符合此部分所述标准的SR FET如表12所示。

SR FET的电压额定值应至少是预期峰值反向电压(PIV)的1.3倍。设计表格通过增加两个电压来估算SR FET PIV: (1)直流输出电压, 和(2)施加的最大输入直流母线电压乘以变压器初级与次级圈数比。该值显示为VDRAIN_OFF_SRFET [L190]。要获得总PIV, 应将[L190]中的值与SR FET关断时次级上的寄生振铃电压峰值相加。仍应测量寄生振铃电压和SR FET的总PIV, 以确认SR FET和反向并联二极管(如使用)的BV_{DSS}有足够的裕量。

由于低压MOSFET的成本较低, SR FET可在不增加成本的前提下提供显著的效率提升。通过将栅极驱动同步整流引脚短接至次级地, 可以使用肖特基二极管或快速恢复二极管进行输出整流。这可能更适合高压输出。

MOSFET的直流电流额定值需要是平均输出电流的两倍以上。其选择依赖于温升及峰值负载条件下的占空比。当完成工程样机作时, 如有必要, 可以增大SR FET的电流额定值以及散热面积。

在初级绕组的电压反向(由于初级FET导通)时, 输出绕组的漏抗与SR FET电容容值(C_{OSS})之间的相互作用会导致电压波形出现振铃。这种振铃可通过使用连接SR FET的RC缓冲器被抑制。可以使用介于10Ω至47Ω之间的缓冲器电阻(较高的电阻值会导致比较明显的效率下降)。大部分设计当中均可采用1nF至2.2nF的电容量。

元件	PIV	I _{DRAIN}	V _{GS(TH)} 最大值	V _{GS(TH)} 最小值	C _{ISS}	C _{RSS}	C _{RSS} / C _{ISS}	R _G	R _{DS(ON)}	T _{RR}	封装	生产厂商
	(V)	(A)	(V)	(V)	(pF)	(pF)	(%)	(Ω)	(Ω)	(ns)		
AO4260	60	18	2.4	1.3	4940	32	0.65	0.9	6.3	22	8-SOIC (0.154"/3.90mm宽)	Alpha & Omega
AO4264	60	12	2.5	1.4	2007	12.5	0.62	1.2	13.5	15	8-SOIC (0.154"/3.90mm宽)	Alpha & Omega
AON6244	60	85	2.5	1.5	3838	14.5	0.38	1	6.2	17	8-PowerSMD, 扁平引线	Alpha & Omega
AON6266	60	30	2.5	1.5	1340	10	0.75	1.5	19	17	8-PowerSMD, 扁平引线	Alpha & Omega
AON7246	60	34.5	2.5	1.5	1340	10	0.75	1.5	19	15	8-PowerVDFN	Alpha & Omega
AO4294	100	11.5	2.4	1.4	2420	11	0.45	0.6	15.5	25	8-SOIC (0.154"/3.90mm宽)	Alpha & Omega
AON7292	100	23	2.6	1.6	1170	8	0.68	0.7	32	24	8-WDFN 裸焊盘	Alpha & Omega
AO4292	100	8	2.7	1.6	1190	7	0.59	3	33	20	SOIC-8	Alpha & Omega
AO4294	100	11.5	2.4	1.4	2420	11	0.45	3	15.5	25	SOIC-8	Alpha & Omega
AO4296	100	13.5	2.3	1.3	3130	12.5	0.4	3	10.6	28	SOIC-8	Alpha & Omega
AOD294A	100	55	2.5	1.5	2305	11.5	0.5	3	15.5	30	TO-252	Alpha & Omega
AOD296A	100	70	2.3	1.3	3130	12.5	0.4	3	10.6	30	TO-252	Alpha & Omega
AOD2910	100	31	2.7	1.6	1190	7	0.59	3	33	30	TO-252	Alpha & Omega
AOD2916	100	25	2.7	1.6	870	3.5	0.4	3	43.5	20	TO-252	Alpha & Omega
AON6220	100	48	2.3	1.3	4525	22.5	0.5	1.1	7.4	32	DFN5X6	Alpha & Omega
AOD2544	150	23	2.7	1.7	675	4	0.59	2.9	66	37	TO-252 DPAK	Alpha & Omega
AON7254	150	17	2.7	1.7	675	4	0.59	2.9	66	37	8-WDFN 裸焊盘	Alpha & Omega

表12. 适合同步整流的MOSFET列表

初级MOSFET导通时，快速升高的电压通过变压器传递到次级，并出现在SR FET的漏源极之间。这种高 dv/dt 结合 C_{GD} 与 C_{ISS} MOSFET电容的高比值，将产生SR FET栅源极感应电压。如果栅极感应电压超过最小栅极阈值电压 $V_{GS(TH)}$ ，将导通SR FET，所产生的交越导通可能导致重大故障。推荐的 C_{GD} (C_{RSS})小于35pF， C_{RSS} 与 C_{ISS} 的比值小于0.02。

在选择SR FET时，另一个重要参数是体二极管的反向恢复时间(T_{RR})。SR FET的体二极管的反向恢复特性可影响初级FET导通时漏极的电压应力水平。如图19所示，具有慢速恢复体二极管($> 40ns$ T_{RR})的SR FET，其电压应力是具有快速恢复体二极管的两倍。推荐的体二极管最大反向恢复时间(T_{RR})小于40ns。

正激引脚电阻(R_{FWD})

正激引脚连接到同步整流MOSFET (SR FET)的漏极端子。该引脚用于检测SR FET的漏极电压，并实现精确的导通和关断控制。该引脚还可用于每当输出电压低于BPS电压时对BPS（次级旁路引脚）电容充电。

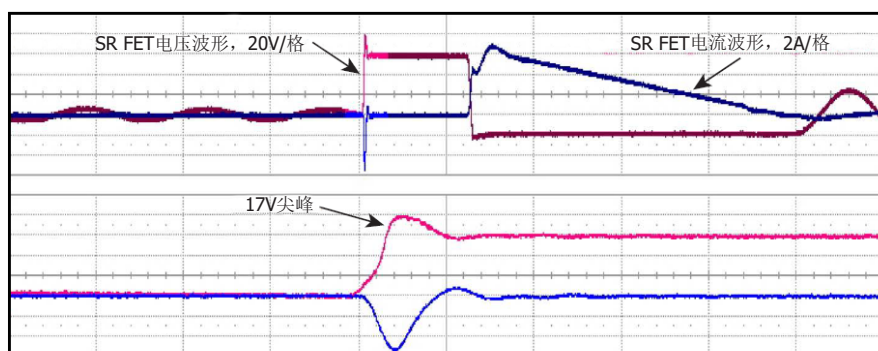
推荐使用47Ω的5%电阻，确保可获得足够的IC供电电流，并且可在宽输出电压范围内有效工作。电阻值过高或高低都不应使用，因为这会影响器件的工作，并且影响同步整流时序。

应当格外小心，确保正激引脚的电压绝不超过器件数据手册中规定的绝对最大电压。由于正激引脚监测SR FET的漏极电压，因此正激引脚上的峰值电压也是SR FET在关断期间的漏源极电压，包括电压尖峰。必须选择一个连接SR FET的缓冲电路，以同时满足SR FET漏源极击穿电压和正激引脚绝对最大电压的要求，并留有足够的裕量。

输出滤波电容(COUT)

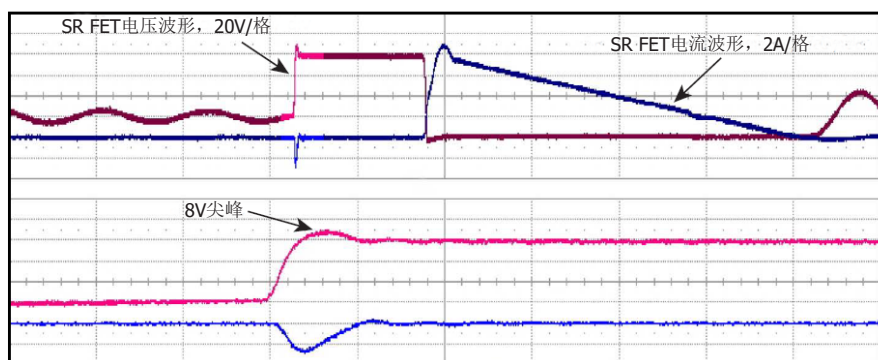
输出电容的电流纹波额定值应大于设计表格中的计算值 $IRIPPLE_CAP_OUTPUT$ 。如果找不到合适的电容，则可以用两个或两个以上的电容进行并联，使其总的纹波电流值满足实际的需要。很多电容生产厂商都会提供一些系数，该系数表明电容工作温度低于其数据手册规定的最大温度时，其纹波额定电流的增加比例。这样可确保没有选用过大的电容尺寸。

铝聚合物固态电容已获得非常广泛的应用，是由于它们具有紧凑的尺寸、稳定的温度特性、极低的ESR以及较高的有效值纹波电流额定值。使用这些电容可以设计出超紧凑的充电器和适配器。通常，对应每一个安培的输出电流使用200μF至300μF的铝聚合物电容即可。



具有慢速恢复体二极管的SR FET，高压尖峰为17V

PI-8517-100118



具有快速恢复体二极管的SR FET，低压尖峰为8V

PI-8518-100118

图19. 体二极管反向恢复时间对VDS的影响

其他影响电容选择的因素是允许的输出纹波。确保只使用电压额定值高于最高输出电压且留有合适裕量的电容。

开关纹波电压等于峰值次级电流乘以输出电容的ESR。为了降低纹波电压就必须选用ESR很低的电容。一般来讲，纹波电流比较高的电容，其ESR也是可以接受的。电容的电压额定值至少应为输出电压(VOUT)的1.2倍。

输出电流检测电阻和IS引脚滤波器 (R_{SENSE} 、 R_{FILT} 、 C_{IS})

电流检测电阻 R_{SENSE} 是一个阻值极小的电阻（通常为9mΩ或6mΩ），用于测量负载电流。对于恒流(CC)输出操作， R_{SENSE} 两端的电压连接到由 R_{FILT} 和 C_{IS} 组成的低通滤波器，其中电容 C_{IS} 应尽可能直接连接到IC的IS引脚和次级GND引脚。由于 R_{SENSE} 的阻值非常小，端接和铜线可能会改变IS引脚和GND引脚上的值。因此，从 R_{SENSE} 的端接焊盘到低通滤波器 R_{FILT} 和 C_{IS} ，必须使用开尔文连接。

IS和GND引脚之间的电压（低通滤波器后 R_{SENSE} 上的电压）与内部限流电压阈值进行比较，该阈值由InnoSwitch3-PD IC设定，最大值约为32mV ($I_{SV(TH)}$)。因此，InnoSwitch3-PD电源的最大可用恒流限值或满量程恒流由 R_{SENSE} 决定，并由下式给出。

$$I_{FULLSCALE} = \frac{I_{SV(TH)}}{R_{SENSE}}$$

满量程电流必须始终高于电源的最大额定输出电流。同样，在最大输出电流条件下，IS和GND引脚上的电压必须接近32mV，才能充分利用电流检测的动态范围。

R_{FILT} 和 C_{IS} 组成一个低通滤波器，以降低IS和GND引脚的噪声。对于 R_{FILT} ，推荐值为10Ω、1%；对于 C_{FILT} ，建议使用4.7μF、X7R陶瓷电容，额定电压至少为10V。 R_{SENSE} 、 R_{FILT} 和 C_{FILT} 必须靠近IS和GND引脚，并采用短走线，以获得精确的恒流限值，并防止接地阻抗噪声不稳定。

请参照表13，根据电源的最大输出电流选取 R_{SENSE} 、 R_{FILT} 和 C_{FILT} 的推荐值。

最大额定 I_{OUT}	R_{SENSE}	R_{FILT}	C_{IS}	满量程电流 (近似值)
≤ 3A	9mΩ, 1%, ≥ 0.125W	10Ω, 1%	4.7μF, X7R	3.56A
5A	6mΩ, 1%, 0.5W			5.33A

表13. R_{SENSE} 、 R_{FILT} 和 C_{IS} 的推荐值与相应的满量程电流

要实现精确的电流检测，必须结合正确的固件（由产品数据手册中的器件特征代码确定）、使用相应的 R_{SENSE} 值（3A设计为9mΩ，5A设计为6mΩ），以及遵循本文件后半部分（布局示例）中介绍的推荐PCB布局。在PCB布局中，如果存在较大的走线电阻，导致IS和GND引脚的等效电阻增大，则输出恒流限值精度可能会发生变化。可以将 R_{SENSE} 调整为与表12不同的值以补偿偏移。

VBUS串联开关和负载放电电路 (Q_{VBEN} 、 D_{VBD} 、 R_{VBD})

该VBUS串联开关由InnoSwitch3-PD IC的VB/D引脚通过固件使能或禁止。可以使用额定电压至少为30V且具有足够连续漏极电流额定值的低成本n沟道MOSFET。为了减少导通损耗，最好采用具有低 $R_{DS(ON)}$ (< 10 mΩ)的MOSFET。VB/D引脚栅极驱动相对于VOUT的典型值为4.5V，因此推荐使用1.5V至2.5V的栅极电压阈值电压范围。

InnoSwitch3-PD还可以通过将VB/D引脚接地对VBUS输出电压放电。放电电路是一个串联二极管+电阻，由VBUS输出连接至VB/D引脚，如典型应用电路原理图所示。建议使用低成本的通用二极管和100Ω电阻。该二极管和电阻必须尽可能靠近母线开关栅源极引脚放置。

VOUT引脚去耦电容(C_{VOUT})

VOUT脚应至少用一个2.2μF的陶瓷电容与GND引脚去耦。

μVCC引脚去耦电容(C_{uVCC})

μVCC引脚应至少用一个2.2μF的陶瓷电容与GND引脚去耦。uVCC上不应连接外部负载。

CC1/CC2保护电路 (R_{CC1} 、 R_{CC2} 、 C_{CC1} 、 C_{CC2} 、 D_{CC1} 、 D_{CC2})

要实现CC1和CC2引脚的ESD（静电放电）稳定性，必须在设计中使用RC和稳压管网络。稳压管 D_{CC1} 和 D_{CC2} 必须尽可能靠近Type-C连接器的CC引脚和输出返回端。选择稳压管电压时，必须确保其能够承受可能由线缆磨损导致的VOUT至CC1/CC2短路故障。对于支持20V或21V输出的设计，使用24V 200mW稳压管即可。

建议每条CC线路使用一个22Ω电阻和一个560pF电容。必须避免使用更高的值，以在USB PD通信期间维持CC1和CC2的电压切换的斜率。

应用设计要点

输出功率对照表

数据手册中的输出功率对照表（表1）列出了在以下条件下能获得的最大实际持续输出功率：

- 85VAC输入时，最小直流输入电压（整流桥后）为90V或更高；230VAC输入（或115VAC输入并使用倍压整流）时，最小直流输入电压为220V或更高。对于AC输入的设计应调整输入电容的额定电压，以满足这些电压要求。
- 效率的假定取决于功率水平。最小型号器件功率水平是假定效率>84%的情况下，最大器件的效率假定>89%，并且相当保守。
- 变压器初级电感公差为±10%。
- 所选择的反射输出电压(VOR)可使通用输入电压设计在最小输入电压下的 $K_p = 0.8$ ，高输入电压设计的 $K_p = 1$ 。
- 适配器的最大传导损耗限制在0.6W，敞开式设计则限制在0.8W。
- 敞开式设计的输出功率是通过选择升高电流限流点实现的，对于适配器设计中所列出的输出功率是采用标准电流限流点得到的。
- 将器件贴装在电路板上，源极焊接在足够的铺铜区域上，并且/或者使用一个散热片将源极引脚温度控制在110°C或之下。
- 确保敞开式设计的环境温度为50°C，封闭式适配器应用的环境温度为40°C。
- 为防止由于开关周期的提前误关断所导致的输出功率能力下降的情况出现， K_p 值应≥0.5。这样将避免在FET开通时初始电流尖峰(I_{INIT})触发到器件限流点。
- InnoSwitch3-PD器件的独特特性是，设计人员可以通过调整变压器设计将最大稳态工作频率设置在25kHz至95kHz的范围内。有效降低器件温度的方式之一是，将变压器设计为低开关频率工作，大型号器件（如8号）的合适起点为60kHz，但小型号器件（如5号）的合适起点为80kHz。

电路板布局建议

单点接地

在输入滤波电容与连接源极引脚的铺铜区域使用单一接地点。使用一条单独的走线，将偏置电容接地连接到输入滤波电容负极（参见图20）。

旁路电容

初级旁路电容(C_{BPP})、次级旁路电容(C_{BPS})、电流检测滤波电容(C_{IS})、 V_{OUT} 滤波电容(C_{VOUT})和 μVCC ($C_{\mu VCC}$)去耦电容必须分别直接靠近初级旁路源极、次级旁路接地、IS、VOUT和 μVCC 引脚放置。与这些电容的连接应采用短走线方式。

信号元件

外部元件输入电压检测电阻(R_{LS1} 、 R_{LS2})、BPP电阻(R_{BIAS})和偏置线性稳压器元件（如有）、输出电流检测电阻和滤波器(R_{SENSE} 、 R_{FILT})以及用于监测反馈信息的正向电阻(R_{FWD})必须尽可能靠近IC引脚，并采用短走线。 R_{SENSE} 必须与 R_{FILT} 和 C_{IS} 组成的低通滤波器进行开尔文连接，而 C_{IS} 必须直接靠近IS和GND引脚，以实现精确的电流检测。

关键环路面积

会产生高 dv/dt 或 di/dt 的电路环路应尽可能小。由连接输入滤波电容、变压器初级和IC的漏源极引脚构成的初级环路面积应尽可能小。同样，由次级绕组、输出电容和SR FET构成的次级环路面积也应尽可能小。

一个环路不得在另一环路之内（参见图21）。这样可降低电路之间的串扰。

初级钳位电路

钳位电路用于限制开关在关断时漏极引脚的峰值电压。在初级绕组上使用一个RCD钳位或一个齐纳稳压管(~200V)及二极管钳位即能够实现。为改善EMI，钳位元件、变压器和IC之间的连接走线应保证最短。当使用RCD或R2CD钳位时，尽管 C_{SN} 和 R_{SN} 是并联的，但 C_{SN} 必须比 R_{SN} 更靠近初级绕组。

Y电容

应将Y电容直接放置在初级输入滤波电容正极和变压器次级的正输出或返回极接脚之间。这样放置会使高幅值的共模浪涌电流远离IC。

输出SR MOSFET

为达到最佳性能，由次级绕组、输出SR FET及输出滤波电容所组成的环路区域面积应最小。此外，与SR FET端子连接的铺铜区域面积应足够大，以便用来散热。SR FET源极与InnoSwitch3-PD的GND引脚之间的距离必须很短，以防止负电流流经初级FET。

ESD抗扰性

应在初级侧和次级侧电路之间保持足够的电气间隙(>8mm)，以易于满足任何ESD或耐压绝缘要求。放电间隙最好位于输出返回端和/或正极与其中一个AC输入（保险丝后）之间。在此配置中，6.4mm（具体取决于客户要求）放电间隙通常足以满足最适用的安全标准的爬电距离和电气间隙要求。请参见图21中的布局示例。

共模扼流圈或电感上的放电间隙有助于为ESD或共模浪涌引起的大能量放电提供低阻抗路径。

漏极节点

漏极开关节点是主要噪声源。因此，连接漏极节点的元件应靠近IC放置并远离敏感的反馈电路。钳位电路元件应远离初级旁路引脚及相关电路放置，此电路中的走线宽度和长度应尽量短。

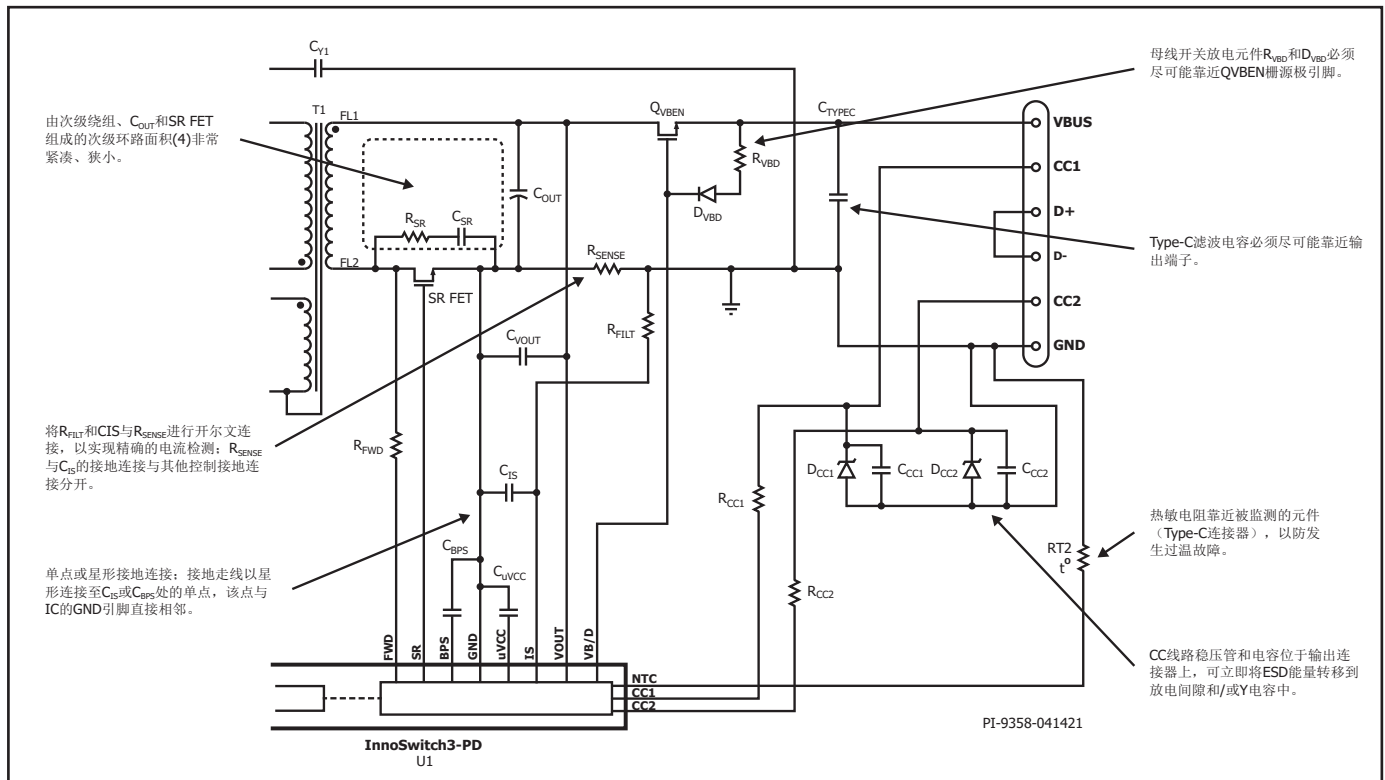
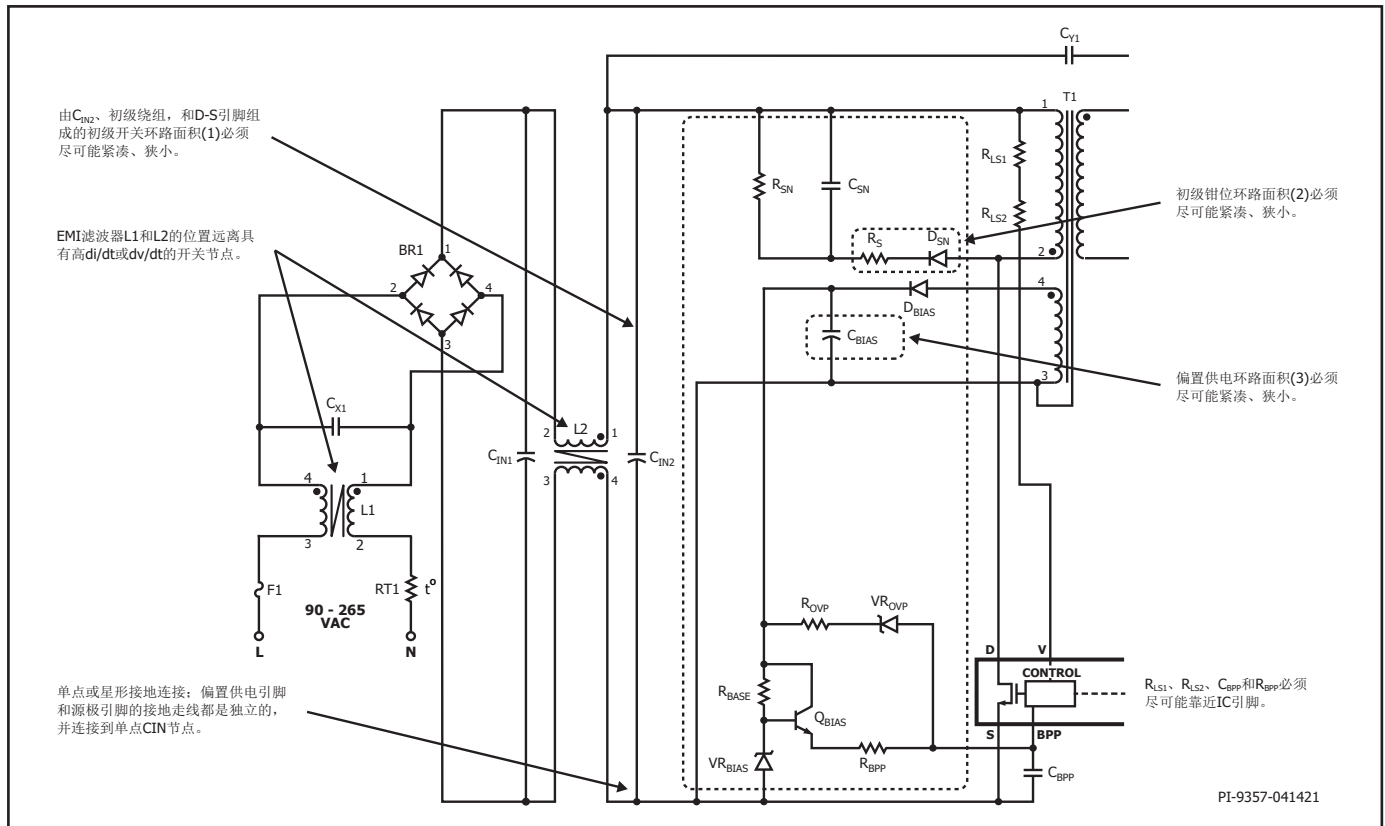
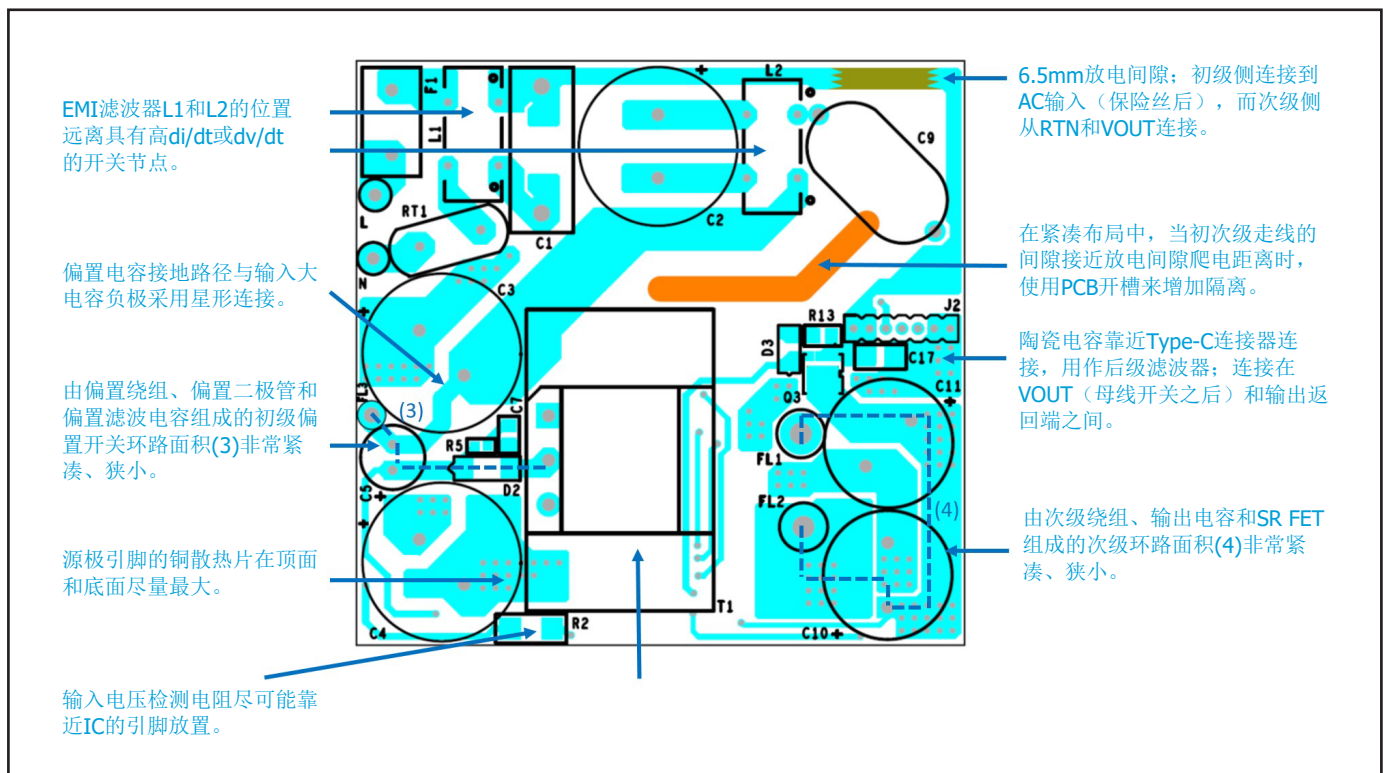
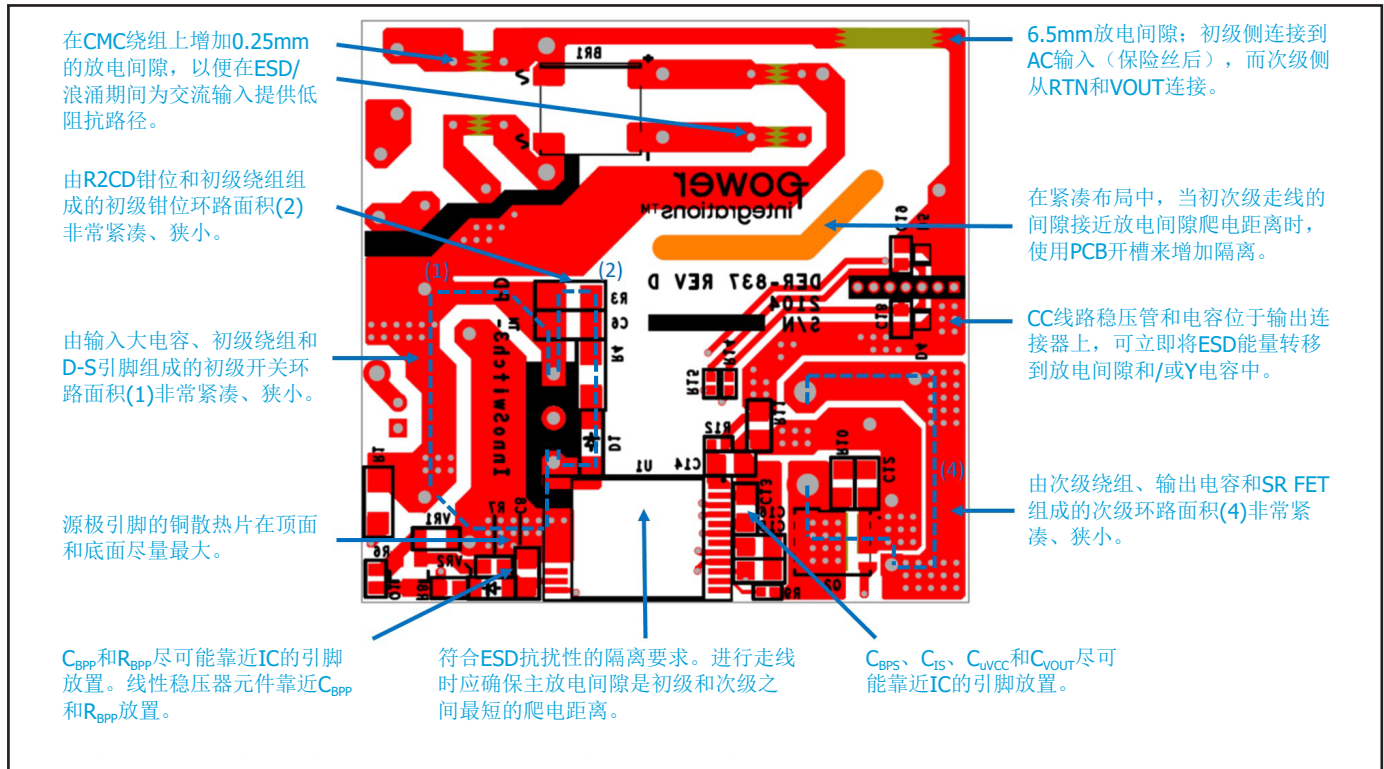
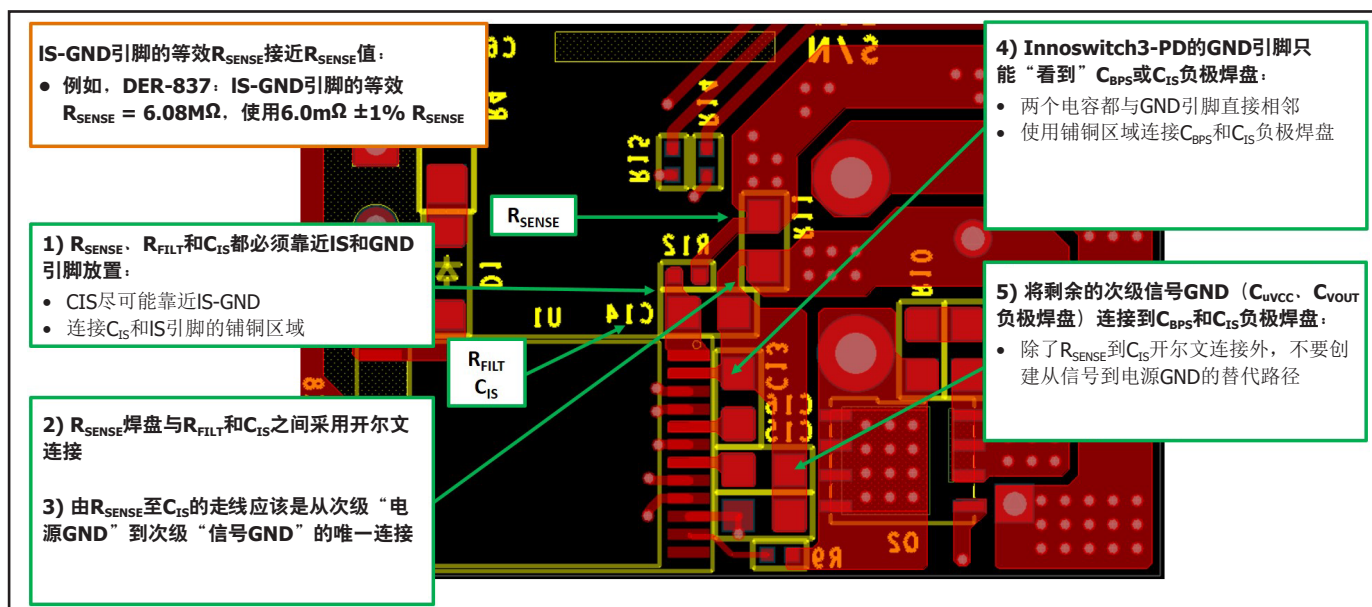


图20. InnoSwitch3-PD初级侧和次级侧的典型电路原理图 - 显示了关键环路面积、关键元件走线和单点或星形接地

布局示例

图21. 布局示例的顶面与底面 – 显示了高 dv/dt 及 di/dt 电路的紧密环路面积、合理的元件位置及放电间隙位置

图22. R_{SENSE} 、 R_{FILT} 和 C_{IS} 的PCB布局指南, 以实现高精度电流检测

使用PowiGaN器件 (INN3x78C、INN3x79C和INN3x70C) 时的设计注意事项

对于反激变换器设计, IC漏极引脚的典型电压波形如图23所示。

VOR是次级导通时初级绕组上的反射输出电压。VBUS是连接变压器初级绕组一端的直流电压。

除VBUS+VOR外, 漏极在关断时还会出现较大的电压尖峰, 这是由存储在初级绕组漏感中的能量引起的。为防止漏极电压超过额定最大连续漏极电压, 初级绕组两端需要一个钳位电路。钳位二极管正激恢复将在初级开关关断的一瞬间增加一个尖峰。

图23中的VCLM是包括尖峰的复合钳位电压。初级开关的峰值漏极电压为VBUS、VOR与VCLM的总和。

在所有正常工作条件下, 都应合理设计VOR和钳位电压VCLM, 以使峰值漏极电压低于650V。这提供了足够的裕量, 可确保在输入电压瞬变导致电压偶尔升高时, 峰值漏极电压仍能保持在远低于750V的水平。这样可确保出色的长期可靠性和设计裕量。

为充分利用QR特性和确保最平坦的输入电压/负载效率曲线, 设置反射输出电压(VOR)时, 对于通用输入电压设计, 在最小输入电压下应满足 $KP = 0.8$, 而对于输入电压仅限于高压输入的设计应满足 $KP \geq 1$ 。

为达到设计优化的目的, 应考虑如下因素:

- 较高的VOR允许在最低电压VMIN时获得更高的输出功率, 这会降低输入电容值并增大给定的PowiGaN器件 (INN3878C、INN3879C和INN3870C) 的输出功率能力。
- 较高的VOR还可以降低输出二极管和SR FET的电压应力。
- 较高的VOR会增加漏感, 从而降低电源效率。
- 较高的VOR会增大次级侧的峰值电流及有效值电流, 从而增加次级侧的铜损和二极管损耗。

但也有一些例外情况。输出电流非常大时, 应降低VOR以获得最高效率。输出电压高于15V时, 应提高VOR, 使输出同步整流管的反向峰值电压维持在可接受的水平。

VOR的选择会影响工作效率, 应谨慎选择。下表显示了实现最佳性能的典型VOR范围:

最大输出电压	VOR的建议范围
	INN387xC (725V/750V开关)
5V	45 – 70V
9V	80 – 100V
12V	90 – 120V
15V	100 – 135V
20V	120 – 150V
21V	125 – 160V

表14. PowiGaN器件的建议VOR

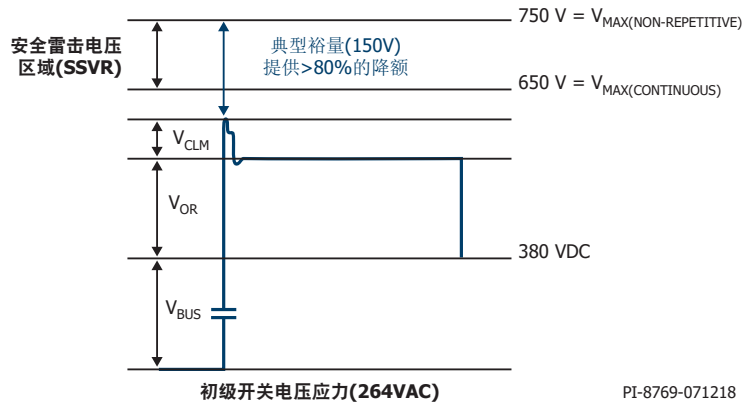


图23. 264VAC输入电压的峰值漏极电压

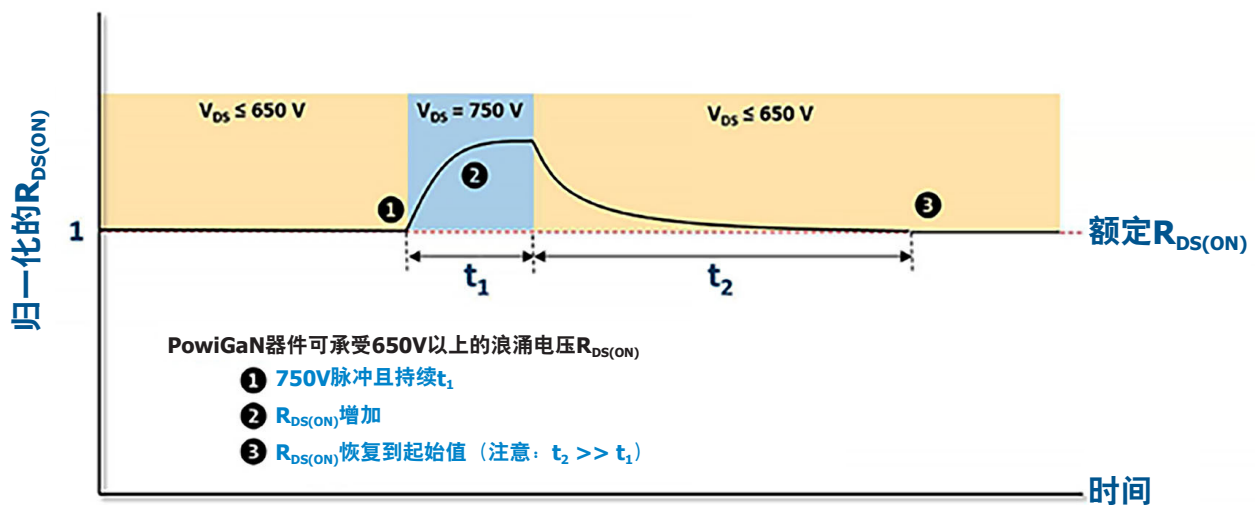
浪涌电压对器件 $R_{DS(ON)}$ 的影响 (INN3x78C、INN3x79C和INN3x70C)

当漏极受到超过650V的重复浪涌时，器件的 $R_{DS(ON)}$ 会增加，但器件的 $R_{DS(ON)}$ 在经过一定时间后会恢复到额定值。

图24显示了重复浪涌对器件 $R_{DS(ON)}$ 的影响，其中：

T1	T2	$R_{DS(ON)}$ 增加
100秒	20小时	5%

$R_{DS(ON)}$ 值在650V以上会增加，但会恢复

图24. 浪涌电压对器件 $R_{DS(ON)}$ 的影响

InSOP-24D封装相对于变压器的建议位置

变压器和InSOP-24D下方的PCB必须坚固稳定。如果大尺寸变压器与薄PCB (<1.5mm) 一起使用, 建议将变压器从InSOP封装移开。

不建议在靠近InSOP封装或其下方的PCB上开槽, 因为这样会削弱PCB的稳固性。对于较长的PCB, 建议在电路板的中央位置或靠近InSOP封装的位置使用机械支撑或支柱。

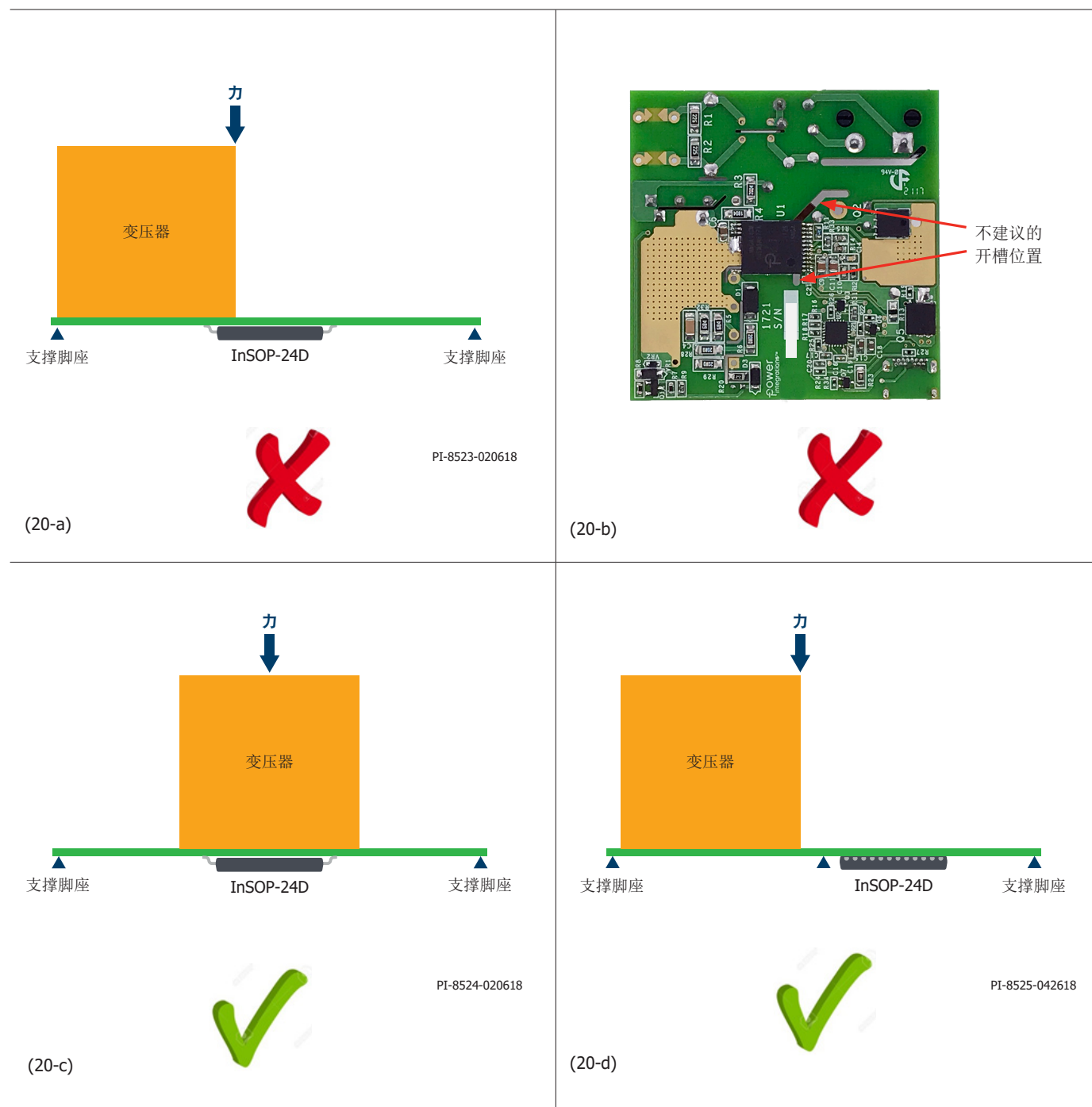


图25. InSOP-24D封装的建议位置 (带核选标记)

降低空载功耗的建议

InnoSwitch3-PD IC可以在自供电模式中启动，这会从旁路引脚电容（从内部电流源充电）吸收能量。一旦InnoSwitch3-PD IC开始开关，需要使用偏置绕组向初级旁路引脚提供供电电流。使用偏置绕组向初级旁路引脚供电后，可使电源实现低空载功耗。有关如何设计外围偏置供电电路的指导，请参阅本文档的“关键外围元件的选择”部分。

在交流输入端正确选择EMI滤波器X电容也能改善空载功耗。通常需要X电容来降低差分噪声，并满足传导EMI要求。不过，这些X电容的功耗（几毫瓦）通常会随着电容值的增加而增加。此外，对于相同的电容值，不同厂商生产的电容具有不同的功耗水平。例如，两个不同厂商生产的330nF电容在230VAC下的功耗分别为2.80mW和6.85mW。建议检查确认要使用的X电容和可能的替代元件的功耗值。

某些安全标准还要求100nF以上的X电容必须在特定的时序规格内放电。如果电源使用100nF的X电容就能满足EMI要求，则可能不需要泄放电路。但是，如果出于安全要求需要X电容放电电路，则应使用Power Integrations的CAPZero™系列器件。这样可将230VAC时的额外功耗降低至低于5mW。

其他可进一步降低空载功耗的因素包括：

1. 低值初级钳位电容 C_{SN} 。
2. 用作偏置供电整流管的肖特基或超快速二极管 D_{BIAS} 。
3. 用作偏置供电滤波电容的低ESR电容 C_{BIAS} 。
4. 低值SR FET RC缓冲器电容 C_{SR} 。
5. 在初级绕组层之间添加绝缘胶带，在初级与次级绕组之间添加多层胶带，以降低绕组间的电容。

降低EMI的建议

1. 合理的元件位置以及初级和次级功率电路所形成的小环路面积有助于降低辐射及传导EMI。应注意确保环路面积尽量小（见图21）。
2. 初级侧钳位二极管两端外加小电容有助于降低辐射EMI。
3. 与偏置绕组串联的电阻（2 – 47Ω）有助于降低辐射EMI。
4. 在初级绕组和/或次级绕组（<100pF）上将较小值的电阻和陶瓷电容（<22pF）串联可降低传导和/或辐射EMI。不过，如果值较大，空载功耗将增大。
5. 电源输入端通常需要使用共模扼流圈来充分衰减共模噪声。然而，在变压器上使用屏蔽绕组可以达到同样的目的。屏蔽绕组还可以与输入端的共模滤波电感配合使用，以降低传导及辐射EMI。
6. 调整SR MOSFET RC缓冲器元件值有助于降低高频辐射及传导EMI。
7. 差模电感外加一个电阻可以减小Q因数，从而降低10MHz以上的EMI。不过，5MHz以下低频率EMI可能会稍微增大。

8. 电源输出端并联一个1μF陶瓷电容可能有助于降低辐射EMI。
9. 将慢速二极管（例如，250ns < t_{RR} < 500ns）用作偏置整流管（ D_{BIAS} ）通常可降低20MHz以上的传导EMI和30MHz以上的辐射EMI。

提高ESD抗扰性的建议

1. 应在初级侧和次级侧电路之间保持足够的电气间隙（>8mm）（特别是在InSOP封装和变压器下方）。建议不要靠近InSOP封装或在其上设置放电间隙。
2. 使用两个放电间隙，一个连接次级端子（输出返回端和正极），另一个连接保险丝后的其中一个AC输入（参见图21）。在此配置中，至少6.8mm的放电间隙通常足以满足适用安全标准的爬电距离和电气间隙要求。
3. 在共模扼流圈或电感上使用放电间隙，为ESD或共模浪涌引起的大能量放电提供低阻抗路径。
4. 使用Y电容，使其从输出正极或负极连接到输入大电容的正极或者连接到保险丝后的AC输入。
5. 确保放电间隙和Y电容不共用同一供电走线。
6. 采用良好的布局做法，并遵循应用指南中的PCB布局建议。
7. 在偏置绕组与次级绕组之间以及次级绕组与初级绕组之间使用多层胶带。
8. 为了提高CC1和CC2线路的ESD稳定性，需要在引脚和Type-C连接器之间串联22Ω、5%的电阻。需要在22Ω电阻之后的引脚和Type-C连接器返回端之间连接24V、200mW稳压管和560pF、50V陶瓷电容（图21）。

温升管理设计要点

源极引脚都由内部连接至IC的铜制基板，是器件散热的主要途径。因此，源极引脚都应连接到IC下的铺铜区域，不但作为单点接地，还可作为散热片使用。因它连接到电位稳定的源极节点，可以将这个区域的面积扩大以使IC实现良好的散热，并且不会导致EMI问题。输出SR MOSFET也是一样，尽量增大连接封装引脚的PCB面积，以帮助SR FET散热。

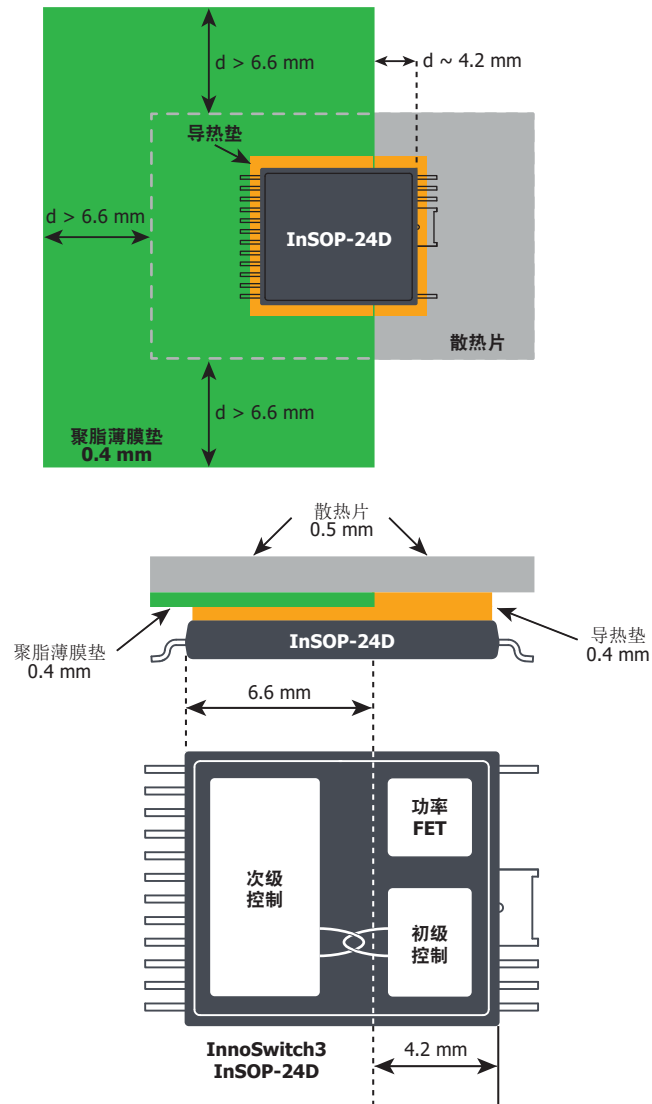
应在电路板上提供足够的铺铜区域，以使IC温度安全地处于绝对最大限值以下。建议铺铜区域（IC的源极引脚焊接在此）面积应足够大，以使电源在满额定负载、最低额定输入AC供电电压和最高额定温度下工作时IC温度保持在110°C以下。也可以根据需要进一步降额。

均热片

对于严格的散热要求，应将IC靠近变压器放置，如图25-d所示。这可以减少从变压器到IC的热传导。对于笔记本适配器等密闭的大功率应用或者环境温度较高的类似应用，将PCB用作散热片可能不足以让IC在规定的温度范围内工作，因此可能需要使用金属均热片使IC保持低温。除非使用陶瓷绝缘材料作为散热片，否则应格外小心，以提高安全限值。

均热片包括均热片材料（铜或铝质，0.4mm聚脂薄膜垫作为加强绝缘）和导热垫（可将热从IC更好地传导至均热片）。

图26所示为如何将均热片安装到InSOP-24D封装，同时在InnoSwitch3-PD IC初级侧与次级侧引脚之间保持爬电距离的基本思路。



PI-8377-020918

图26. 均热片安装至InSOP-24D封装的简图

快速设计校验

对于任何使用InnoSwitch3-PD的电源，都应经过全面测试以确保在最差条件下元件限值没有超过规定范围。作为最低要求，强烈建议进行如下测试：

最大漏极电压

在正常工作和启动时，检查确认InnoSwitch3-PD和SR FET的VDS在最高输入电压和峰值（过载）输出功率下没有超过击穿电压的90%。

最大漏极电流

在最高环境温度、最大输入电压、最大输出电压及峰值输出（过载）功率情况下，检查漏极电流波形以确定变压器是否出现饱和，另外也要检

测电源开启时是否出现过高的前沿导通电流尖峰。在稳态工作下重复测试，确认前沿电流尖峰在 $t_{LEB(MIN)}$ 结束时低于 $I_{LIMIT(MIN)}$ 。在任何条件下，初级MOSFET的最大漏极电流应低于规定的绝对最大额定值。

温升检查

在规定的最大输出功率、最小输入电压及最高环境温度情况下执行。检验没有超过InnoSwitch3-PD IC、变压器、输出SR FET和输出电容的规定温度限值。应有足够的温度裕量以保证MOSFET不会因为器件与器件间 $R_{DS(ON)}$ 的差异而引起过热问题出现。建议在低压输入及最大输出功率的情况下，InnoSwitch3-PD源极引脚的最高温度不高于110°C，这样就可以适应 $R_{DS(ON)}$ 的变化。

[illegible]

power
integrations
www.power.com

输出电流检测是通过监测电阻R11两端的电压降来完成的。由此产生的电流测量经电阻R12和电容C14滤波，并通过IS和次级接地引脚进行监测。InnoSwitch3-PD IC的内部电流检测阈值可通过集成的次级和USB PD控制器进行配置，最高可达约32mV，以减少损耗。一旦超过阈值，InnoSwitch 3-PD IC就会使用可变频率和可变初级开关峰值电流限值控制方案来维持固定的输出电流。

在恒流(CC)工作期间，当输出电压下降时，InnoSwitch3-PD IC内的次级侧控制器将直接从次级绕组中供电。在初级侧功率开关导通期间，出现于次级绕组的正向电压通过电阻R9和内部稳压器对次级旁路引脚去耦电容C13充电。这样就能将输出电流调节维持在最小UV阈值。在此水平之下时，电源会进入自动重启模式，直到输出负载降低。

当输出电流低于CC阈值时，变换器将以恒压模式工作。输出电压由InnoSwitch3-PD IC的VOUT引脚监测。与电流调节类似，输出电压也与通过InnoSwitch3-PD IC控制器的集成次级控制器和USB PD控制器设置的内部电压阈值进行比较，并通过可变频率和可变初级开关峰值电流限制实现输出电压调整。需要在VOUT引脚和次级接地引脚之间放置电容C15，用于为VOUT引脚提供ESD保护。

N沟道MOSFET Q3用作母线开关，可将反激式变换器的输出与USB Type-C接口连接或断开。MOSFET Q3由InnoSwitch3-PD IC上的VB/D引脚控制。电阻R13和二极管D3连接在Q3的源极端子和栅极端子之间以在Q3关断时为母线电压提供放电通路。输出端使用电容C17，起到ESD保护和降低输出电压纹波的作用。

InnoSwitch3-PD IC内集成了USB PD控制器。连接到 μ VCC引脚的电容C16用作内部稳压器的去耦电容，为USB PD控制器供电。USB PD协议通过CC1或CC2线路进行通讯，具体取决于Type-C插头的连接方位。电容C18和C19、电阻R14和R15以及稳压管D4和D5为引脚CC1和CC2提供ESD保护。

故障诊断对照表

问题表现	可能的原因	解决方法
启动时输入保险丝熔断	功率环的元件装配不正确或受损	1. 检验所用元件的极性（如整流桥的极性）。 2. 检验元件间的连线。
	InnoSwitch3-PD漏极与电路板上的源极短路。	1. 检查PCB上是否有焊锡桥接和短路。 2. 检查IC是否损坏。
	保险丝电流额定值不足	1. 使用PIXIs检验保险丝额定值。 2. 换用电流额定值和I ² t足够大的保险丝。
BPP电容或InnoSwitch3-PD漏源极引脚上无电压	整流桥输入端子无交流输入电压，或整流桥后的输入大电容上无直流电压	1. 检查整流桥输入端的电压。 2. 检查EMI滤波器级的元件及连线（包括热敏电阻）。
	输入保险丝断开	检验输入保险丝是否功能正常。
电源无法启动	InnoSwitch3-PD引脚在电路板上连接错误	确认没有任何引脚开路或意外连接到电路板上的相邻引脚。
	输出电容极性接反	检验电容的极性。
	V引脚电流低于IUV-	检验输入电压检测电阻的数值及其连线。
电源在启机时自动重启动	InnoSwitch3-PD的VOUT引脚开路	确认VOUT引脚连接到输出电容的正极。
	启动时输出电压过冲	探测输出电压，确认启动时输出电压不超过6.2V的输出过压阈值。 确认使用了推荐值的BPP和BPS电容，或者增加输出电容容量，或者重新设计变压器以减少过冲。
	过载条件	确认施加的负载不大于输出电流额定值。
尽管在母线开关前的输出电容上存在电压，但Type-C连接器上没有输出电压	未连接下拉端	检查是否通过正常工作的Type-C线缆连接了PD下拉端。 可在任意CC引脚与输出接地之间临时连接一个5.1kΩ电阻，以模拟PD下拉端。
	正在使用具有非标准特征代码的InnoSwitch3-PD。	确认IC已设定成功。启动后，确认断开Type-C线缆的情况下，CC引脚与GND引脚之间的电压约为3.6V。

表15. InnoSwitch3-PD电源设计的基本故障诊断指南

故障模式分析

下面介绍的是器件级故障模式分析，包括每个引脚开路以及临近引脚间短路对系统的影响。在每种情况下产生的故障都是安全的。

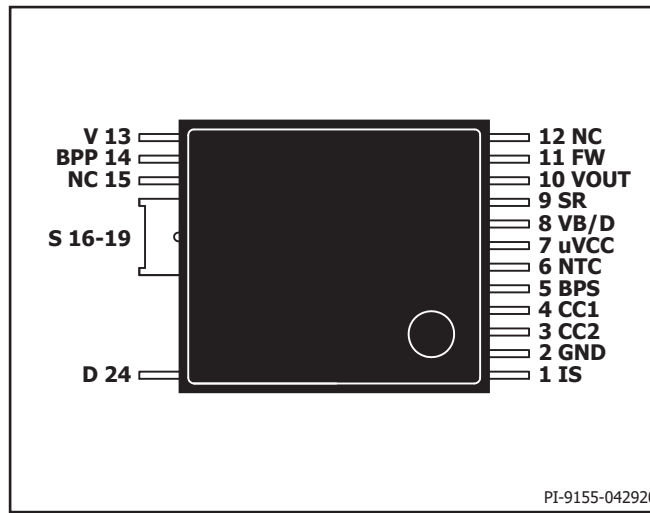


图28. InnoSwitch3-PD引脚布局

故障类型: 引脚开路	故障表现	
	失效发生在上电前	失效发生在上电后
IS	电源将自动重新启动。 母线开关后无输出电压(VBUS_OUT)。	电源将自动重新启动。 母线开关后无输出电压(VBUS_OUT)。
GND	VBUS_IN将稳定在5V，但纹波较高。 母线开关后无输出电压(VBUS_OUT)。 由于IC功耗高，长时间工作可能会损坏IC。	轻载时，VBUS_OUT将保持稳定，但输出纹波较高。 重载时，自动重启将触发，母线开关将保持断开。 由于IC功耗高，长时间工作有损坏IC的风险。
VCONN线路	除VCONN相关功能外，电源将正常工作。VCONN不会提供给Type-C线缆。	除VCONN相关功能外，电源将正常工作。VCONN不会提供给Type-C线缆。
CC线路	除CC相关功能外，电源将正常启动。 将检测不到Type-C线缆或USB PD下拉端的连接。 VBUS_IN将稳定在5V，并且母线开关将保持断开状态。	VBUS_IN将切换到5V，并且母线开关将断开。 CC相关功能将无法使用。
BPS	如果存在初级检测输出OVP电路，将触发锁存关断。	电源将自动重新启动。如果存在初级检测输出OVP电路，则会触发锁存关断。
NTC	除NTC相关功能外，电源将正常工作。	除NTC相关功能外，电源将正常工作。
μVCC	除所有USB PD控制器相关功能外，电源将正常工作。 VBUS_IN将稳定在5V，并且母线开关将保持断开状态。	VBUS_IN将切换到5V，并且母线开关将断开。 USB PD控制器相关功能将无法使用。
VB/D	VBUS_IN将稳定在5V，并且母线开关将保持断开状态。	VBUS_OUT可能出现低电压，表明母线开关仅部分导通。 当负载电流过大时，存在损坏母线开关的风险。

SR	电源将自动重新启动。	由于次级电流流经SR FET体二极管，导致SR FET耗散较高。
VOUT	启动期间，VBUS_IN将增至5V以上。 如果存在初级检测输出OVP电路，将触发锁存关断。	VBUS_IN将增至目标稳压值以上。 如果存在初级检测输出OVP电路，将触发锁存关断。
FWD	启动期间，VBUS_IN将增至5V以上。 如果存在初级检测输出OVP电路，将触发锁存关断。	电源将自动重新启动。
V	由于输入欠压条件，初级FET不会开关。	由于输入欠压条件，初级FET将停止开关。
BPP	初级FET不会开关。 BPP在3.1V至6.2V范围内连续振荡。	电源将锁存关断。 BPP在3.1V至6.2V范围内连续振荡。
S	BPP电压将升高，超过典型电压，BPP将受到内部损坏。	BPP电压将升高，超过典型电压，BPP将受到内部损坏。
D	初级FET不会开关。	初级FET将停止开关。

注：CC1/CC2引脚可用作VCONN或CC线路，具体取决于Type-C线缆的方向。

表16. 引脚开路故障的故障模式分析

故障类型：引脚到引脚短路	故障表现	
	上电前发生的故障	上电后发生的故障
IS和GND	无输出恒流调整。	无输出恒流调整。
GND和CC2 (USB和CC线路)	除CC相关功能外，电源将正常启动。 将检测不到Type-C线缆或USB PD下拉端的连接。 VBUS_IN将保持在5V，并且母线开关将保持断开状态。	在固定PDO中：正常工作 在PPS APDO中：由于PPS通信超时，将触发硬复位。母线开关将关断并保持断开状态。
GND和CC2 (GND和VCONN)	除VCONN相关功能外，电源将正常工作。VCONN不会提供给Type-C线缆。	除VCONN相关功能外，电源将正常工作。VCONN不会提供给Type-C线缆。
CC2和CC1	VBUS_IN将保持在5V，并且母线开关将保持断开状态。	VBUS_IN将切换到5V，并且母线开关将断开。
CC1和BPS (CC线路和BPS)	除CC相关功能外，电源将正常启动。 将检测不到Type-C线缆或USB PD下拉端的连接。 VBUS_IN将保持在5V，并且母线开关将保持断开状态。	VBUS_IN将切换到5V，并且母线开关将断开。
CC1和BPS (VCONN和BPS)	电源将正常启动。 VCONN电压将被上拉至BPS电压。	电源将正常工作。 VCONN电压将被上拉至BPS电压。
BPS和NTC	电源每1.6秒自动重新启动一次。 VBUS_IN将保持在5V，并且母线开关将保持断开状态。	电源将正常工作。
NTC和uVCC	除NTC相关功能外，电源将正常工作。	除NTC相关功能外，电源将正常工作。
uVCC和VB/D	VBUS_OUT可能出现低电压，表明母线开关仅部分导通。	VBUS_OUT可能出现低电压，表明母线开关仅部分导通。
VB/D和SR	在VBUS_OUT中观察到窄脉冲，峰值电压低于3V。	存在IC损坏的风险。
SR和VOUT	电源每2秒自动重新启动一次。	由于SR引脚上的电压过高，存在损坏IC的风险。
VOUT和FWD	启动期间，VBUS_IN将增至5V以上。 如果存在初级检测输出OVP电路，将触发锁存关断。	由于VOUT引脚上的电压过高，存在损坏IC的风险。
FWD和NC12	SR漏极和FWD引脚之间的电阻可能损坏。 启动期间，VBUS_IN可能增至5V以上。 如果存在初级检测输出OVP电路，可能触发锁存关断。	SR漏极和FWD引脚之间的电阻可能损坏。 如果存在初级检测输出OVP电路，可能触发锁存关断。
V和BPP	初级FET不会开关。	电源将锁存关断。
BPP和NC15	电源将正常启动。	电源将正常工作。
NC15和S	电源将正常启动。	电源将正常工作。
S和D	交流输入端的保险丝将熔断。	交流输入端的保险丝将熔断。

表17. 相邻引脚间短路故障的故障模式分析

附录A

选择输入电容以满足维持时间要求

维持时间是指即使在交流输入中断或移除后，电源仍能维持稳压输出的时间。通常从交流输入中断时开始测量，直到电源输出电压降至其正常工作值的90%。

当交流输入被移除时，InnoSwitch3-PD电源仍能保持输出稳压，直到触发输入电压跌落保护。该保护功能集成在IC内，如果电源已经工作，则当流入V引脚的电流下降到 I_{UV-} 阈值以下时触发故障。流入V引脚的电流可通过选择从V引脚连接到整流桥交流侧或直流侧（即输入大电容正节点）的总电阻来配置。将至少使用两个串联电阻来承受电压应力，并满足每个元件的安全要求。

对于具有维持时间要求的设计，建议将V引脚电阻连接到输入大电容，而不是整流桥的交流侧。V引脚总电阻应根据电源所需的输入过压和欠压保护阈值来选择。用于输入电压跌落保护的输入大电容电压阈值可通过下式估算：

$$V_{BULK(BROWNOUT)} = (I_{UV-})(R_{LS})$$

其中，

$V_{BULK(BROWNOUT)}$ ：输入大电容提供电压跌落保护的电压阈值。如果大电容的电压降至该值以下，则会触发电压跌落保护。

I_{UV-} ：UV/OV引脚电压跌落阈值（数据手册中的参数）。

R_{LS} ：输入电压检测总电阻（从V引脚到输入大电容的电阻）。

已知用于电压跌落保护的输入大电容电压阈值，则可根据下式计算出满足维持时间要求所需的输入电容值：

$$C_{BULK} \geq \frac{2(P_{OUT})(T_{HOLD})}{(\eta[(V_{BULK})^2 - (V_{BULK(BROWNOUT)})^2])}$$

其中，

C_{BULK} ：满足维持时间所需的最小输入大电容。

P_{OUT} ：设计的最大额定输出功率。

T_{HOLD} ：维持时间要求。

η ：在 P_{OUT} 下工作时的效率估计值。

V_{BULK} ：在 P_{OUT} 下工作时的最小输入大电容电压。

$V_{BULK(BROWNOUT)}$ ：输入大电容提供电压跌落保护的电压阈值。

修订版本	注释	日期
A	初始版本。	09/21

有关最新产品信息，请访问：www.power.com

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at www.power.com. Power Integrations grants its customers a license under certain patent rights as set forth at www.power.com/ip.htm.

Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

Power Integrations, the Power Integrations logo, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, PowiGaN, SCALE, SCALE-1, SCALE-2, SCALE-3 and SCALE-iDriver, are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies. ©2021, Power Integrations, Inc.

Power Integrations全球销售支持网络

全球总部

5245 Hellyer Avenue
San Jose, CA 95138, USA
Main: +1-408-414-9200
Customer Service:
Worldwide: +1-65-635-64480
Americas: +1-408-414-9621
e-mail: usasales@power.com

中国（上海）

徐汇区漕溪北路88号圣爱广场
1601-1603室
上海|中国, 200030
电话: +86-21-6354-6323
电子邮箱: chinasales@power.com

中国（深圳）

南山区科技南八路二号豪威科技大厦
17层
深圳|中国, 518057
电话: +86-755-8672-8689
电子邮箱: chinasales@power.com

德国（AC-DC/LED业务销售）

Einsteinring 24
85609 Dornach/Aschheim
Germany
Tel: +49-89-5527-39100
e-mail: eurosales@power.com

德国（门极驱动器销售）

HellwegForum 3
59469 Ense
Germany
Tel: +49-2938-64-39990
e-mail: igbt-driver.sales@power.com

印度

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
Phone: +91-80-4113-8020
e-mail: indiasales@power.com

意大利

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
Phone: +39-024-550-8701
e-mail: eurosales@power.com

日本

Yusen Shin-Yokohama 1-chome Bldg.
1-7-9, Shin-Yokohama, Kohoku-ku
Yokohama-shi,
Kanagawa 222-0033 Japan
Phone: +81-45-471-1021
e-mail: japansales@power.com

韩国

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
Phone: +82-2-2016-6610
e-mail: koreasales@power.com

新加坡

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
Phone: +65-6358-2160
e-mail: singaporesales@power.com

台湾地区

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
Phone: +886-2-2659-4570
e-mail: taiwansales@power.com

英国

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
Phone: +44 (0) 7823-557484
e-mail: eurosales@power.com