BridgeSwitch-2 제품군

장비 보호 및 시스템 모니터링 기능이 통합된 고전압, 자체 구동식 하프 브리지 모터 드라이버 일반 애플리케이션 회로도

제품의 주요 특징

최고의 성능 및 설계 유연성

- 최대 99% 효율성을 가진 완전 통합형 하프 브리지 스테이지
  - 정격 연속 RMS 전류에서 외부 히트 싱크 제거
- 600V N-채널 전원 FREDFET
  - 매우 부드러운 고속 회복 다이오드
- 정확한 순간 위상 전류 정보 출력(IPH)
  - 외부 감지 및 증폭 회로 제거
- 자체 바이어스된 로우 사이드 및 하이 사이드 드라이버
  - 보조 파워 서플라이 불필요
- 소형 풋프린트 표면 장착 InSOP-24C 패키지
  - PCB를 통해 히트싱크가 가능한 노출 패드
- 제어된 FREDFET 스위칭 속도로 EMI 감소
- 자체 구동 시 슬립 모드에서 325VDC 버스로부터 4mW 미만의 전력 소비
- 에러 플래그(EF)가 심각한 시스템 및 디바이스 고장에 대한 경고 제공

안전성 및 신뢰성 기능 강화

- FREDFET 모두에서 사이클별 전류 제한 조정 가능
  - 고장 안전 동작
- 내부 이중 레벨 써멀 과부하 보호
- 자가 구성형 시스템 레벨 모니터링 입력
  - 4레벨 DC 버스 저전압
  - DC 버스 과전압
  - 시스템 온도
- 적응형 데드 타임
- 동시 도통 록아웃 보호
- 래칭 또는 히스테리시스 과열 및 지속 과전류 보호 선택 가능

상태 인터페이스(FAULT)

- 양방향 버스 연결 오픈 드레인 단일 와이어 인터페이스
- 시스템 MCU로 상태 업데이트
  - 작동 시작 성공
  - 내부 과전류 또는 과열 이상
  - 시스템 레벨 이상
  - 장치 ID 포함
- 시스템 MCU를 통한 상태 문의
- 시스템 MCU를 통해 장치 고장 리셋

애플리케이션

- 1상 또는 3상 고전압 PM 및 BLDC 모터 드라이브
- 식기 세척기, 냉장고, 천장형 선풍기를 비롯한 가전 제품
- 고효율 에어컨에 사용되는 팬
- 순환 펌프

설명

BridgeSwitch™-2 통합형 하프 브리지 제품군은 고전압 인버터 구동 1상이나 3상 PM 또는 BLDC 모터 드라이브의 개발 및 생산을 획기적으로 단순화합니다. 이 제품은 로우 사이드 및 하이 사이드 드라이버가 포함된 두 개의 고전압 N-채널 전력 FREDFET를 한 개의 단일 소형 패키지에 통합합니다. 내부 전원 FREDFET는 하드 스위치 인버터 드라이브에 이상적으로 적합한 매우 부드러운 초고속 다이오드를 제공합니다. 드라이버 둘 다 외부 보조 파워 서플라이가 필요 없는 자체 구동식입니다. BridgeSwitch-2는 무센서 제어 구성의 구현을 단순화하는 독특한 순간 위상 전류 출력 신호를 제공합니다. 로우 프로파일의 소형 풋프린트 표면 장착 패키지는 확장된 연면거리를 제공하고, 인쇄 회로 기판을 통해 두 개의 전력 FREDFET 히트싱크를 허용합니다. BridgeSwitch-2는 내부 고장 보호 기능과 외부 시스템 레벨 모니터링을 제공합니다. 내부 고장 보호 기능에는 두 개의 FREDFET에 대한 사이클별 current limit과 두 개 레벨의 써멀 과부하 보호 장치가 포함됩니다. 외부 시스템 레벨 모니터링에는 4개의 저전압 레벨과 한 개의 과전압 레벨로 감지하고, NTC와 같은 외부 센서로 구동하는 DC 버스가 포함됩니다. 양방향 버스 연결 단일 와이어 상태 인터페이스는 관찰한 상태 변화를 보고합니다. 새로운 슬립(Sleep) 모드는 자체 구동 동작을 사용할 때, 정류된 AC 메인 버스에서 디바이스당 소비를 4mW 미만으로 줄입니다.

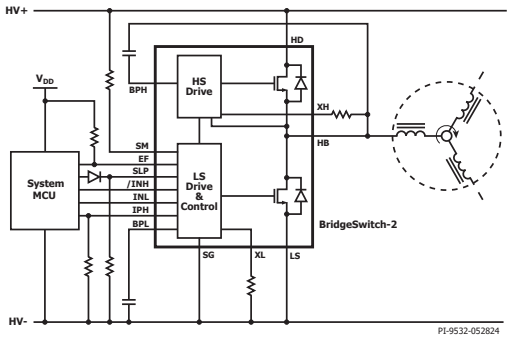


Figure 1. Typical 3-Phase Inverter Schematic (BRD246X).

Figure 2. InSOP-24C Package.

Product Family

Product[3]	FREDFET DC Output Current[1]	Continuous Phase RMS Current[2]
BRD2x60C	1.0 A	0.22 A
BRD2x61C	1.7 A	0.50 A
BRD2x63C	3.0 A	0.75 A
BRD2x65C	5.5 A	1.00 A
BRD2x67C	11.5 A	1.33 A

Table 1. Phase Output Current Family Table.
Notes:
1. Continuous DC output current per FREDFET, calculated at 25 °C case and 125 °C junction temperature. Normally limited by internal circuitry.
2. Continuous phase RMS current, internal self-supply, 340 V bus, trapezoidal commutation with 10 kHz high-side PWM, PCB heat sinking with 50 °C case temperature rise.
3. Package. C: InSOP-24C.

Product Family	Reporting	IPH Current Information
BRD216x	FAULT & ID	-
BRD226x	FAULT & ID	Yes
BRD236x	EF	-
BRD246x	EF	Yes

Table 2. Product Family Functional Overview.

이 제품은 기존 등록 또는 출원 중인 특허의 보호를 받습니다.

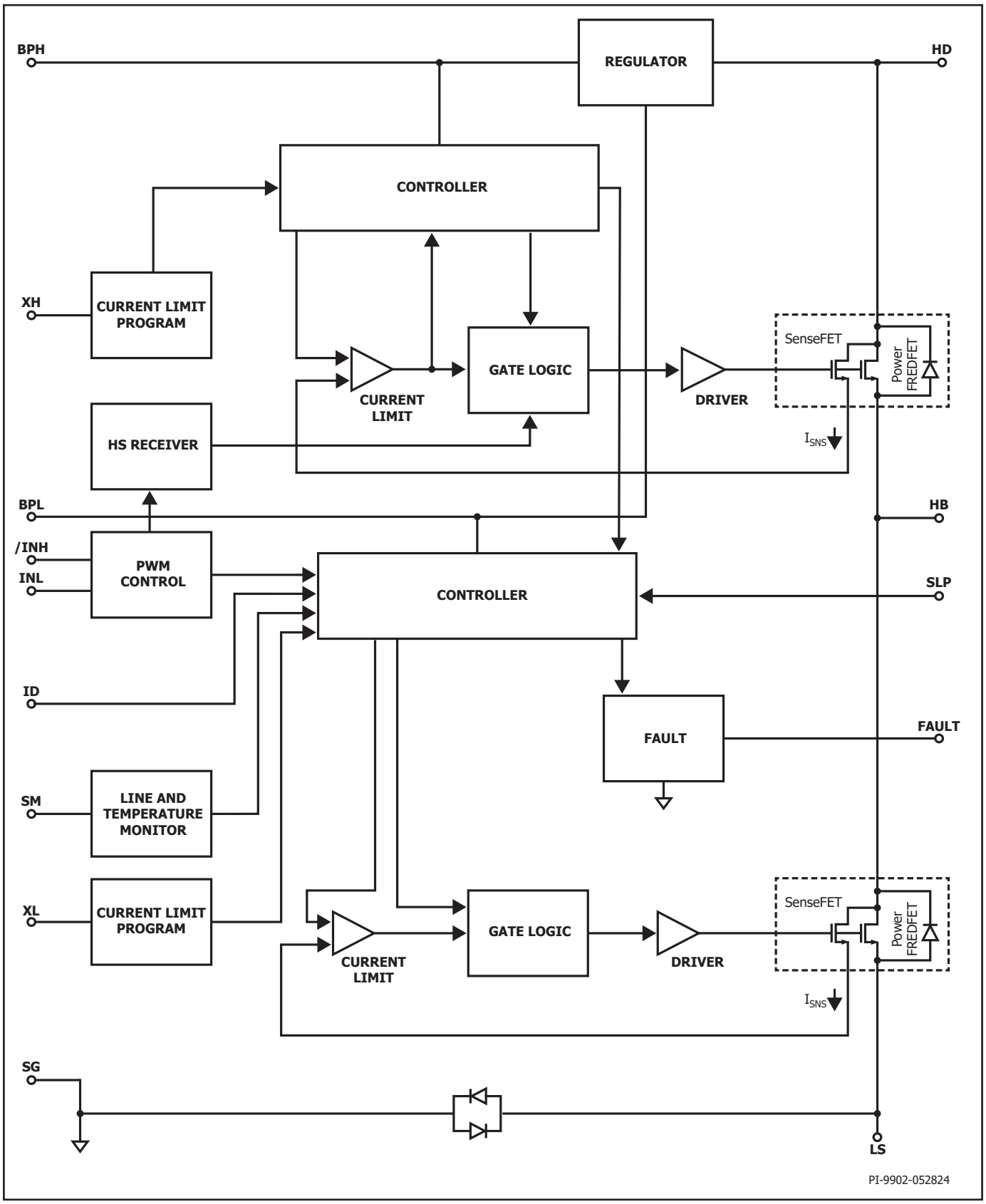


Figure 3. Functional Block Diagram BRD216X.

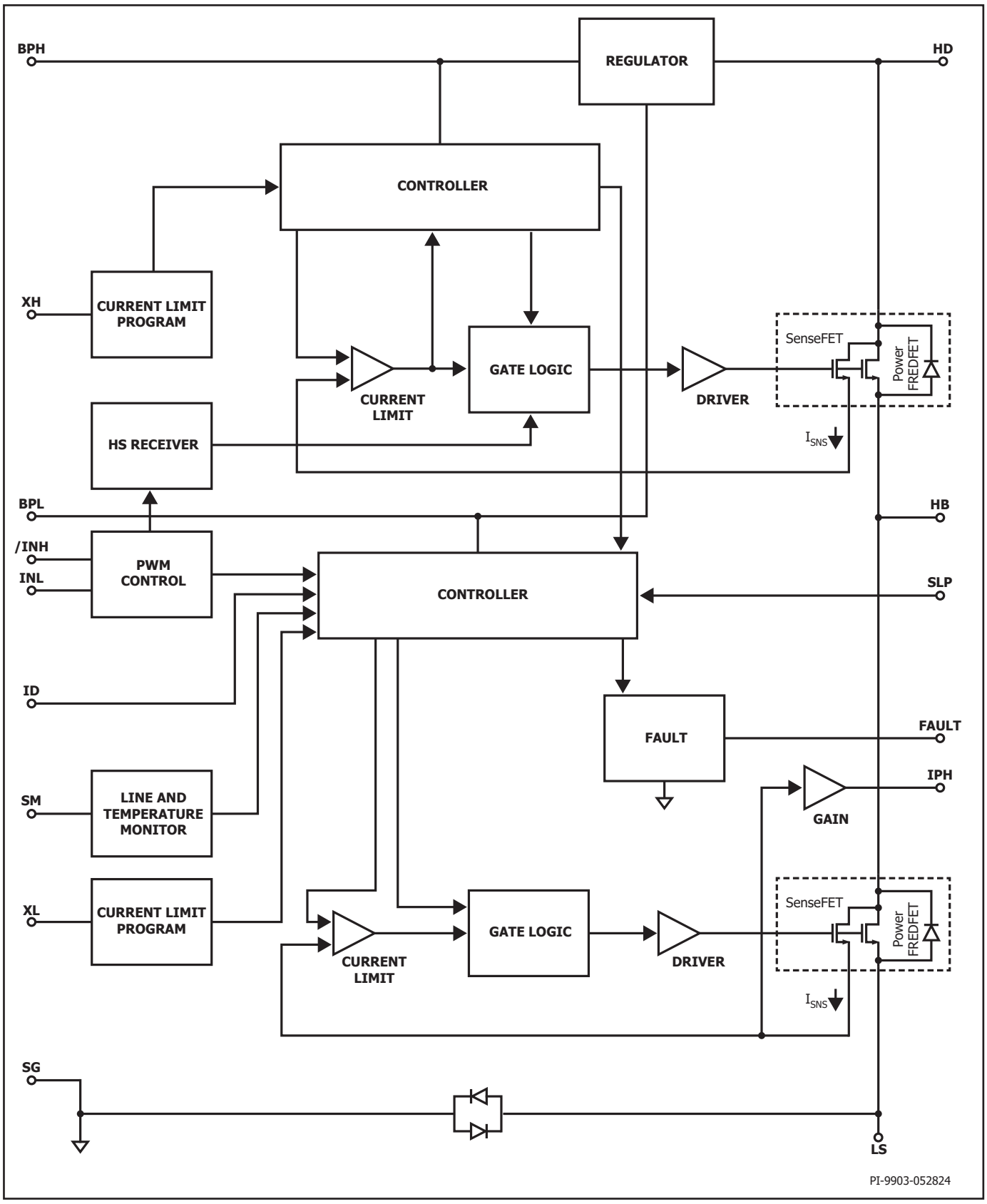


Figure 4. Functional Block Diagram BRD226X.

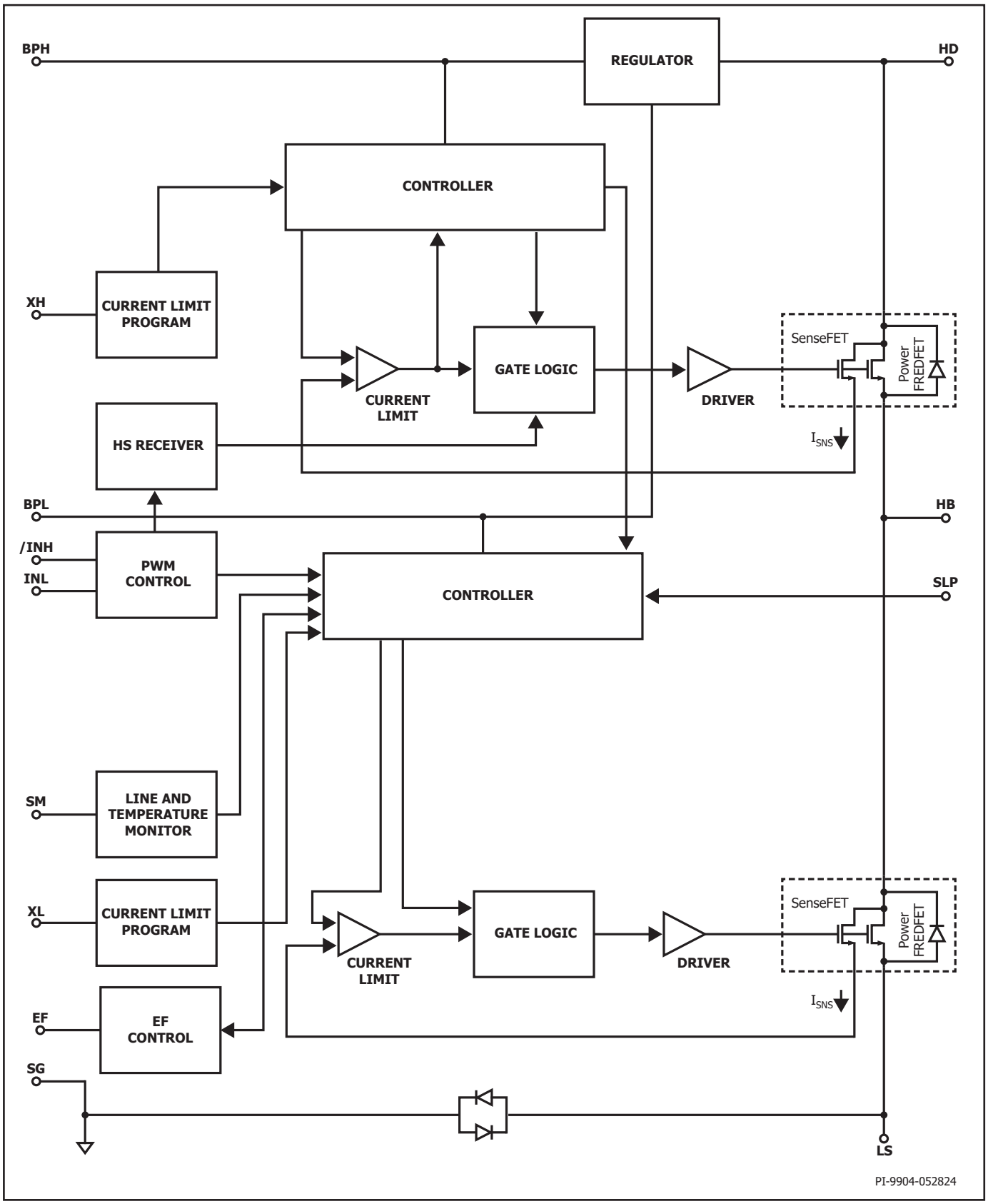


Figure 5. Functional Block Diagram BRD236X.

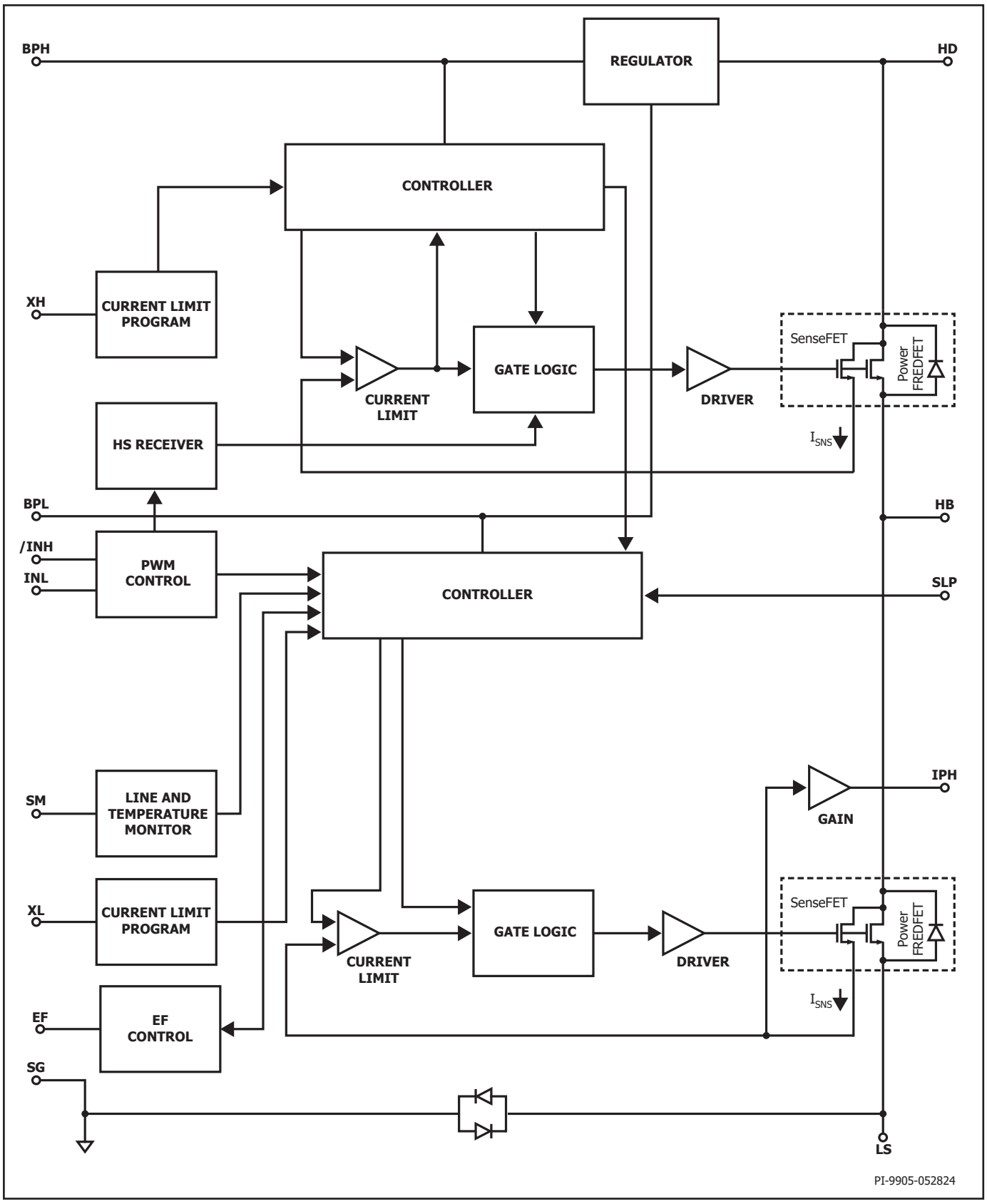


Figure 6. Functional Block Diagram BRD246X.

핀 기능 설명

HIGH-SIDE DRAIN(HD) 노출 패드
HD 노출 패드는 하이 사이드 파워 FREDFET 드레인 연결에 대한 전기 연결입니다. 내부 로우 사이드 및 하이 사이드 자체 구동식 회로의 입력이기도 합니다.

EXTERNAL CURRENT LIMIT LOW-SIDE(XL) 핀(핀 1)
이 핀은 저항에 연결되어 로우 사이드 파워 FREDFET에 대한 사이클별 current limit을 설정합니다.

PHASE CURRENT OUTPUT(IPH) 핀(핀 2, BRD226X/BRD246X)
이 핀은 소신호 저항에 연결되어 로우 사이드 FREDFET 드레인 전류 정보를 제공합니다. 이 기능을 사용하지 않을 경우 핀을 플로우팅 상태로 두어야 합니다. BRD216X/BRD236X에서는 해당 기능을 사용할 수 없습니다.

SIGNAL GROUND(SG) 핀(핀 3 및 10)
이 핀은 로우 사이드 컨트롤러 소신호 핀과 시스템 마이크로 컨트롤러의 그라운드 기준 연결입니다.

BYPASS LOW-SIDE(BPL) 핀(핀 4)
이 핀은 로우 사이드 컨트롤러와 FREDFET 게이트 드라이버의 외부 바이패스 커패시터에 연결됩니다.

CONTROL INPUT LOW-SIDE(INL) 핀(핀 5)
로우 사이드 파워 FREDFET에 대한 액티브 하이 로직 레벨 컨트롤 입력입니다.

CONTROL INPUT HIGH-SIDE(/INH) 핀(핀 6)
하이 사이드 파워 FREDFET에 대한 액티브 로우 로직 레벨 컨트롤 입력입니다.

STATUS COMMUNICATION(FAULT) 핀(핀 7, BDR216X/BDR226X)
이 오픈 드레인 핀은 시스템 마이크로 컨트롤러의 I/O 포트에 연결되어 상태 업데이트를 제공합니다. 이 기능을 사용하지 않을 경우 핀을 SIGNAL GROUND에 연결해야 합니다.

SYSTEM MONITOR(SM) 핀(핀 8)
이 핀은 자체 구성 시스템 모니터 입력입니다. 파워 업 시 저항이 고전압 버스에 연결되어 있으면 고전압 버스 센싱 입력으로 자체 구성됩니다. 파워 업 시 저항이 SYSTEM GROUND에 연결되어 있으면 외부 온도 센싱 입력으로 자체 구성됩니다. 이 기능을 사용하지 않을 경우 핀을 SIGNAL GROUND에 연결해야 합니다.

SLEEP MODE AND PROGRAMMING(SLP) 핀(핀 9)
이 핀은 디바이스를 딥 슬립 모드로 진입시키기 위한 제어 입력입니다. 외부 프로그래밍 저항을 사용하면 과열 또는 지속 과전류 고장 시 히스테리시스 또는 래칭 셧다운 보호 중에서 선택할 수 있습니다. 이 핀은 슬립 모드 및 프로그래밍 기능을 사용하지 않을 경우 플로팅 상태로 두어야 합니다.

DEVICE ID(ID) 핀(핀 11 BRD216X/BRD226X)
이 핀은 파워 업 시 디바이스 ID를 프로그래밍합니다. 이 기능을 사용하지 않을 경우 이 핀은 플로팅 상태로 두어야 합니다.

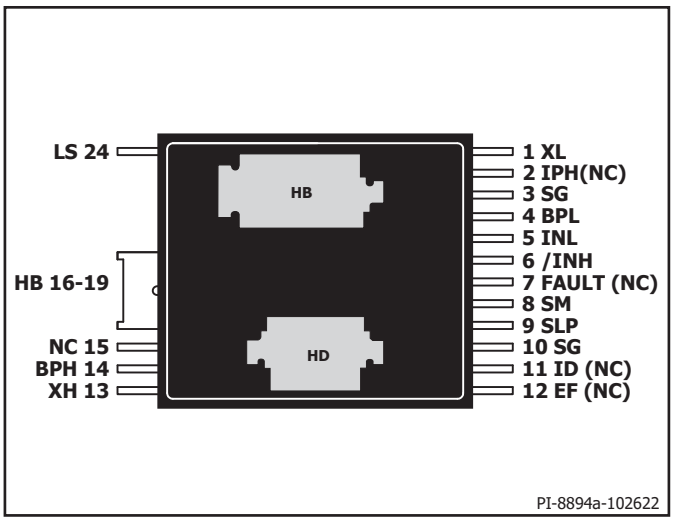


Figure 7. Pin Configuration for C Package (InSOP-24C) (Bottom View).

ERROR FLAG(EF) 핀(핀 12, BRD236X/BRD246X)
이 오픈 DRAIN 핀은 심각한 디바이스 수준의 고장을 표시합니다. 또한 옵션으로 선택된 래칭 셧다운 보호 기능에 대한 리셋 신호 입력 역할도 합니다. 이 기능을 사용하지 않을 경우 이 핀은 플로팅 상태로 두어야 합니다.

EXTERNAL CURRENT LIMIT HIGH-SIDE(XH) 핀(핀 13)
이 핀은 저항에 연결되어 하이 사이드 파워 FREDFET에 대한 사이클별 current limit을 설정합니다. 저항은 HALF BRIDGE CONNECTION을 기준으로 합니다.

BYPASS HIGH-SIDE(BPH) 핀(핀 14)
이 핀은 하이 사이드 FREDFET 게이트 드라이버를 위한 외부 바이패스 커패시터에 연결됩니다. 커패시터는 HALF BRIDGE CONNECTION을 기준으로 합니다.

HALF-BRIDGE CONNECTION(HB)(핀 16-19)
이 핀은 하이 사이드 파워 FREDFET의 소스와 로우 사이드 파워 FREDFET의 드레인에 연결됩니다. BYPASS HIGH-SIDE 및 EXTERNAL CURRENT LIMIT HIGH-SIDE 핀에 대한 기준이 되기도 합니다.

LOW-SIDE SOURCE(LS)(핀 24)
이 핀은 로우 사이드 파워 FREDFET 소스 연결 핀입니다. Kelvin 연결을 통해 SIGNAL GROUND에 연결됩니다.

NOT CONNECTED(NC) 핀
BRD216X - 핀 2, 핀 12
BRD226X - 핀 12
BRD236X - 핀 2, 핀 7, 핀 11
BRD246X - 핀 7, 핀 11

이들 NC 핀은 연결되어 있지 않으며 플로팅 상태여야 합니다.

BridgeSwitch-2 기능 설명

BridgeSwitch-2는 두 개의 고전압 파워 FREDFET, 게이트 드라이버, 컨트롤러를 단일 패키지로 결합합니다. FREDFET은 하프 브리지 구성으로 연결되며, 다이오드 구조(울트라소프트 울트라패스트 리커버리)는 하드 스위칭 인버터 기반 모터 드라이버에 이상적입니다.

외부 부품을 줄이기 위해 드라이브 컨트롤러는 통합형 고전압 전류 소스를 갖추고 있어 고전압 DC 버스로부터 직접 전류를 끌어올 수 있습니다. 하이 사이드 컨트롤러는 상태 업데이트를 로우 사이드 컨트롤러에 제공하여 순간 위상 전류 출력 신호를 생성합니다(BRD226X/BRD246X). 이 고유한 기능으로 센서리스 모터 컨트롤 방식을 구현할 수 있습니다. 또한 컨트롤러는 FREDFET 턴오프가 턴온보다 빠르도록 보장하여 써멀 성능과 EMI 사이에 최적의 균형을 유지합니다.

BridgeSwitch-2는 양방향 단일 와이어 상태 인터페이스 버스를 통해 통합 고장 보호와 시스템 수준 모니터링을 제공합니다. 내부 고장 보호 기능에는 두 개의 FREDFET에 대한 사이클별 전류 제한뿐만 아니라 두 단계 열 과부하 보호 기능이 포함되어 있습니다. BridgeSwitch-2는 정교한 DC-버스 센싱 기능을 통해 4개의 저전압 레벨과 한 개의 과전압 레벨을 제공하며 NTC와 같은 외부 센서도 지원할 수 있습니다. 그림 3~6은 주요 기능과 함께 디바이스의 기능 블록 다이어그램을 보여줍니다.

BYPASS LOW-SIDE 핀 및 HIGH-SIDE 핀 레귤레이터

LOW-SIDE BYPASS(BPL) 및 HIGH-SIDE BYPASS(BPH) 핀에는 자체 구동 시, C_{BPL}, C_{BPH} 커패시터를 각각 V_{BPL}, V_{BPH} 전압으로 충전하는 내부 레귤레이터가 있습니다. HIGH-SIDE DRAIN(HD) 패드에 연결된 전류 소스는 C_{BPL} 커패시터를 충전합니다. HD 패드에 연결된 다른 전류 소스는 로우 사이드 FREDFET이 턴온될 때마다 C_{BPH} 커패시터를 충전합니다.

두 전류 소스 모두 HD 패드 전압이 $V_{HD(START)}$(최소 50V)에 도달하면 충전을 시작합니다. BPL 및 BPH 핀은 로우 사이드 및 하이 사이드 컨트롤러와 게이트 드라이버의 내부 공급 전압 노드입니다. 로우 사이드 또는 하이 사이드 FREDFET이 켜지면 디바이스는 각각 C_{BPL} 핀 커패시터 또는 C_{BPH} 커패시터에 저장된 에너지로 동작합니다.

또한 외부에서 공급되는 경우, 전류가 저항 RSL과 RSH을 통해 외부 DC 소스로부터 제공될 때, BPL 핀을 $V_{BPL(SHUNT)}$에 클램핑하고 BPH 핀을 $V_{BPH(SHUNT)}$에 클램핑하는 션트 레귤레이터가 있습니다(그림 8 참조). 외부 공급 전압 V_{SUP}는 바이패스 션트 레귤레이터 전압 $V_{BPX(SHUNT)}$와 부트스트랩 다이오드 DSH의 전압 강하를 더한 값보다 큽니다. 일반적인 값은 V_{SUP} = 15V입니다. 저항 R_{SL} 및 R_{SH}는 외부 공급 전류를 12mA보다 작게 제한합니다(1.5mA 권장). 별도의 디바이스에서 직접 BPL 또는 BPH 핀을 단락시키는 것은 권장하지 않습니다. 외부 공급 모드 동작은 20kHz를 초과하는 PWM 주파수에 권장됩니다.

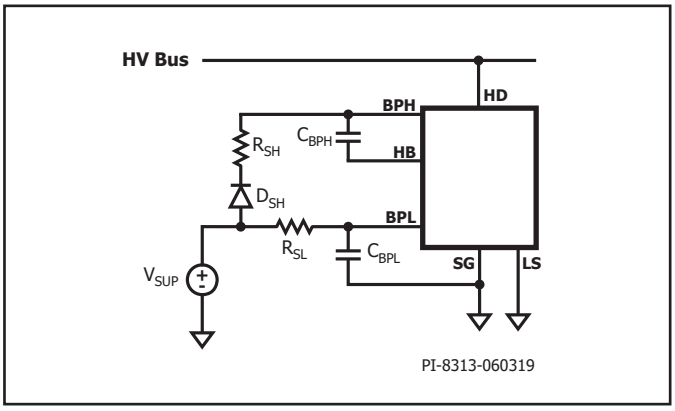


Figure 8. External BPL Pin and BPH Pin Power Supply Example.

BYPASS LOW-SIDE 핀 및 HIGH-SIDE 핀 저전압 기준점(Threshold)

정상 상태 동작 중에 BPL 또는 BPH 핀 전압이 각각 V_{BPL}-$V_{BPL(HYST)}$ 또는 V_{BPH}-$V_{BPH(HYST)}$ 아래로 떨어지면, BPL 및 BPH 핀 저전압 회로는 각각의 파워 FREDFET를 비활성화합니다. BPL 또는 BPH 핀 전압이 이 기준점(Threshold) 아래로 떨어지면 파워 FREDFET 스위칭을 활성화하기 위해 각각 V_{BPL} 또는 V_{BPH}로 다시 올려야 합니다.

BYPASS LOW-SIDE 핀 및 HIGH-SIDE 핀 커패시터 선택

BYPASS LOW-SIDE 핀 및 BYPASS HIGH-SIDE 핀에 연결된 커패시터는 로우 사이드 및 하이 사이드 컨트롤러에 대한 바이어스 전류를 공급하고 로우 사이드 또는 하이 사이드 파워 FREDFET을 턴온시키는 데 필요한 게이트 전하를 제공합니다. BYPASS HIGH-SIDE 핀 커패시터는 하이 사이드 커뮤테이션 듀티 비와 PWM 주파수의 함수인 시간 간격에 따라 하이 사이드 컨트롤러 바이어스 전류를 공급합니다. 이 시간 간격 동안 BYPASS HIGH-SIDE 핀 커패시터에서 권장되는 최대 전압 리플은 250mV입니다. 바이패스 로우 사이드 및 바이패스 하이 사이드 모두에 필요한 최소 커패시턴스 값은 1µF입니다. 권장 바이패스 로우 사이드 커패시턴스는 1µF입니다.

리플 전압을 250mV보다 작게 유지하는 데 필요한 바이패스 하이 사이드 커패시턴스는 주어진 애플리케이션 동작 조건에 따라 결정됩니다. 그림 9는 하이 사이드 커뮤테이션 듀티 비 D_{HS}와 PWM 주파수에 따른 최소 권장 BYPASS HIGH-SIDE 핀 커패시턴스를 보여줍니다.

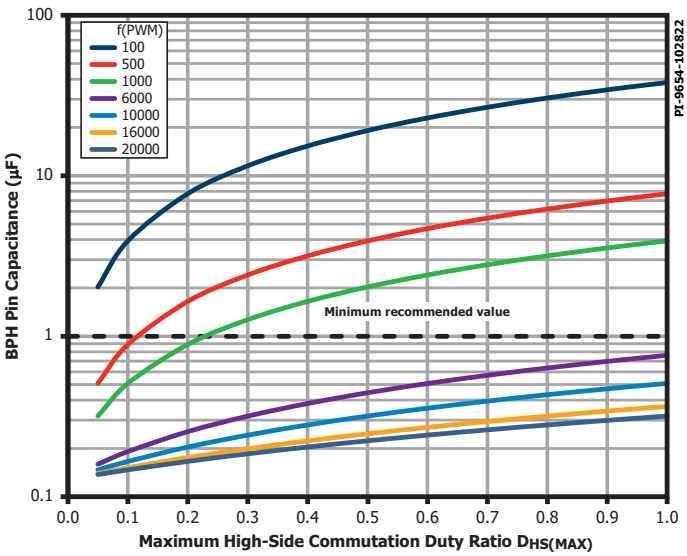


Figure 9. BYPASS HIGH-SIDE Pin Capacitance vs. High-Side Commutation Duty Ratio and PWM Frequency.

멀티레이어 칩 커패시터(MLCC)는 상당한 DC 바이어스 특성을 나타낼 수 있습니다. (그림 9에 따라) BYPASS HIGH-SIDE 핀 커패시터를 선택하려면 V_{BPH}에서 바이어싱할 때 가능한 커패시턴스 감소를 고려해야 합니다. 자세한 내용은 각 커패시터 데이터 시트를 참조하십시오.

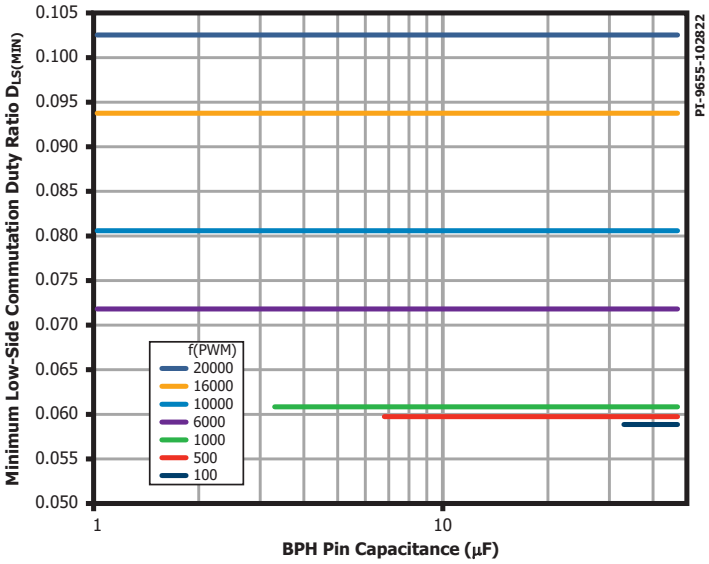


Figure 10. Minimum Low-Side Commutation Duty Ratio vs. BYPASS HIGH-SIDE Pin Capacitance and Low-Side PWM Frequency to Ensure Sufficient High-Side Self-Supply Current (High-Side Commutation Duty Ratio ≤ 0.90).

BYPASS HIGH-SIDE 핀의 커패시터는 로우 사이드 파워 FREDFET이 턴온 될 때마다 다시 충전됩니다. 하이 사이드 자체 공급 전류를 충분히 확보하려면 선택된 바이패스 하이 사이드 커패시턴스, 로우 사이드 커뮤테이션 듀티 비 D_{LS}, PWM 주파수에 따른 로우 사이드 파워 FREDFET 온타임이 그림 10에 표시된 최소 로우 사이드 커뮤테이션 듀티 비 요구 사항 $D_{LS(MIN)}$를 충족해야 합니다. 바이패스 하이 사이드 커패시터 전반에 걸쳐 권장되는 최대 전압 리플 250mV는 낮은 PWM 주파수에서 최소 커패시턴스를 제한합니다.

그림 10에 표시된 최소 로우 사이드 커뮤테이션 듀티 비 $D_{LS(MIN)}$는 해당하는 최대 하이 사이드 커뮤테이션 듀티 비에 따라 조정됩니다. 예를 들어, f_{PWM} = 6kHz에서 동작하는 애플리케이션에서 최대 하이 사이드 커뮤테이션 듀티 비 $D_{HS(MAX)}$ = 0.90일 때, 최소 로우 사이드 커뮤테이션 듀티 비 $D_{LS(MIN)}$는 $D_{LS(MIN)}$ = 0.072입니다. 동일한 애플리케이션이 $D^*_{HS(MAX)}$ = 0.95의 최대 하이 사이드 듀티 비에서 동작하면 $D_{LS(MIN)}$은 0.95/0.90배 증가하여 $D^*_{LS(MIN)}$의 새 값은 0.076이 됩니다.

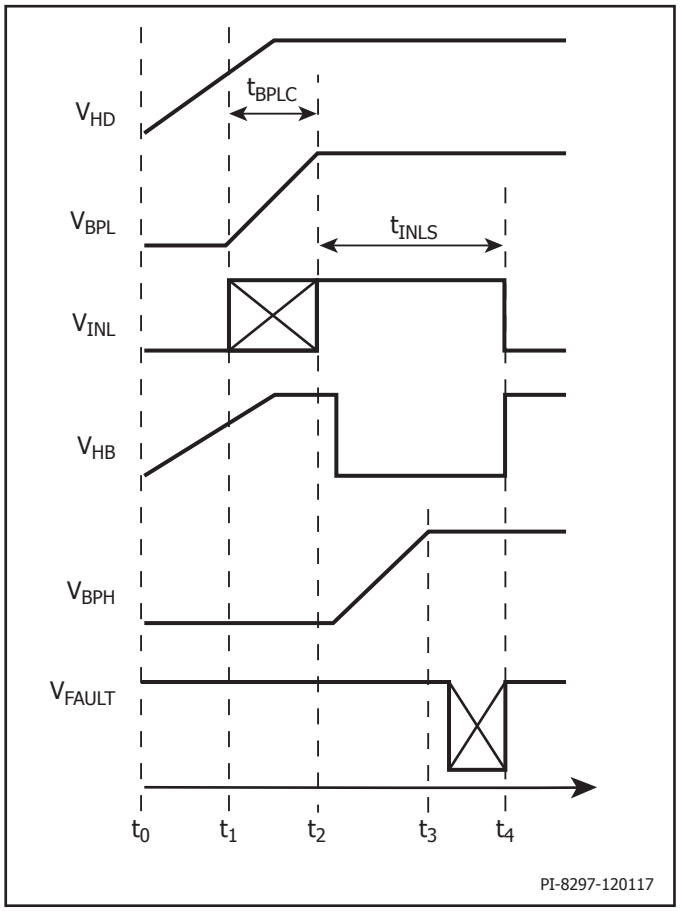


Figure 11. Recommended Power-Up Sequence with Self-supplied Operation.

Time Point	Activity
t_0	• High-voltage DC bus is applied
t_1	• Internal current source starts charging BPL pin capacitor once HD pin voltage reaches $V_{HD(START)}$ • System MCU may start setting low-side power FREDFET control signal INL to high
t_2	• BPL pin voltage reaches V_{BPL} (typically 12.8 V) • Device determines external device settings • Internal Gate drive logic turns on low-side power FREDFET after device setup completes and once INL becomes high or if it is high already • Internal current source starts charging BPH pin capacitor
t_3	• BPH pin voltage reaches V_{BPH} with respect to HB pin (typically 12.8 V). • Device starts communicating successful power-up through FAULT pin. Note: The device does not send a status update if the internal power-up sequence did not complete successfully.
t_4	• BridgeSwitch-2 is ready for steady-state operation (indicated by communicated status update starting at time point t_3) • System MCU turns off low-side power FREDFET

Table 3. Power-Up Sequence with Self-Supplied Operation.

자체 공급 기능을 갖춘 파워 업 시퀀스

BridgeSwitch-2 디바이스는 커뮤테이션을 위해 최대 20kHz의 PWM 주파수를 지원하는 자체 구동 기능을 갖추고 있습니다. 20kHz 넘는 PWM 주파수에서 작동하려면 그림 8에 표시된 것과 같은 외부 전원을 사용하는 것이 좋습니다. 인버터 스타트업 시 BYPASS LOW-SIDE 핀 커패시터와 BYPASS HIGH-SIDE 핀 커패시터에 충분한 전압이 흐르도록 하기 위해 시스템 마이크로 컨트롤러(MCU)는 그림 11에 나와 있는 파워 업 시퀀스를 따라야 합니다.

표 3에는 권장 파워 업 시퀀스 중에 발생하는 활동이 나열되어 있습니다.

BYPASS LOW-SIDE 핀 커패시터 C_{BPL}, BPL 핀 충전 전류 $I_{CH1(LS)}$와 BYPASS LOW-SIDE 핀 전압 V_{BPL}은 시점 t_1에서 시작되는 충전 시간 t_{BPLC}를 결정합니다(그림 11):

$$t_{BPLC} = t_2 - t_1 = \frac{C_{BPL} \times V_{BPL}}{I_{CH1(LS)}}$$

시스템 MCU는 로우 사이드 파워 FREDFET를 켜고 끄는 시점 t_2와 지속 시간 t_{INLS}를 제어하여 파워 업 시퀀스를 관리합니다. MCU는 전체 DC 버스 전압을 사용할 수 있게 되면 언제든지 INL 핀을 높게 끌어올릴 수 있습니다(시점 t_1부터). 그러나 BridgeSwitch IC는 BYPASS LOW-SIDE 핀 전압이 V_{BPL}(일반적으로 12.8V)에 도달하고 설정이 완료된 후에만 파워 MOSFET 스위칭을 활성화합니다.

BPH 핀 커패시터를 충분히 충전하고, 디바이스 설정을 허용하고, FAULT 핀을 통해 상태 업데이트를 완료할 수 있도록 하려면 로우 사이드 FREDFET (tINLS)의 최소 온타임이 필요합니다. 이는 시스템 MCU에 의해 제어되며 커패시턴스 C_{BPH}에 따라 달라집니다.

$$t_{INLS} = t_4 - t_2 \geq \frac{C_{BPH} \times V_{BPH}}{I_{CH1(HS)}} + 1\,ms$$

이 파워 업 시퀀스는 래칭 셧다운 후에도 따라야 하며, 리스타트를 위해 MCU는 FAULT 래치 리셋 명령을 보냅니다(자세한 내용은 표 10 참조).

게이트 드라이브 컨트롤 입력

로우 사이드 및 하이 사이드 파워 FREDFET은 INL 및 /INH 로직 입력을 통해 제어됩니다. 두 입력 모두 3.3V 및 5V CMOS 로직 레벨과 호환됩니다. 로우 사이드 파워 FREDFET은 에지 트리거 방식이며, 정상 상태 동작 중 높은 INL 신호의 전환에 따라 래치 온 또는 래치 오프합니다. 하이 사이드 파워 FREDFET은 비슷한 방식으로 액티브 로우 /INH 신호에 의해 제어됩니다. INL 입력은 내부적으로 약한 풀다운이 있고 /INH 입력은 내부적으로 약한 풀업이 있습니다.

이는 컨트롤 입력 하나 또는 둘 모두가 플로팅 상태일 경우 우발적으로 파워 FREDFET이 턴온되는 것을 방지합니다.

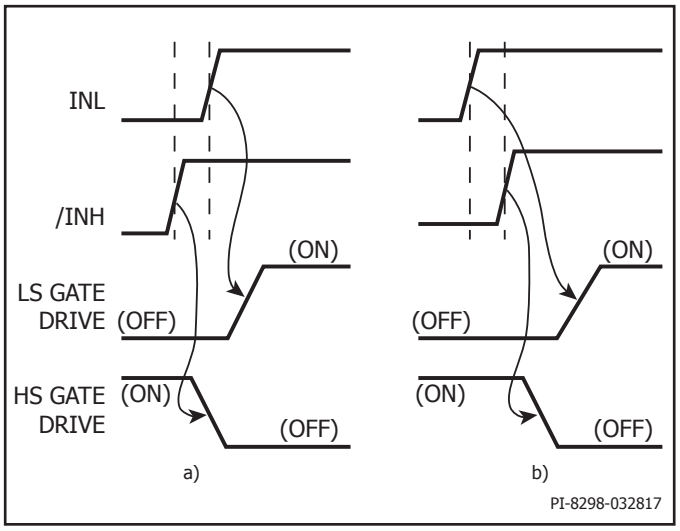


Figure 12. Simultaneous Conduction Lockout a) Not Active b) Active.

BridgeSwitch-2는 동시 전도 록아웃 보호 기능을 제공합니다. 래치는 하이 사이드 컨트롤 신호 /INH의 상승 엣지가 발생할 때까지 로우 사이드 파워 FREDFET 게이트 드라이브 회로가 턴온되는 것을 억제합니다(그림 12 참조). 래치는 또한 로우 사이드 컨트롤 신호 INL의 하강 엣지가 발생할 때까지 하이 사이드 파워 FREDFET 게이트 드라이브 회로가 턴온되는 것을 억제합니다.

INL 및 /INH 컨트롤 입력의 반전 로직 극성은 단일 PWM 신호로 두 파워 FREDFET을 제어하도록 둘을 함께 묶을 수 있는 옵션을 허용합니다. FREDFET 교차 전도 가능성을 방지하기 위해 통합형 게이트 드라이브 회로는 그림 13과 같이 데드 타임을 삽입합니다. 로우 사이드 파워 FREDFET 컨트롤 입력 INL의 하강 엣지가 초기 값의 50%에 도달하면 t_{DLH} 타이머를 트리거합니다(데드 타임 로우 사이드 파워 FREDFET 오프에서 하이 사이드 파워 FREDFET 온으로). 통합형 게이트 컨트롤 로직은 t_{DLH}가 만료된 후에만 하이 사이드 FREDFET 게이트 드라이브를 턴온할 수 있습니다. 하이 사이드 파워 FREDFET 컨트롤 입력 /INH의 상승 엣지가 최종 값의 50%에 도달하면 t_{DHL} 타이머를 트리거합니다(데드 타임 하이 사이드 파워 FREDFET 오프에서 로우 사이드 파워 FREDFET 온으로). 통합형 게이트 컨트롤 로직은 t_{DHL}이 만료된 후에만 로우 사이드 FREDFET 게이트 드라이브를 턴온할 수 있습니다.

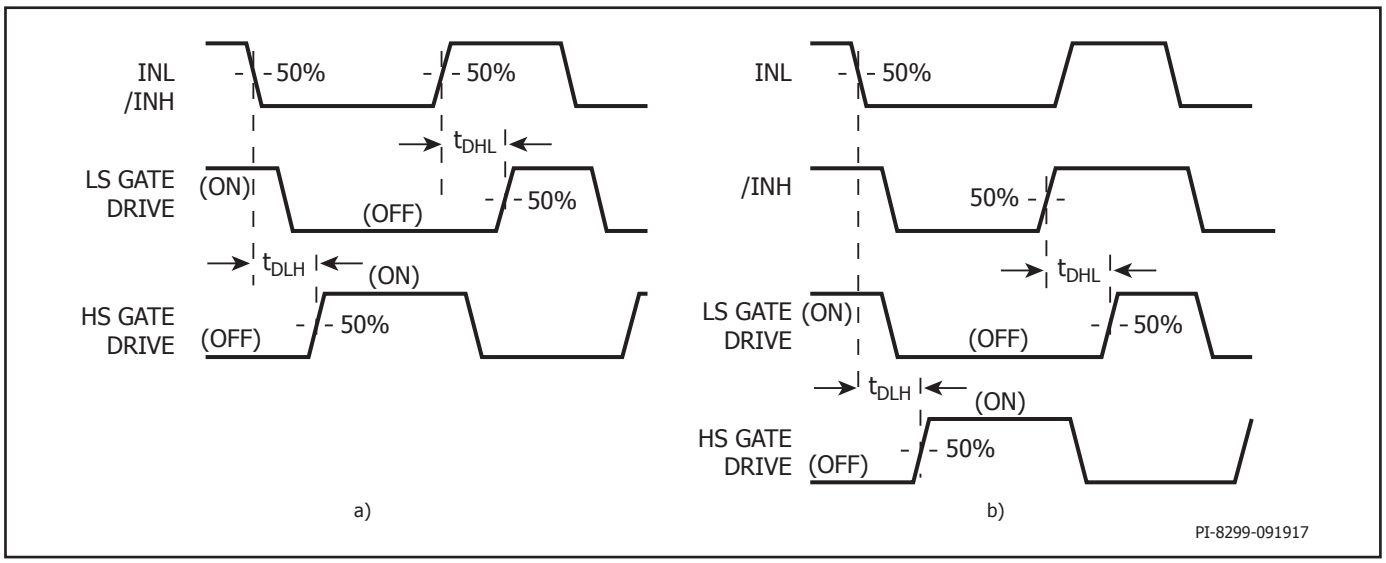


Figure 13. Adaptive Dead Time a) INL and /INH Inputs Tied Together b) INL and /INH Inputs Separate.

디바이스 내부 하이 사이드 상태 업데이트

BridgeSwitch-2 하이 사이드 컨트롤러는 로우 사이드 컨트롤러에 상태 업데이트를 제공합니다. 상태 업데이트는 하이 사이드 파워 FREDFET 과전류 또는 로우 사이드 파워 FREDFET 과열 경고나 셧다운과 같은 디바이스 수준 보호 기능의 트리거를 보고합니다. 상태 업데이트에는 XH 핀 단락 또는 오픈 회로와 하이 사이드 전력 손실과 같은 디바이스 고장도 포함됩니다. 하이 사이드 컨트롤러는 로우 사이드 파워 FREDFET이 턴온될 때마다 내부 상태 업데이트를 제공합니다. 올바른 내부 상태 업데이트를 위해 시스템 마이크로 컨트롤러는 적어도 $t_{INLH(COM)}$ 동안 INL 컨트롤 입력을 높게 설정해야 합니다(자세한 내용은 그림 28 참조). INL 입력 턴온 컨트롤 신호가 $t_{INHL(COM)}$ 보다 짧으면 내부 상태 업데이트가 불완전하게 이루어지고 디바이스는 "HS 드라이버 준비 안 됨" 상태 업데이트를 보고합니다(표 7 참조).

조정 가능한 사이클별 Current Limit

BridgeSwitch-2 디바이스는 로우 사이드 및 하이 사이드 파워 FREDFET 모두에 대해 사이클별 전류 제한 보호 기능을 갖추고 있습니다. 파워 FREDFET 전류가 각각의 전류 제한 레벨 기준점(Threshold)을 초과하고 리딩 엣지 블랭킹 타이머 t_{LEB}가 만료되면 디바이스는 파워 FREDFET을 턴오프합니다. 각각의 INL 또는 /INH 컨트롤 입력에서 턴오프 엣지에 이어 턴온 엣지를 받게될 때까지 FREDFET은 오프 상태를 유지합니다. 디바이스는 FAULT 핀(BRD216X/BRD226X, 자세한 내용은 표 7 참조) 또는 EF 핀(BRD236X/BRD246X, 자세한 내용은 표 11 참조)을 통해 해당 과전류 고장도 보고합니다.

전류 제한 레벨은 디바이스 파워 업 시 XL 핀과 XH 핀에 각각 연결된 외부 소신호 저항 R_{XL}과 R_{XH}(그림 1 참조)의 값에 따라 설정됩니다. 디바이스가 정상 상태 동작을 할 준비가 되면 XL 및 XH 핀의 프로그래밍 전압 레벨이 각각 SG 또는 HB로 내부적으로 당겨집니다(그림 11의 시점 t_4 참조).

표 4는 XL 핀 또는 XH 핀에 연결된 저항과 기본 전류 제한 레벨 $I_{LIM(DEF)}$로 정규화된 선택된 전류 제한 기준점(Threshold) 레벨 사이의 관계를 보여줍니다.

SLP 핀에 연결된 저항을 사용하면(표 6 참조) BridgeSwitch-2 IC가 과전류 보호를 트리거하는 16회 연속 스위치 사이클을 감지할 경우 지속 로우 사이드 FREDFET 과전류 고장의.

R_{XL}/R_{XH} (kΩ)[2]	$I_{LIMIT(NORM)}$	R_{XL}/R_{XH} (kΩ)[2]	$I_{LIMIT(NORM)}$
≤20[1]	Fault	280	0.68 × $I_{LIM(DEF)}$
42.2	1.00 × $I_{LIM(DEF)}$	442	0.60 × $I_{LIM(DEF)}$
68.1	0.92 × $I_{LIM(DEF)}$	806	0.52 × $I_{LIM(DEF)}$
110	0.84 × $I_{LIM(DEF)}$	Open	$I_{LIM(MIN)}$
174	0.76 × $I_{LIM(DEF)}$		

Table 4. Current Limit Selection.
Notes:
1. Constitutes XL/XH pin short-circuit fault, device inhibits switching.
2. The recommended resistance tolerance is ±1%.

기본 사이클별 처리 방식을 래칭 셧다운으로 변경할 수 있습니다. 디바이스가 옵션으로 프로그래밍된 지속 과전류 래칭 셧다운 모드에 들어간 후, 시스템 MCU는 FAULT 버스를 통해 고장 래치 리셋 명령을 보내거나(BRD216X/BRD226X, 자세한 내용은 표 10 참조) ERROR FLAG 버스를 높게 끌어올려(BRD236X/BRD246X, 자세한 내용은 그림 24와 25 참조) FREDFET 스위칭을 다시 활성화할 수 있습니다. 또는 시스템 MCU에 의해 개시된 전체 파워 업 시퀀스 후에 동작이 재개될 수 있습니다.

R_{XL} 또는 R_{XH} 값이 20kΩ보다 작은 경우 FREDFET 스위칭은 비활성화되며, 이에 따라 BridgeSwitch IC는 FAULT 핀을 통해 LS 드라이버 준비 안 됨 또는 HS 드라이버 준비 안 됨 상태 업데이트를 제공합니다(표 6 참조). 이는 프로그래밍 저항이 우발적으로 단락된 경우 인버터의 오작동을 방지합니다. 이 디바이스는 XH 핀에서 단락을 감지한 경우 LS FREDFET 턴온 신호를 계속 받아들입니다. BPH 핀 커패시터는 LS FREDFET이 턴온되었을 경우에만 재충전되므로 XL 핀에서 단락이 감지되면 결국 HS FREDFET 스위칭 동작이 중단됩니다. 디바이스는 XL 핀 또는 XH 핀이 플로팅 상태로 있을 때 가장 낮은 전류 제한 기준점(Threshold)을 선택합니다.

커패시터를 XL 핀 또는 XH 핀에 연결하는 것은 권장하지 않습니다.

디바이스 과열 보호

BridgeSwitch-2 디바이스에는 통합형 듀얼 레벨 써멀 과부하 보호 기능이 있습니다. 이 디바이스는 로우 사이드 파워 FREDFET의 온도를 모니터링합니다. 로우 사이드 FREDFET이 낮은 디바이스 경고 온도 레벨 T_{WA}에 도달하자마자 STATUS COMMUNICATION 핀을 통해 상태 업데이트를 전송합니다(BRD216X/BRD226X)(자세한 내용은 표 7 참조). SLP 핀에서 선택한 고장 처리 모드에 따라(표 6 참조) 디바이스는 FREDFET 온도가 디바이스 셧다운 온도 기준점(Threshold) T_{SD}를 초과하면 FREDFET 스위칭을 영구적으로 비활성화하거나 히스테리시스 셧다운 모드로 들어가 디바이스 손상을 방지합니다. 히스테리시스 셧다운 모드로 구성된 디바이스는 FREDFET 온도가 써멀 셧다운 리스타트 온도 $T_{RES(H)}$로 떨어지면 스위칭을 자동으로 다시 활성화합니다.

또한 BridgeSwitch IC는 FAULT 핀을 통해 과열 고장을 보고하거나(BRD216X/BRD226X) EF 핀에서 고장을 플래그로 표시합니다(BRD236X/BRD246X). SYSTEM MONITOR 핀을 통한 시스템 레벨 모니터링은 계속되고 디바이스는 STATUS COMMUNICATION 핀을 통해 추가 상태 변화를 보고합니다. 시스템 MCU는 FAULT 버스를 통해 고장 래치 리셋 명령을 보내거나(BRD216X/BRD226X, 자세한 내용은 표 9 참조) ERROR FLAG 버스를 높게 끌어올려(BRD236X/BRD246X, 자세한 내용은 그림 24와 25 참조) FREDFET 스위칭을 다시 활성화할 수 있습니다. 또는 시스템 MCU에 의해 개시된 전체 파워 업 시퀀스 후에 동작이 재개될 수 있습니다.

위상 전류 정보 출력

BridgeSwitch-2 BRD226X 및 BRD246X 디바이스는 그림 14와 같이 PHASE CURRENT OUTPUT 핀에 연결된 저항을 통해 순간 모터 권선 위상 전류 정보를 제공합니다. 소신호 저항 양단의 전압은 로우 사이드 파워

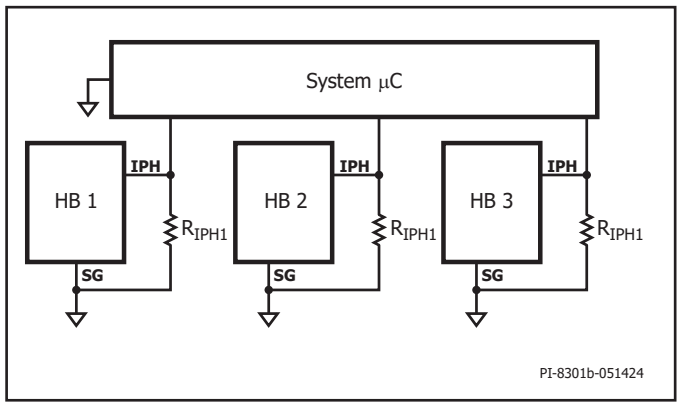


Figure 14. Phase Current Information through IPH Pin with BBRD226X and BRD246X.

FREDFET 드레인-소스 채널 전류를 아날로그 방식으로 나타냅니다. 시스템 MCU는 이 전압을 디지털화하여 (예를 들면) 모터 컨트롤 알고리즘의 입력으로 사용할 수 있습니다. 이 디바이스는 그림 14와 같이 개별 IPH 핀 저항을 통해 독립적인 위상 전류 정보를 지원합니다.

위상 전류 출력 게인 g_{IPH}와 PHASE CURRENT OUTPUT에 연결된 저항 R_{IPH}는 주어진 위상 전류 I_{PHASE}에서 전압 진폭 V_{IPH}를 결정합니다.

$$V_{IPH} = R_{IPH} \times I_{PHASE} \times g_{IPH}$$

V_{IPH}의 최대 허용 전압 진폭은 3.0V입니다.

외부 전류 센싱

BridgeSwitch-2 디바이스는 LS 핀과 직렬로 연결된 외부 전류 센싱 저항을 통해 개별 로우 사이드 FREDFET 전류 센싱을 지원합니다. 그림 15는 가능한 구현의 한 예를 보여줍니다.

전압 V_{SHUNT}는 모터 권선 전류 I_{MOTOR}를 직접적으로 보여줍니다. 저항 R1과 R2는 외부 증폭기 U1의 게인을 설정합니다. 저항 R3, C1, C2 및 C3은 노이즈 필터링을 제공합니다. 저항 R4는 증폭기 U1 출력 신호 V_{OP}에 DC 오프셋 V_{OFFSET}을 추가합니다.

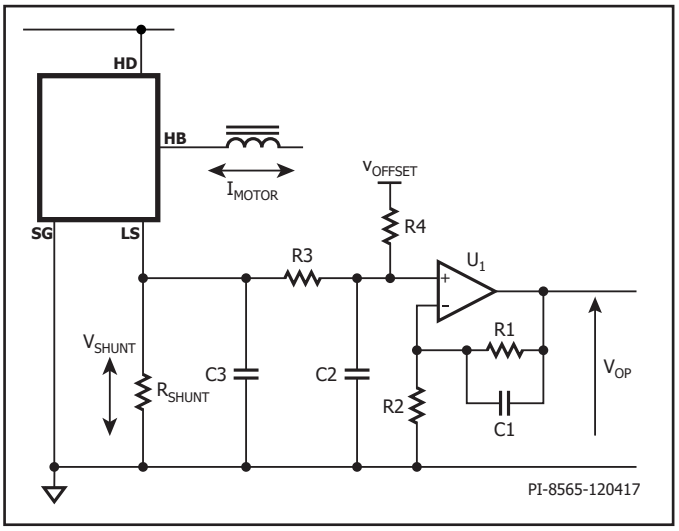


Figure 15. External Current Sense Example Circuit.

$$V_{OP} = \left(1 + \frac{R1}{R2}\right)\frac{V_{OFFSET} \times R3 + I_{MOTOR} \times R_{SHUNT} \times R4}{R3 + R4}$$

SG 및 LS 핀 사이의 전압 차 V_{SHUNT}는 ±0.33V를 초과해서는 안 됩니다. LS 핀과 직렬로 연결된 전류 센싱 저항 R_{SHUNT}는 적절히 크기를 조정해야 합니다.

시스템 모니터 입력

BridgeSwitch-2는 SYSTEM MONITOR 입력을 통해 시스템 수준 상태 업데이트를 제공합니다. SM 핀은 고전압(HV) DC 버스 전압을 추적하거나(그림 16 참조) NTC 써미스터를 통해 외부 부품 온도를 추적하는 데(그림 18 참조) 사용할 수 있습니다. SM 핀은 자체적으로 구성되며, 외부 연결 유형을 자동으로 감지하고 파워 업 시 적절한 회로 구성을 채택합니다.

고전압 DC 버스 모니터링

SYSTEM MONITOR 핀은 핀으로 흐르는 전류를 센싱하여 지속적으로 고전압 DC 버스 전압 레벨을 모니터링합니다. SM 핀으로 흐르는 전류 I_{SM}은 고전압 버스 전압 레벨 V_{BUS}를 보여줍니다.

$$I_{SM} = \frac{V_{BUS} - V_{SM}}{R_{HV1}}$$

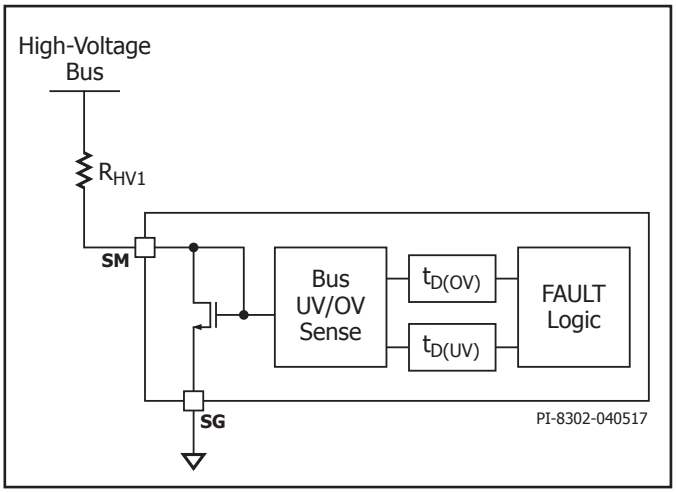


Figure 16. High-Voltage Bus Monitoring with SYSTEM MONITOR Pin.

버스 전압 센싱 회로에는 그림 17과 같이 다섯 개의 고유한 전류 기준점(Threshold)이 있습니다. 기준점(Threshold) I_{UV55}, I_{UV70}, I_{UV85}, I_{UV100}은 고전압 버스 저전압 조건을 감지하는 데 사용됩니다. 기준점(Threshold) I_{OV}는 고전압 버스 과전압 조건을 감지하는 데 사용됩니다. 이 디바이스는 SM 핀으로 흐르는 전류가 네 개의 저전압 기준점(threshold) 중 하나보다 낮아지거나 과전압 기준점(Threshold)을 초과할 때마다 STATUS COMMUNICATION 핀을 통해 고전압 버스 고장을 보고합니다(자세한 내용은 표 7 참조).

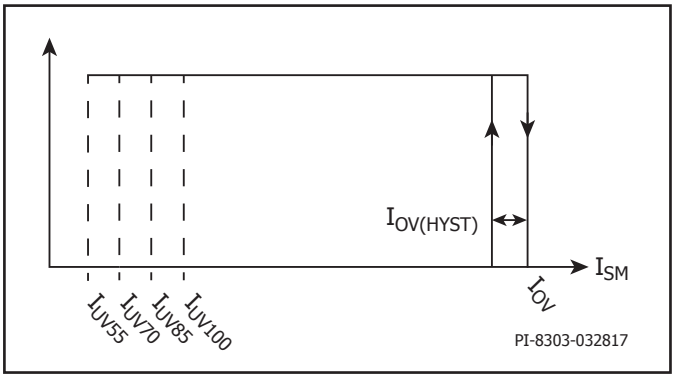


Figure 17. System Monitor Input Current Thresholds.

저전압 조건은 적어도 $t_{D(UV)}$(일반적으로 40ms) 동안 지속되어야 시스템 MCU에 보고됩니다. 디바이스는 주어진 저전압 조건이 최소 $t_{D(UV)}$ 동안 해결되는지도 보고합니다.

참고로, 버스 브라운아웃 조건 동안 7MΩ 센싱 저항 사용 시 버스 전압이 최소 $t_{D(UV)}$ 동안 177V 미만으로 떨어지면 디바이스는 (예를 들어, UV 70% 상태 업데이트를) 보고합니다(표 5와 7 참조). 이 예에서 버스 전압이 회복되어 최소 $t_{D(UV)}$ 동안 177V 이상으로 상승하면 UV 70% 조건은 해제되고 디바이스는 UV 85% 상태 업데이트를 보고합니다.

SM 핀 전류가 최소 $t_{D(OV)}$(일반적으로 80 µs) 동안 I_{OV}를 초과하면, BridgeSwitch-2는 현재의 로우 사이드 또는 하이 사이드 파워 FREDFET 온타임을 종료하고 FAULT 핀을 통해 시스템 MCU에 고장을 보고합니다. SM 핀 전류가 $t_{D(OV)}$ 동안 최소 $I_{OV(HYST)}$만큼 떨어질 때까지 INL 또는 /INH에서 받은 후속 FREDFET 턴온 신호는 모두 무시합니다. 고전압 버스 과전압 조건이 해결되면 FAULT 핀은 상태 업데이트를 제공합니다.

시스템 MCU는 버스 OV 고장 조건이 해결될 때까지 인버터 내의 다른 BridgeSwitch-2 디바이스에 턴온 신호를 전송하는 것을 중지하기로 결정할 수 있습니다. 버스 OV 고장이 해결된 후에는 전체 파워 업 시퀀스로 리스타트하는 것을 권장합니다. 버스 OV 고장 동안 로우 사이드 FREDFET 스위칭이 비활성화되어 하이 사이드 BYPASS 커패시터가 방전되었을 수 있습니다. 표 5에는 세 가지 다른 센싱 저항 R_{HV1} 값과 공칭 고전압 버스 모니터링 기준점(Threshold)이 나열되어 있습니다.

Sensing Resistor R_{HV1}	**6 MΩ**	**7 MΩ**	**8 MΩ**
	Bus Voltage UV or OV Threshold		
I_{OV} (typically 60 µA)	362 V	422 V	482 V
I_{UV100} (typically 35 µA)	212 V	247 V	282 V
I_{UV85} (typically 30 µA)	182 V	212 V	242 V
I_{UV70} (typically 25 µA)	152 V	177 V	202 V
I_{UV55} (typically 20 µA)	122 V	142 V	162 V

Table 5. Effective High-Voltage Bus Monitoring Thresholds.

둘 이상의 디바이스에 값이 다른 여러 센싱 저항을 사용하면 버스 전압 센싱을 더욱 세분화할 수 있습니다. 과전압 보호는 그림 19과 같이 제너 다이오드 V_{R1}와 저항 R_{HV2}을 통해 SM 핀으로 흐르는 전류를 I_{OV} 기준점(Threshold)보다 작게 제한하여 비활성화할 수 있습니다. 버스 저전압 센싱은 이 구성에서 활성 상태를 유지합니다.

SM 핀에 작은 커패시터(최대 100pF)를 추가하면 소음이 많은 환경에서 버스 모니터링 정확도를 높일 수 있습니다.

시스템 레벨 온도 모니터링

SYSTEM MONITOR 핀을 사용하면 그림 18과 같이 NTC 써미스터를 통해 외부 부품의 온도를 모니터링할 수 있습니다. 저항 R_2는 주어진 NTC 저항으로 실제 과열 기준점(Threshold)을 원하는 레벨로 미세 조정할 수 있습니다.

전류 소스 I_{TM}(일반적으로 96µA)은 주기적으로 NTC 써미스터 R_{NTC}에 전류를 주입합니다. 온도가 상승하면 저항은 떨어집니다. SM 핀에서의 전압 레벨이 $V_{TH(TM)}$(일반적으로 1.2V) 아래로 떨어지면 지연 타이머 $t_{D(TM)}$가 만료된 후 감지된 시스템 레벨 과열 고장이 FAULT 핀을 통해 보고됩니다(자세한 내용은 표 7 참조). 원하는 시스템 과열 기준점(Threshold) T_{SYS}에서의 써미스터 $R_{NTC(TSYS)}$ 저항은 R_2를 결정합니다.

$$R_2 = 12.5\ k\Omega - R_{NTC\,(TSYS)}$$

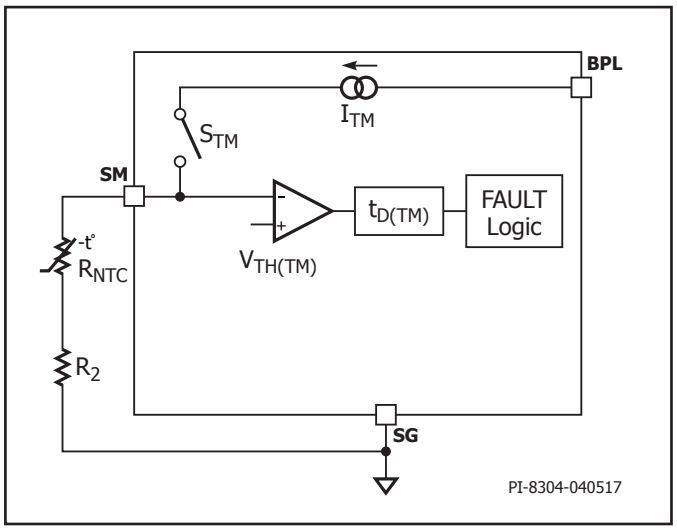


Figure 18. External Component Thermal Monitoring with SYSTEM MONITOR Pin.

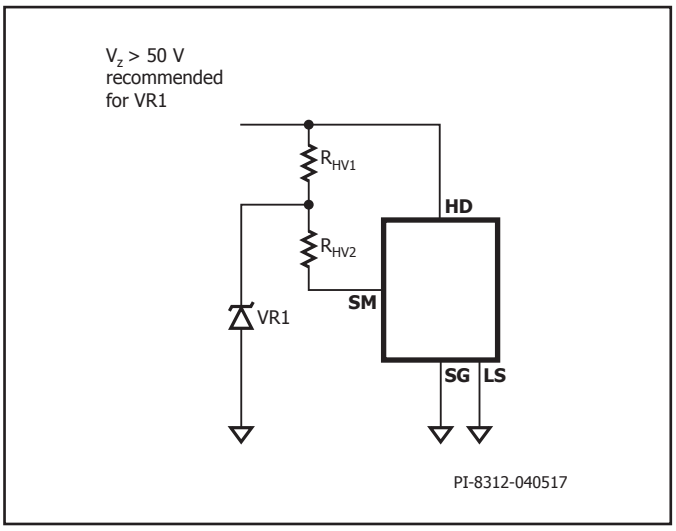


Figure 19. High-Voltage Bus Monitoring with Overvoltage Protection Disabled.

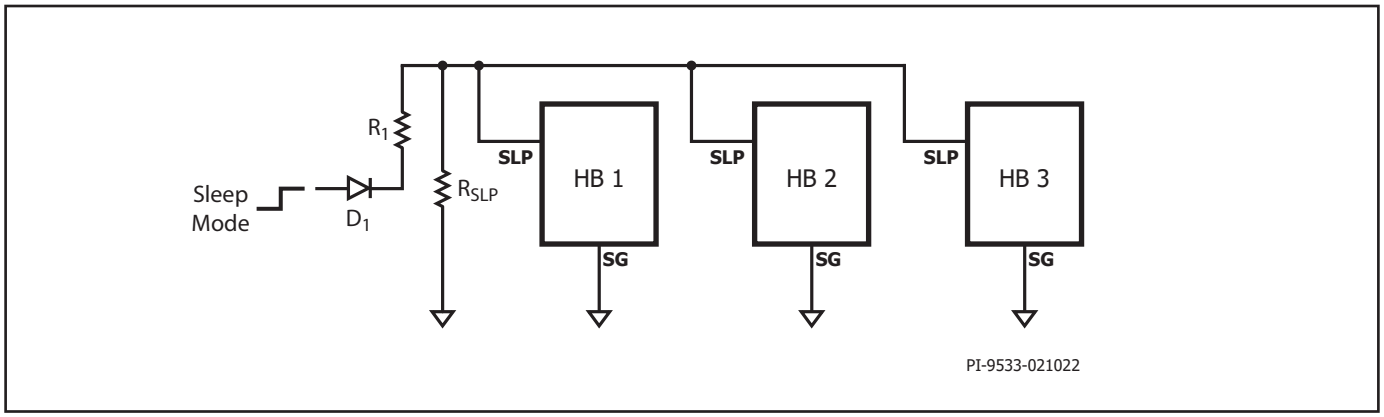


Figure 20. Programming of Sleep Mode, plus Over-Current and Over-Temperature Fault Handling.

슬립 모드 및 프로그래밍

슬립 모드 및 프로그래밍 핀에는 두 가지 기능이 있습니다. 디바이스를 슬립 모드 옵션으로 설정하면 BridgeSwitch-2가 지속 과전류 및 과열 고장에 대응하는 방법을 프로그래밍할 수 있습니다.

파워 업 시 BridgeSwitch-2는 SLP에 연결된 저항 R_{SLP}의 저항을 확인하고 (그림 20 참조) 표 6에 표시된 고장 응답을 설정합니다. DLP 핀에 외부 저항(R_{SLP})이 연결되지 않은 경우 BridgeSwitch IC는 기본 모드를 가정합니다. 기본 모드는 사이클별 전류 제한과 로우 사이드 FREDFET 온도가 셧다운 온도 기준점(Threshold) T_{SD}에 도달하면 트리거되는 래칭 과열 보호입니다.

R_{SLP} (kΩ)	Low-Side Current Limit	Over-Temperature Response
9.53	Cycle-by-cycle	Hysteretic protection
133	Latching after 16 consecutive over-current switch cycles	Latching protection
Open[1]	Cycle-by-cycle	Latching protection

Table 6. Fault Response Programming.
Notes:
1. Default setting.

표 6에 나와 있는 프로그래밍 저항 값은 단일 SLP 핀(슬립 모드 기능은 사용하지 않음) 또는 두 개의 연결된 SLP 핀(단상 모터 드라이브 인버터에서 슬립 모드 기능 사용) 또는 세 개의 연결된 SLP 핀(3상 모터 드라이버 인버터에서 슬립 모드 기능 사용)에 사용할 수 있습니다.

슬립 모드는 디바이스를 완전히 비활성화하고 자체 구동 모드에서 동작할 때 소비 전력을 4mW 미만으로 줄입니다. 정상 상태 작동 중 SLP 핀 내부 풀다운 저항은 전압을 슬립 모드 기준 전압(Threshold) $V_{SLP(TH)}$ 미만으로 유지합니다. 다이오드 D1에 인가된 컨트롤 신호(그림 20 참조)는 전압 레벨을 기준점(Threshold) $V_{SLP(TH)}$ 위로 끌어올려 디바이스를 슬립 모드로 설정합니다. D1에 인가된 컨트롤 신호를 해제하면 BridgeSwitch-2는 표준 파워 업 사이클을 시작하고(그림 11 참조) 정상 동작을 다시 활성화합니다. 저항 R1은 SLP 핀으로 흐르는 전류를 제한합니다. 5V 컨트롤 신호에 권장되는 저항은 3.3kΩ입니다. 표준 실리콘 다이오드는 5V 컨트롤 신호에 권장됩니다. 낮은 포워드 전압 쇼트키 다이오드는 3.3V 컨트롤 신호에 권장됩니다.

슬립 모드는 내부 자체 구동으로 작동하는 디바이스에서만 활성화됩니다. 즉, BPL 또는 BPH 핀은 외부 전압 소스와 저항을 통해 공급되지 않습니다.

DC 버스에서 SM 핀으로 연결된 저항은 선택한 값에 따라 전체 인버터 소비량을 증가시킵니다(그림 16의 R_{HV1} 참조). 예를 들어, 7MΩ 센싱 저항은 340VDC 버스에서 16mW를 소비합니다.

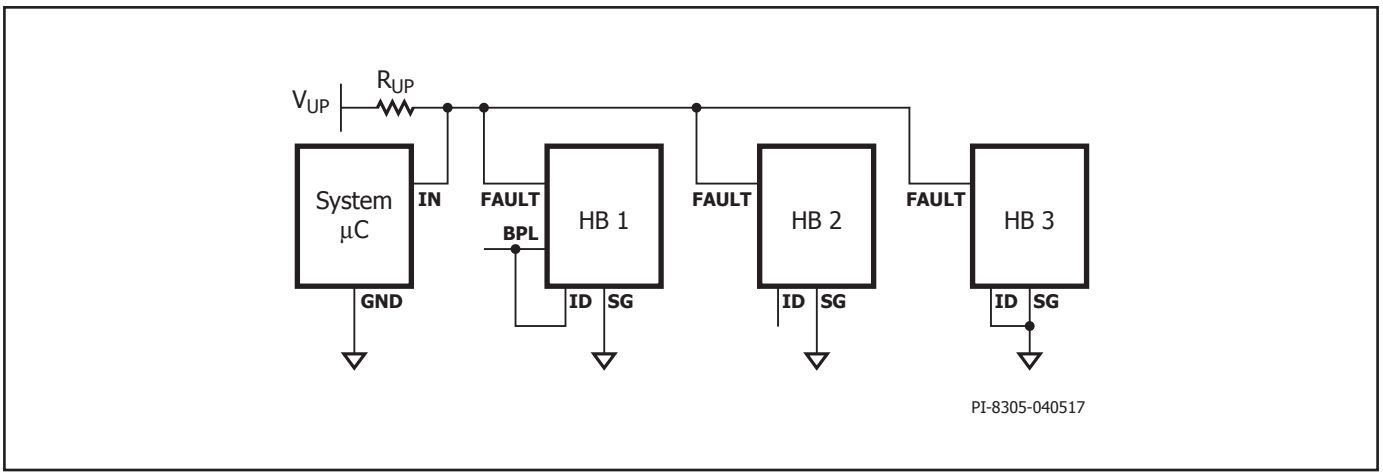


Figure 21. Single Wire Status Communication Bus with Device ID Programming.

상태 통신 버스

BridgeSwitch-2 IC는 오픈 드레인 FAULT 핀을 통해 디바이스 또는 시스템 레벨 고장을 포함한 상태 업데이트를 시스템 MCU에 제공합니다. 모든 FAULT 핀은 단일 버스에 연결되어 시스템 MCU에서 차지하는 핀 수를 최소화합니다(그림 21 참조). 버스는 풀업 저항 R_{UP}을 통해 시스템 공급 전압까지 끌어 올립니다. 최소 풀업 저항 R_{UP}은 V_{UP} = 3.3V 또는 V_{UP} = 5V의 경우 2kΩ입니다. 풀업 저항 R_{UP}은 100kΩ을 초과해서는 안 됩니다.

상태 단어

BridgeSwitch-2는 7비트 단어와 패리티 비트를 사용하여 상태 업데이트를 제공합니다(타이밍 다이어그램은 그림 23 참조). 표 7는 다양한 조건이 인코딩되는 방법을 요약한 것입니다. 7비트 워드는 동시에 발생할 수 없는 상태 변화가 그룹화된 5개의 블록으로 구성됩니다. 이를 통해 여러 고장 조건을 시스템 MCU에 동시에 보고할 수 있습니다. 상태 조건 그룹화는 주어진 고장 조건이 제거된 경우에 보고를 허용합니다. 제거된 고장 보고는 시스템 레벨 고장(비트 0, 1, 2)과 로우 사이드 FREDFET 써멀 경고 및 내부 통신 손실(비트 3 및 4)에 적용됩니다. 맨 아랫줄의 상태 레지스터 항목(7비트 워드 '000 00 0 0')은 디바이스 준비 상태를 인코딩하며 성공적인 파워 업 시퀀스를 보고하는 데 사용됩니다. BridgeSwitch-2 IC 디바이스는 고장 조건이 없을 때 시스템 MCU가 전송한 상태 요청을 확인하기 위해 이 메시지를 전송합니다(자세한 내용은 표 10 참조). 패리티 비트는 홀수 패리티를 사용하여 생성됩니다.

표 8에는 디바이스가 시스템 MCU에 보낼 수 있는 가능한 상태 업데이트 코드의 예와 해당 상태 업데이트의 전송 시간이 나와 있습니다. 전송 시간 범위는 290µs에서 470µs입니다.

Status	Parameter	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6
High-voltage bus OV	I_{OV}	0	0	1	X	X	X	X
High-voltage bus UV 100%	I_{UV100}	0	1	0	X	X	X	X
High-voltage bus UV 85%	I_{UV85}	0	1	1	X	X	X	X
High-voltage bus UV 70%	I_{UV70}	1	0	0	X	X	X	X
High-voltage bus UV 55%	I_{UV55}	1	0	1	X	X	X	X
System thermal fault	$V_{TH(TM)}$	1	1	0	X	X	X	X
LS Driver not ready[1]	n/a	1	1	1	X	X	X	X
LS FET thermal warning	T_{WA}	X	X	X	0	1	X	X
LS Device shutdown[3]	T_{SD}, $t_{D(OCL)}$	X	X	X	1	0	X	X
HS Driver not ready[2]	I_{COM}	X	X	X	1	1	X	X
LS FET over-current	$V_{X(TH)}$	X	X	X	X	X	1	X
HS FET over-current	$V_{X(TH)}$	X	X	X	X	X	X	1
Device Ready (no faults)	n/a	0	0	0	0	0	0	0

Table 7. Status Word Encoding.
Notes:
1. Includes XL pin open/short-circuit fault and IPH pin to XL pin short-circuit.
2. Includes internal communication loss, supply out of range, and XH pin short-circuit fault.
3. Includes LS FET thermal latching or hysteretic shutdown and LS FET sustained over-current protection.

Fault	7-Bit Word	Parity Bit	Transmit Time $t_{TRANSMIT}$[1]
Device Ready (no faults)	000 00 0 0	1	290 µs
High-voltage bus UV 100%	010 00 0 0	0	290 µs
LS FREDFET thermal warning and over-current	000 01 1 0	1	350 µs
System thermal fault, LS FET thermal warning, HS & LS FET over-current	110 01 1 1	0	410 µs
Maximum transmission duration	111 01 1 1	1	470 µs

Table 8. Example Status Update Codes and Resulting Transmit Times.
Notes:
1. Assumes t_{ID} = 80 µs (device ID #3).

디바이스 ID 선택

파워 업 시, 각 디바이스는 DEVICE ID 핀 연결에 따라 자체적으로 고유한 디바이스 ID를 할당합니다. 디바이스 ID를 사용하면 감지된 고장 조건의 실제 위치를 시스템 MCU에 보고할 수 있습니다. 디바이스 ID는 버스 중재 목적으로도 사용됩니다. 표 9에는 디바이스 ID, 해당 디바이스 ID 시간 t_{ID} 및 ID 핀을 통해 각각의 ID를 프로그래밍하는 방법이 나열되어 있습니다(그림 21 참조). 시스템 MCU는 자동으로 기본 t_{ID} = 160µs가 할당되므로 버스 중재에서 항상 승인을 받을 수 있다는 점을 참고하십시오.

Device ID	t_{ID}	ID Pin Connection
1	40 µs	Connected to BPL pin
2	60 µs	Floating
3	80 µs	Connected to SG pin
System MCU	160 µs	n/a

Table 9. Device ID Selection Through the ID Pin at Power-Up.

상태 통신

FAULT 버스에서의 통신은 다음 세 가지 조건 중 하나로 시작됩니다.

1. 파워 업 성공 후 미션 준비 모드 통신.
2. 디바이스 중 하나에 의해 시작된 FAULT 상태 레지스터 업데이트 통신.
3. 시스템 마이크로 컨트롤러의 쿼리에 따른 현재 상태 통신.

그림 22는 위에 나와 있는 세 가지 경우에 대한 상태 통신 순서도를 요약한 것입니다.

상태 쿼리 외에도 시스템 마이크로 컨트롤러는 명령을 전송하여 상태 레지스터를 리셋할 수 있습니다(표 10과 그림 22의 단계 16 및 17 참조). 이 리셋 명령을 전송한 후에는 파워 업 시퀀스를 권장합니다(그림 11 참조).

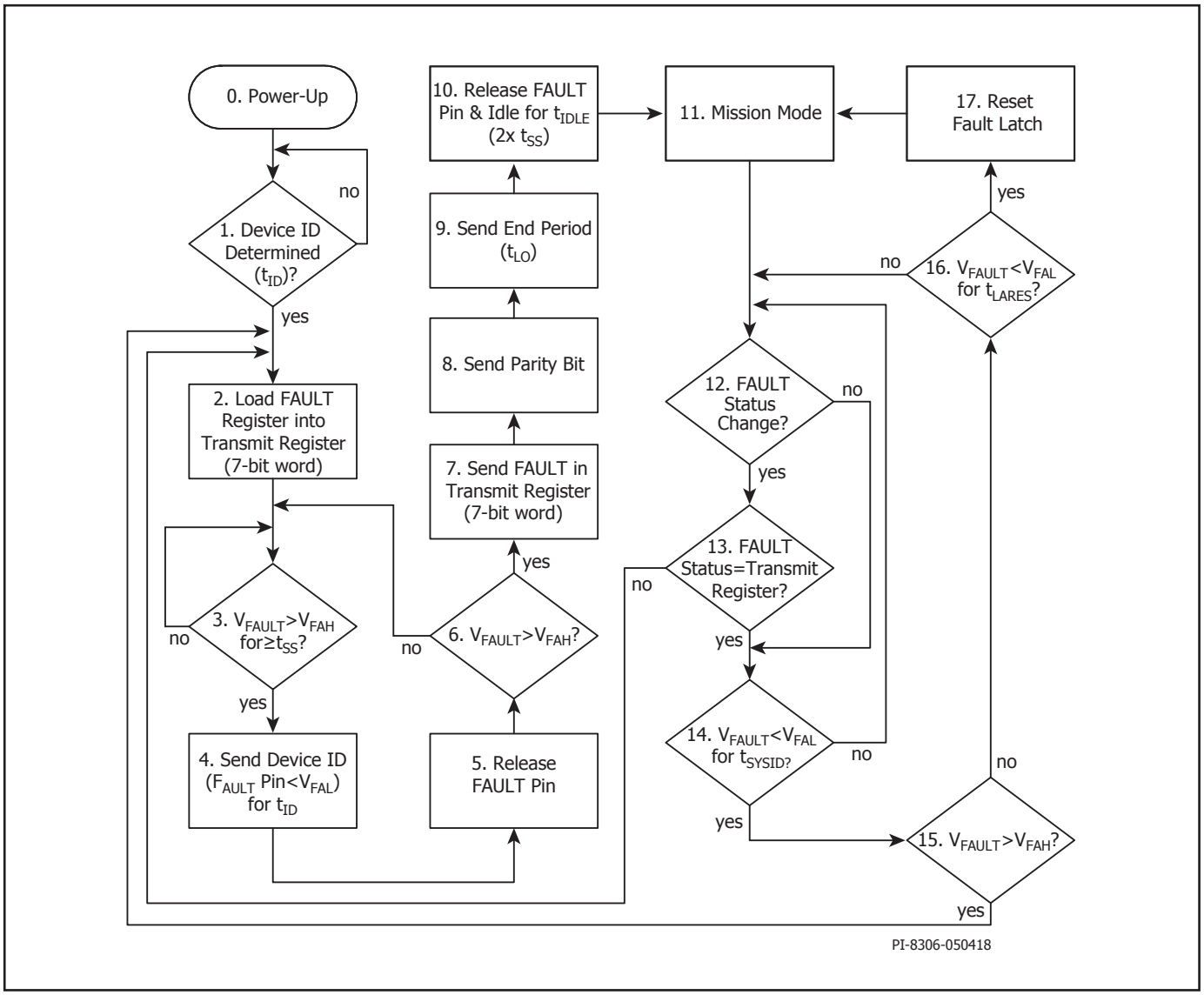


Figure 22. Status Communication Flowchart.

그림 23은 BridgeSwitch-2가 상태 업데이트 통신에 사용하는 비트 스트림 타이밍 다이어그램을 보여줍니다. 두 로직 상태는 STATUS COMMUNICATION 핀에서 두 개의 서로 다른 전압 신호 하이 타임 기간으로 인코딩되고 그 후에는 로우 타임 기간 t_{LO}(일반적으로 10µs)가 이어집니다. 로직 "1"은 기간 t_{BIT1}(일반적으로 40µs)로 인코딩되고 로직 "0"은 기간 t_{BIT0}(일반적으로 10µs)으로 인코딩됩니다.

BridgeSwitch-2 IC가 상태 변화를 감지할 때마다 실제 FAULT 레지스터를 전송 레지스터에 로드하고(그림 22의 단계 2 참조) 상태 업데이트 전송을 진행합니다.

BridgeSwitch-2 IC는 버스가 적어도 정상 상태 시간 t_{SS}(일반적으로 80µs) 동안 유휴 모드였던 경우에만 상태 업데이트 전송을 시작하여 버스가 이미 다른 디바이스에서 사용되고 있지 않은지 확인합니다(그림 22의 단계 3 참조).

상태 업데이트 전송은 항상 통신 장치에 의해 개시되는 버스 중재로 시작됩니다. 할당된 디바이스 ID 시간 t_{ID}(표 9 참조) 동안 FAULT 핀을 낮게 끌어당긴 후 핀을 해제한 다음 통신 버스가 높게 유지되는지 확인합니다(그림 22의 단계 4~6 참조). 이 경우 디바이스는 버스 중재 승인을 받아 상태 업데이트 전송을 진행할 수 있습니다(그림 22의 단계 7~10 참조). ID를 전송한 후에도 버스가 낮게 유지되면 다른 디바이스가 거의 동시에 전송 시도(또는 버스 중재)를 시작한 것입니다. 이 경우 디바이스는 그림 22의 단계 3으로 돌아와 다른 통신 시도를 진행합니다. 각 전송이 완료된 후에 디바이스는 새 통신을 시작하기 전에 t_{IDLE}(일반적으로 $2 \times t_{SS}$ = 160µs) 동안 유휴 모드가 됩니다. 이를 통해 버스 상의 다른 디바이스가 발생 가능한 상태 변화를 보고하거나 시스템 MCU에서 전송한 상태 조회에 응답할 수 있습니다.

BridgeSwitch-2 IC는 감지된 각 상태 업데이트를 한 번만 전송합니다. 또한, 디바이스는 모든 시스템 레벨 고장의 상태 변경을 시스템 MCU에 보고합니다. 여기에는 DC 버스 저전압 및 고전압 상태, 그리고 외부 온도 모니터 고장이 포함됩니다. 또한 LS 파워 FREDFET 써멀 셧다운 고장을 제외하고(제거된 LS 파워 FREDFET 써멀 경고는 보고됨) 디바이스 내부 고장에 대한 모든 상태 레벨 변화를 보고합니다.

상태 쿼리 및 고장 래치 리셋

각 BridgeSwitch-2 IC는 미션 모드에 들어가면 시스템 MCU에서 전송한 가능한 명령이 있는지 확인하기 위해 STATUS COMMUNICATION 핀을 모니터링합니다. 이는 t_{SYSID}(일반적으로 160µs) 동안 버스를 낮게 끌어당겨 MCU가 시작하는 상태 업데이트 조회일 수 있습니다(그림 22의 단계 15 참조). 또는 FAULT 버스를 t_{LARES}(2x t_{SYSID} = 일반적으로 320 µs) 동안 낮게 끌어당겨 과열 셧다운 래치를 포함하여 디바이스 상태 레지스터를 리셋하고 파워 업 시퀀스 모드로 들어가기 위한 명령일 수 있습니다(그림 22의 17단계 참조). MCU가 래치 리셋 명령을 보낸 후에 파워 업 시퀀스(그림 11 참조)를 권장한다는 점을 참고하십시오. 이는 스위칭이 다시 시작되기 전에 바이패스 하이 사이드 전압이 공칭 레벨이 되도록 보장합니다. 표 10은 사용 가능한 시스템 MCU 명령을 요약한 것입니다.

Bus Pulldown Period	Command
t_{SYSID}	Status query
t_{LARES} (2x t_{SYSID})	Status register including over-temperature latch reset and power-up sequence mode

Table 10. System MCU Commands.

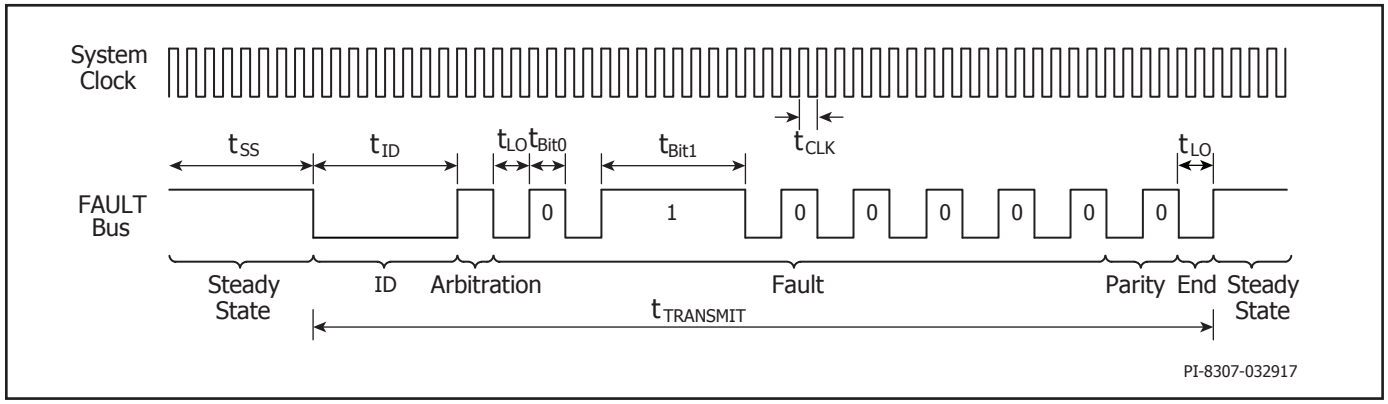


Figure 23. Status Communication Bit Stream.

에러 플래그

에러 플래그 기능(BRD236X/BRD246X)은 한 디바이스가 전체 인버터를 셧다운해야 하는 심각한 고장을 감지하는 경우 간단한 디바이스 간 통신을 가능하게 합니다. 모든 EF 핀은 그림 24에 표시된 대로 단일 버스에 연결됩니다. 버스는 풀업 저항 R_{UP}을 통해 시스템 공급 전압까지 끌어당깁니다. 권장되는 풀업 저항은 V_{CC} = 3.3V 또는 5V일 경우 43kΩ입니다.

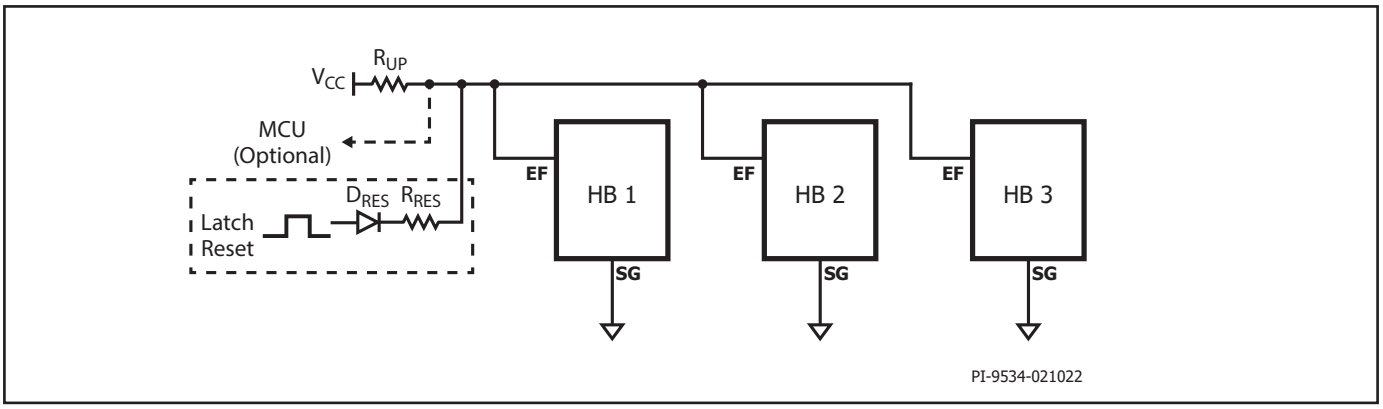


Figure 24. Error Flag Inter-Device Communication and Optional Latch Reset.

BridgeSwitch-2 IC가 표 11에 나열된 고장 중 하나를 감지하면 감지된 고장이 있는 동안 EF 핀을 낮게 당깁니다. 고장이 해결되거나 래치 리셋 신호를 수신한 후에는 EF 핀을 다시 해제합니다.

고장	참고
DC 버스 과전압	디바이스는 SM 핀으로의 전류가 I_{OV} 기준점(Threshold)을 초과하면 고장을 표시하고, 고장이 제거되고 나면(전류가 I_{OV}-$I_{OV(HYST)}$ 아래로 떨어짐) 다시 해제합니다.
래칭 또는 히스테리시스 과열	디바이스는 로우 사이드 FREDFET 온도가 셧다운 기준점(Threshold) T_{SD}에 도달하면 고장을 표시하고, EF 버스에서 래치 리셋 신호(상승 엣지)를 수신하거나 파워 업을 한 후 또는 온도가 SLP 핀을 통해 히스테리시스 과열 보호로 구성된 디바이스의 리스타트 온도 T_{RES} 아래로 떨어지면 다시 해제합니다(표 6 참조).
지속 과전류	디바이스는 SLP 핀을 통해 지속 과전류 셧다운 보호 기능을 래칭하도록 구성된 경우 고장을 표시합니다(표 6과 슬립 모드 및 프로그래밍 섹션 참조). EF 버스에서 래치 리셋 신호를 수신하거나 파워 업을 한 후에는 다시 해제합니다.

Table 11. Faults Covered by Error Flag.

전압 레벨이 에러 플래그 전압 하한 기준점(Threshold) VEFL보다 낮게 유지되는 한, ERROR FLAG 버스에 연결된 다른 모든 디바이스는 지연 시간 $t_{D(EF)}$ 후 INL 및 /INH 컨트롤 입력의 상태와 관계없이 스위칭을 억제합니다(그림 25 참조). BridgeSwitch-2 IC는 EF 디바이스 간 통신 버스 전압이 에러 플래그의 높은 기준 전압(Threshold) V_{EFH}를 초과하면 스위칭을 다시 활성화합니다. EF 버스의 상승 엣지 또한 래칭 셧다운 보호로 구성된 디바이스의 래치 리셋을 트리거합니다(표 6 참조).

래치 리셋은 D_{RES}와 R_{RES}를 통해 EF 버스에 인가된 외부 신호를 통해 EF 버스를 일시적으로 높게 끌어올려서도 가능합니다(그림 24 참조). 저항 R_{RES}는 디바이스 내부 에러 플래그 출력 싱크 전류 I_{EFS}보다 큰 풀업 전류를 제공하는 동시에 EF 핀으로의 전류를 제한합니다. 3.3V 또는 5V 외부 래치 리셋 신호의 일반적인 저항 값은 3.3kΩ입니다.

이 디바이스에는 내부 풀업 전류 I_{EFPU}가 있어 EF 핀이 플로팅 상태로 있을 때 정상 상태 동작을 보장합니다.

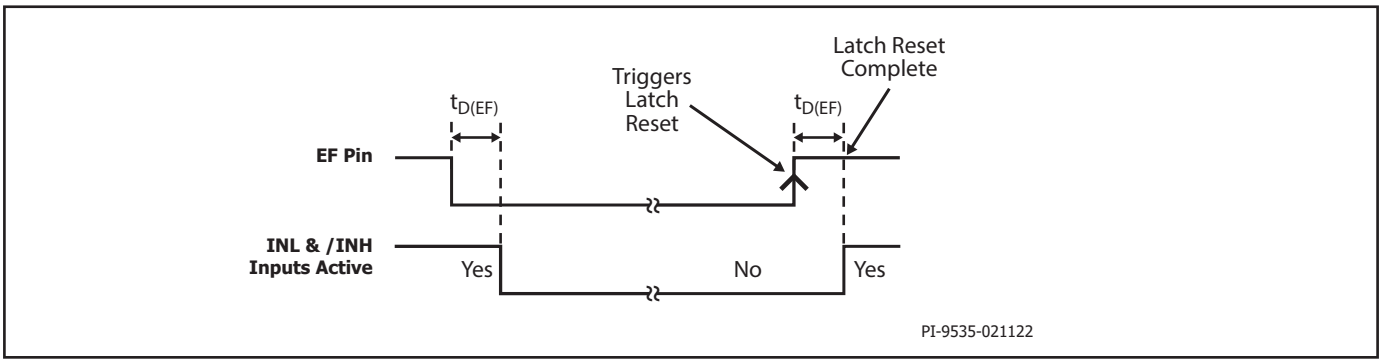


Figure 25. Error Flag Timing and Latch Reset.

애플리케이션 예제

고효율, 150 W, 3상 인버터

그림 26에 표시된 회로도는 정류된 AC 입력 전압으로 고전압 3상 BLDC (브러시리스 DC) 모터를 구동하기 위해 3개의 BRD2463C 디바이스를 사용하는 3상 인버터입니다. 외부 히트싱크 없이도 340VDC 입력 전압, 750mA rms 위상 전류, 10kHz PWM 스위칭 주파수에서 최대 150W의 연속 인버터 출력 전력을 제공할 수 있습니다.

슬립 모드가 켜지면 세 BridgeSwitch 디바이스 모두 10mW를 소비하여 뛰어난 대기 효율을 제공합니다. 이 설계는 사용 가능한 마이크로 컨트롤러 인터페이스를 통해 다양한 모터 컨트롤 방식을 지원할 수 있습니다. 외부 공급 구성을 사용하면 광범위한 부하 범위에서 더 높은 효율을 얻을 수 있습니다. 자체 구동 모드를 사용하면 외부 공급 부품이 필요하지 않아 부품 수를 줄일 수도 있습니다.

이 기판에는 션트 저항과 IPH 피드백의 두 가지 전류 피드백 모드가 있습니다. 전자는 연산 증폭기 신호 조정 회로에 공급되는 로우 사이드 전류 션트 저항을 활용하여 기존의 전류 센싱 방식을 구현합니다. 부품 수를 더욱 최적화하기 위해서는 IPH 신호를 피드백으로 대신 사용할 수 있습니다.

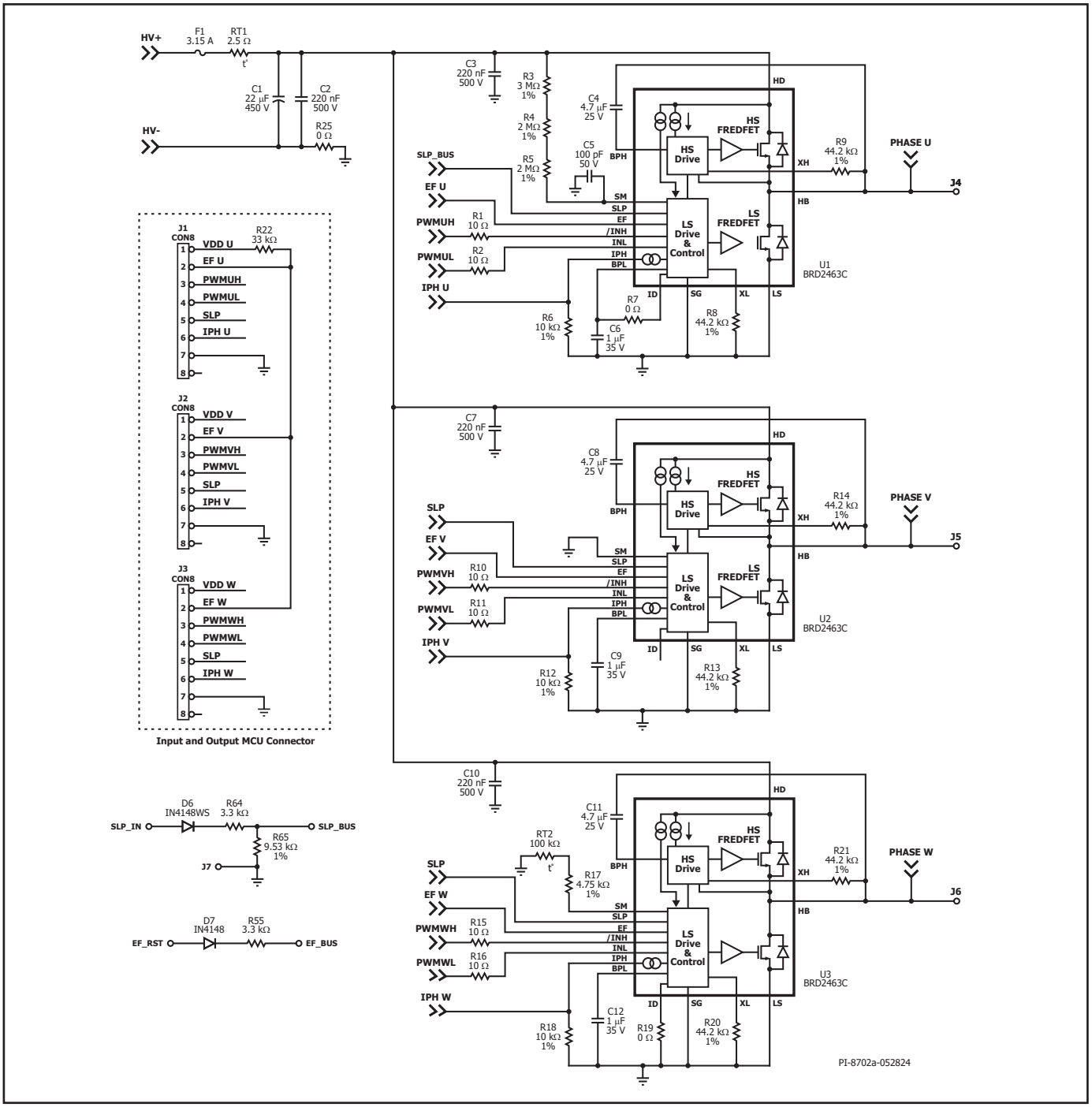


Figure 26. Three-Phase Inverter Example using BRD2265C.

BridgeSwitch-2 디바이스는 새로운 에러 플래그(EF) 핀을 통해 향상된 내장 고장 보호 기능을 제공합니다. 이를 통해 지속 로우 사이드 과전류(OC), 과열(OT), 과전압(OV) 조건과 같은 중대한 고장이 MCU 개입 없이 인버터 스위칭을 억제할 수 있습니다. 시스템 모니터(SM) 핀에서 제공하는 추가 보호 구성에는 고전압 DC 버스 센싱 및 시스템 온도 모니터링이 포함됩니다.

입력단

입력단은 퓨즈 F1, NTC RT1, 커패시터 C1과 C2로 구성됩니다. 이러한 부품은 계산된 입력 전류와 최대 DC 버스 전압을 기준으로 정격이 지정되어야 합니다. 입력 전압은 AC 메인에서 직접 공급되거나 PFC(역률 보정) 프런트 엔드 회로에서 공급될 수 있습니다.

3상 BridgeSwitch-2 인버터

BridgeSwitch-2 디바이스 U1, U2, U3은 3상 인버터를 구성합니다. 인버터의 출력은 커넥터 J1, J2, J3을 통해 고전압 3상 BLDC 모터에 연결됩니다. 커패시터 C3, C7, C10은 각 BridgeSwitch-2 디바이스에 대한 DC 버스 전압의 로컬 고주파수 디커플링을 제공합니다.

바이어스 서플라이

커패시터 C6, C9, C12는 BridgeSwitch-2 통합형 로우 사이드 컨트롤러와 게이트 드라이버에 안정적인 전압을 공급합니다. 커패시터 C4, C8, C11은 통합형 하이 사이드 컨트롤러와 게이트 드라이버에 안정적인 전압을 공급합니다. BridgeSwitch-2가 적절히 동작하려면 이 커패시터들이 필요합니다.

PWM 입력

입력 신호 PWMUH, PWMUL, PWMVH, PWMVL, PWMWH 및 PWMWL은 통합형 하이 사이드 및 로우 사이드 파워 FREDFET의 스위칭 상태를 제어합니다. MCU와 BridgeSwitch-2 INL 및 /INH 핀 사이에 위치한 저항 R1, R2, R10, R11, R15, R16은 MCU 컨트롤 신호의 무결성을 향상시킵니다. BridgeSwitch-2는 다양한 모터 컨트롤 구성에 더 많은 유연성을 제공하기 위해 /INH 핀이 액티브 LOW 대신 액티브 HIGH가 될 수 있는 트림 옵션을 제공합니다.

전류 제한 프로그래밍

저항 R8, R13 및 R20은 통합형 로우 사이드 FREDFET에 대해 사이클별 current limit 레벨을 설정하고 R9, R14 및 R21은 통합형 하이 사이드 파워 FREDFET에 대해 사이클별 current limit 레벨을 설정합니다. 선택된 44.2kΩ 값은 BRD2463C의 경우 기본값의 100% 또는 2.5A으로 전류 제한을 설정합니다(전류 제한 선택은 표 4 참조).

위상 전류 정보

각 BridgeSwitch-2 디바이스는 IPH 핀을 통해 순간 위상 전류 정보를 제공합니다. 저항 R6, R12, R18은 이 핀의 확장된 전류 출력을 사용 가능한 전압 신호로 변환하여 MCU ADC 핀에 직접 연결할 수 있습니다. R6, R12, R18을 10kΩ으로 설정하고 BRD2463C의 IPH 게인을 75μA/A로 설정하면 1A 로우 사이드 FREDFET 위상 전류가 0.75V 전류 피드백 신호로 변환됩니다.

과전류(OCP)/과열(OTP) 프로그래밍

SLP 핀에 프로그래밍 저항 R65를 사용하면 세 가지 과전류 및 과열 고장 처리 구현 방식 중에서 선택할 수 있습니다. 파워 업 중에 디바이스는 선택된 고장 처리 구현 방식을 고정합니다(SLP 핀 OCP/OTP 고장 처리 프로그래밍 옵션은 표 6 참조). 이 애플리케이션에서 SLP 핀에 연결된 9.53kΩ 저항 R65는 OCP 고장 처리를 사이클별(cycle-by-cycle)로, OTP 고장 처리를 히스테리시스로 설정합니다.

슬립 모드 인터페이스

슬립 모드는 HD에 연결된 내부 고전압 전류 소스를 비활성화하여 LS 드라이버의 모든 기능을 비활성화합니다. 정상 상태 작동 중 SLP 핀 내부 풀다운 저항은 전압을 슬립 모드 기준 전압(Threshold) $V_{SLP(TH)}$ 미만으로 유지합니다. 슬립 모드를 활성화하려면 슬립 모드 컨트롤 신호 SLP를 다이오드 D6에 인가하여 전압 레벨을 $V_{SLP(TH)}$ 위로 당깁니다(최소 2.5V). 컨트롤 신호가 해제되면 SLP 핀의 내부 풀다운 저항이 전압을 $V_{SLP(TH)}$ 아래로 끌어내어 BridgeSwitch-2 디바이스가 정기적인 파워 업 사이클을 시작하고 다시 정상적으로 작동하도록 해줍니다. 그림 26에 나와 있는 설계에서 각 BridgeSwitch-2 디바이스의 SLP 핀은 서로 연결되어 있어 슬립 모드 컨트롤 신호 하나만으로 동시에 슬립 모드를 활성화할 수 있습니다. SLP 핀에 진입하는 전류는 저항 R64에 의해 제한되며 5V 컨트롤 신호 진폭에 대한 권장 값은 3.3kΩ입니다.

에러 플래그

이 애플리케이션은 한 디바이스가 심각한 고장을 감지한 경우 간단한 디바이스 간 통신을 지원하는 새로운 BridgeSwitch-2 에러 플래그 기능을 사용합니다. BridgeSwitch-2가 표 11에 나열된 고장 중 하나를 감지하면 감지된 고장이 있는 동안 EF 핀이 낮게 당겨져 모든 디바이스의 스위칭을 억제합니다. 고장이 해결되거나 래치 리셋 신호 EF_RST를 수신한 이후에는 EF 핀이 해제되어 BridgeSwitch-2가 스위칭을 재개할 수 있습니다.

그림 26에 표시된 설계에서 U1, U2, U3의 EF 핀은 EF_BUS에 함께 연결되고 저항 R22(33kΩ)에 의해 보조 공급 전압(5V)으로 풀업됩니다. 래치 리셋 신호는 D7과 R55(3.3kΩ)를 통해 인가된 외부 신호를 통해 EF_BUS를 일시적으로 높게 당김으로써 인가됩니다. EF 버스의 상승 엣지는 래칭 셧다운 보호로 구성된 디바이스의 래치 리셋을 트리거합니다(표 6 참조).

과전압(OV) 감지

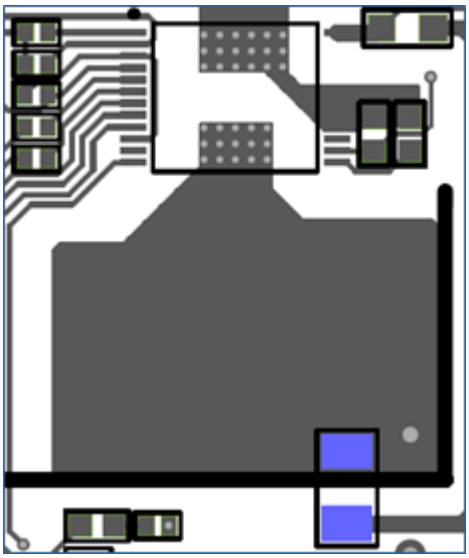
BridgeSwitch-2 U1은 저항 R3, R4, R5를 통해 DC 버스 전압을 모니터링합니다. R3, R4, R5가 결합된 저항은 표 5에 표시된 것과 같이 과전압 및 저전압 기준점(Threshold)을 설정합니다. 옵션 커패시터 C5는 잡음이 많은 환경에서 SM 핀에서 고주파 노이즈 디커플링을 제공합니다. 권장되는 최대값은 100pF입니다.

EF 버스는 감지된 DC 버스 과전압 조건을 표시합니다. BridgeSwitch-2 EF 제품(BRD236X/BRD246X)의 경우, EF 핀은 과전압 조건에서만 풀다운되고 DC 버스가 히스테리시스 리셋 전압 기준점(Threshold) 아래로 조정되면 자동으로 풀업됩니다.

시스템 레벨 온도 모니터링

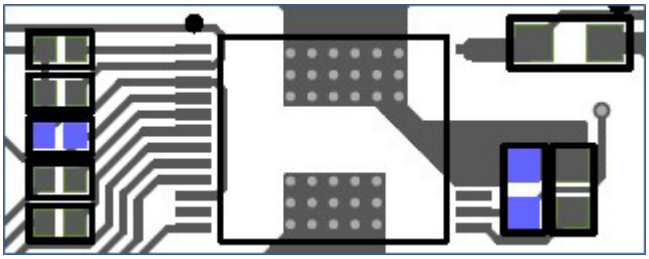
디바이스 레벨의 열 보호 외에도 U3는 SM 핀에 연결된 써미스터 RT2를 통해 시스템 온도를 모니터링합니다. 저항 R17은 시스템 레벨 고장 온도의 기준점(Threshold)을 원하는 레벨로 조정합니다(이 애플리케이션의 경우 90°C).

PCB 설계 지침

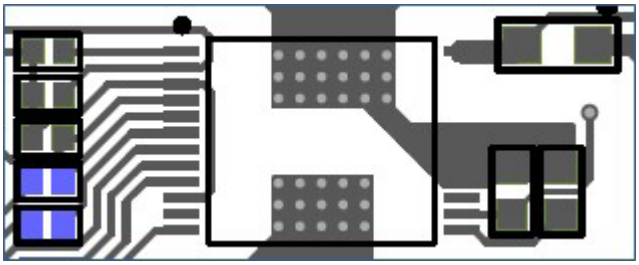


DC 버스 디커플링 커패시터
HD 핀 디커플링 커패시터는 BridgeSwitch-2에 DC 버스 전압의 로컬 고주파수 디커플링을 제공합니다. 커패시터는 필요한 연면거리와 공간거리를 고려하여 디바이스 핀에 대한 DC 버스(HD) 연결 전에 IC에 가깝게 배치됩니다.

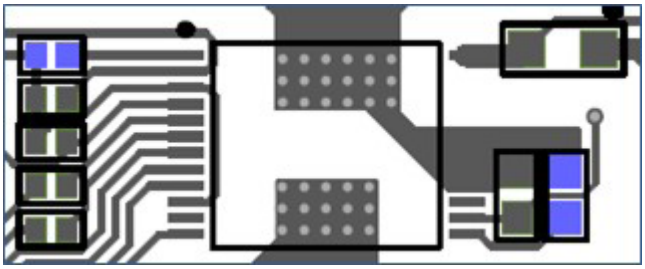
위에 표시된 예의 경우 디커플링 커패시터는 벌크 커패시터 플러스 단자 바로 옆에 배치됩니다. 이렇게 하면 HD 패드에 연결되기 전에 DC 버스 신호가 필터링됩니다.



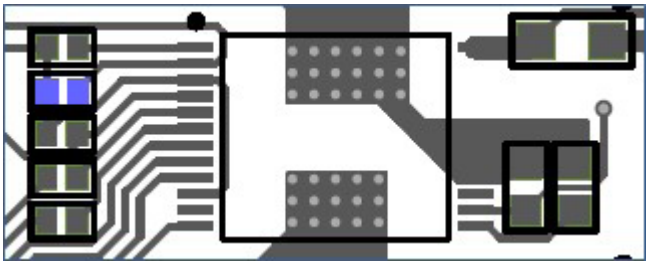
BPL 및 BPH 커패시터
BPL 및 BPH 디커플링 커패시터는 노이즈 내성을 최대화하고 디바이스에 안정적으로 공급할 수 있도록 해당 핀에 최대한 가깝게 배치됩니다. BPL 커패시터는 SG 핀으로 직접 리턴하고 BPH 디커플링 커패시터는 HB 핀으로 직접 리턴합니다.



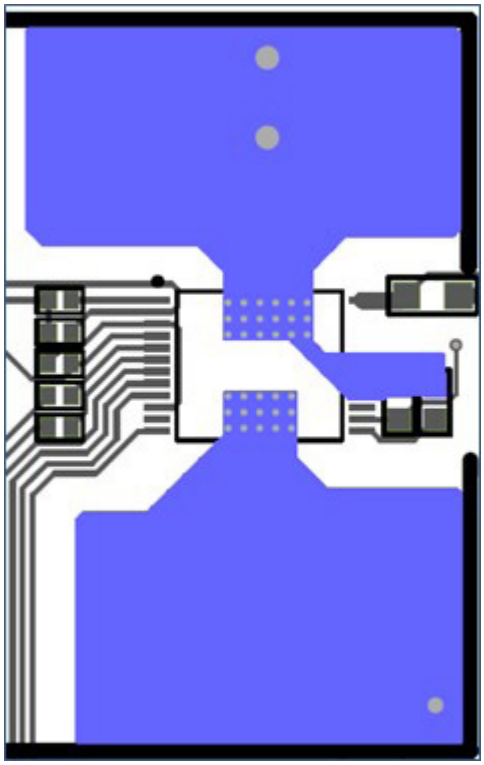
INL 및 /INH 입력 저항
INL 및 INH 저항은 PWM 신호에 대한 필터 역할을 하므로 해당 핀에 최대한 가깝게 배치됩니다. 양호한 신호 무결성을 위해 MCU에서 BridgeSwitch-2 입력 핀까지의 PWM 신호 패턴을 최소화해야 합니다.



XL 및 XH 저항
XL 저항은 XL 핀에 가깝게 배치되며 SG 핀으로 되돌아갑니다. XH 저항은 하이 사이드 리턴 레퍼런스인 HB 핀에 대한 루프 영역을 최소화하여 XH 핀에 가깝게 배치됩니다. 이렇게 하면 로우 사이드 및 하이 사이드 FREDFET 모두에 대한 적절한 전류 제한 설정이 보장됩니다.



IPH 저항
IPH 저항 배치는 해당 핀에 가까워야 하며 SG를 기준으로 합니다. BridgeSwitch-2 디바이스에서 MCU까지의 IPH 신호 패턴 길이는 노이즈 픽업을 방지하고 신호 무결성을 유지하도록 최소화해야 합니다.



최대 PCB 히트싱크를 위한 HD 및 HB 면
BridgeSwitch-2 HD 및 HB 노출 패드 레이아웃은 히트싱크를 위한 충분한 동판 영역을 제공하도록 구성됩니다.

최대 정격 절대값[1,2]

HD 핀 전압[2]: ..... -1.3 V~600 V
HB 핀 전압..... -15 V~600 V
DC 출력 전류[6,7]: BRD2x60 ..... 1.0A
BRD2x61 ..... 1.7A
BRD2x63 ..... 3.0A
BRD2x65 ..... 5.5 A
BRD2x67 ..... 11.5A
BPH 핀 전압[3] ..... -0.3V~16.5V
BPL/ID 핀 전압 ..... -0.3V~16.5V
BYPASS 핀 전류 15mA
XH PIN[3] 전압 ..... -0.3V~5.3V
XL PIN 전압 ..... -0.3V~5.3V
EF/SLP/FAULT/INL/INH 핀 전압 ..... -0.3V~5.3V
SM 핀 전압 ..... -0.3V~5.3V
SM 핀 전류 2mA
IPH 핀 전압 ..... -0.3V~5.3V
IPH 핀 전류 2mA
LS 핀에서 SG 핀으로의 전압[5] ..... ±0.33V

정션 온도[7]: FREDFET ..... -40°C ~ 160°C
드라이버 ..... -40°C ~ 150°C
보관 온도..... -65~150°C
리드 온도[4]..... 260°C

참고:
1. 지정된 최대 정격은 제품에 영구적인 손상을 초래하지 않는 한도 내에서 일회적으로 측정된 결과입니다. 지정된 시간보다 오랫동안 최대 정격 절대값 조건에 노출하면 제품 신뢰성에 영향을 미칠 수 있습니다.
2. 모든 전압은 특별히 언급하지 않는 한 로우 사이드 소스 LS 및 신호 그라운드 SG를 기준으로 합니다. T_A = 25°C.
3. 하프 브리지 연결 HB를 기준으로 합니다. T_A= 25°C.
4. 케이스에서 1/16인치 거리를 두고 5초 동안 측정합니다.
5. LS 핀과 직렬로 연결된 외부 전류 센싱 저항을 포함합니다. T_J = -20°C~125°C.
6. 25°C 케이스 및 125°C 정션 온도에서 계산된 FREDFET당 연속 DC 출력 전류입니다.
7. 일반적으로 내부 회로에 의해 제한됩니다.

열 저항

열 저항(θ_{JA})[3]: InSOP-24C Package
BRD2x60C ..... 80°C/W[1], 65°C/W[2]
BRD2x61C..... 78°C/W[1], 63°C/W[2]
BRD2x63C..... 74°C/W[1], 59°C/W[2]
BRD2x65C..... 68°C/W[1], 53°C/W[2]
BRD2x67C..... 63°C/W[1], 51°C/W[2]
(θ_{JC})[4]: InSOP-24C Package
BRD2x60C ..... 10°C/W[4]
BRD2x61C..... 7°C/W[4]
BRD2x63C..... 5°C/W[4]
BRD2x65C..... 3°C/W[4]
BRD2x67C..... 1.1°C/W[4]

참고:
1. 노출 패드는 0.36평방인치(232mm²), 2온스(610g/m²) 동판에 납땜.
2. 노출 패드는 1.0평방인치(645mm²), 2온스(610g/m²) 동판에 납땜.
3. 두 파워 스위치는 각각 총 전력의 절반 소모.
4. 케이스 온도는 노출 패드의 패키지 본체 하단에서 측정.

Parameter	Symbol	Conditions Low-Side SOURCE = 0 V T_J = -20 °C to 125 °C (Unless Otherwise Specified)			Min	Typ	Max	Units
Bypass Supply Function								
BYPASS Voltages	V_{BPL} V_{BPH}	T_J = 25 °C See Note D			12.1	12.8	13.4	V
BYPASS Shunt Regulator Voltages	$V_{BPL(SHUNT)}$ $V_{BPH(SHUNT)}$	I_{BPL} = I_{BPH} = 6 mA T_J = 25 °C See Note D			12.6	13.3	14.0	V
BYPASS Voltage Hysteresis	$V_{BPL(HYST)}$ $V_{BPH(HYST}$	T_J = 25 °C			1.9	2.4	2.9	V
BYPASS Low-Side Supply Current	$I_{BPL(S1)}$	V_{BPL} = 12.8 V See Note A	$V_{INL} < V_{IL}$, $V_{/INH} > V_{IH}$			0.37	0.45	mA
	$I_{BPL(S2)}$		$V_{INL} > V_{IL}$, $V_{/INH} < V_{IH}$	BRD2x60 BRD2x61 BRD2x63 BRD2x65		0.53	0.8	
				BRD2x67		0.70	0.94	
BYPASS High-Side Supply Current	$I_{BPH(S1)}$	V_{BPH} = 12.8 V See Note A	$V_{INL} < V_{IL}$, $V_{/INH} > V_{IH}$			0.33	0.42	mA
	$I_{BPH(S2)}$		$V_{INL} > V_{IL}$, $V_{/INH} < V_{IH}$	BRD2x60 BRD2x61 BRD2x63 BRD2x65		0.51	0.67	
				BRD2x67		0.68	0.75	

Parameter	Symbol	Conditions Low-Side SOURCE = 0 V T_J = -20 °C to 125 °C (Unless Otherwise Specified)		Min	Typ	Max	Units
Bypass Supply Function (cont.)							
BYPASS Low-Side Charge Current	$I_{CH1(LS)}$	T_J = 25 °C	V_{BPL} = 0 $V_{HD-to-LS}$ = 50 V	3.0			mA
	$I_{CH2(LS)}$		V_{BPL} = 12.8 V $V_{HD-to-LS}$ ≥ 100 V See Note C	1.7			
BYPASS High-Side Charge Current	$I_{CH1(HS)}$	V_{HB} = V_{LS} T_J = 25 °C	$V_{BPH-to-HB}$ = 0 $V_{HD-to-HB}$ = 50 V	1.8			mA
	$I_{CH2(HS)}$		$V_{BPH-to-HB}$ = 12.8 V $V_{HD-to-HB}$ ≥ 100 V See Note C	10			
High-Side and Low-Side FREDFET Control							
INL Pull-Down Current	I_{INL}	V_{INL} = 2.5 V		0	1	1.1	µA
/INH Pull-Up Current	I_{INH}	V_{INH} = 2.5 V		-1.1	-1	0	
Input Voltage High	V_{IH}			2.5			V
Input Voltage Low	V_{IL}					0.8	V
Dead Time Low Off to High On	t_{DLH}	V_{BPL}= V_{BPH} = 12.8 V, V_{DS} = 325 V, I_D = 0.1 A See Figures 14 and 27 See Note B		470	588	705	ns
Dead Time High Off to Low On	t_{DHL}	V_{BPL} = V_{BPH} = 12.8 V, V_{DS} = 325 V, I_D = 0.1 A See Figure 13		470	588	705	ns
Switching Time FREDFET Turn-On	t_{ON}	V_{BPL} = V_{BPH} = 12.8 V, V_{DS} = 325 V, I_D = 0.1 A /INH > V_{IH}, See Figure 26, Note C			0.7		µs
Switching Time FREDFET Turn-Off	t_{OFF}	V_{BPL} = V_{BPH} = 12.8 V, V_{DS} = 325 V, I_D = 0.1 A /INH > V_{IH}, See Figure 26, Note C			0.4		µs
SLP Threshold Voltage	$V_{SLP(TH)}$	T_J = 25 °C		2.5			V

Parameter	Symbol	Conditions Low-Side SOURCE = 0 V T_J = -20 °C to 125 °C (Unless Otherwise Specified)		Min	Typ	Max	Units
Device Protection and System Level Monitoring							
FREDFET Junction Warning Temperature	T_{WA}	See Notes C		118	125	132	°C
FREDFET Junction Shutdown Temperature	T_{SD}	See Note C		143	150	157	°C
FREDFET Junction Restart Temperature	T_{RES}	R_{SLP} = 3.3 kΩ See Note C			100		°C
Current Limit Threshold	$I_{LIM(DEF)}$	R_{XL} = R_{XH} = 42.2 kΩ T_J = 25 °C di/dt = 100 mA/µs	BRD2x60	0.855	0.90	0.945	A
			BRD2x61	1.425	1.50	1.575	
			BRD2x63	2.375	2.50	2.625	
			BRD2x65	3.135	3.30	4.465	
			BRD2x67	4.180	4.40	4.620	
	$I_{LIM(RED)}$	R_{XL} = R_{XH} = Open T_J = 25 °C di/dt = 100 mA/µs	BRD2x60	0.372	0.40	0.428	
			BRD2x61	0.605	0.65	0.696	
			BRD2x63	0.995	1.07	1.145	
			BRD2x65	1.302	1.40	1.498	
			BRD2x67	1.721	1.85	1.980	
Current Limit Delay Time	t_{ILD}	See Note B			150		ns
Leading Edge Blanking Time	t_{LEB}	See Note B		300			ns
Phase Current Output Gain	g_{IPH}	R_{XL} = R_{XH} = 42.2 kΩ, T_J = 25 °C $I_{D(LS)}$ = 0.75x $I_{LIM(DEF)}$ ON-time ≥ 2 µs	BRD2260/BRD2460	174.6	180	185.4	µA/A
			BRD2261/BRD2461	116.4	120	123.6	
			BRD2263/BRD2463	72.7	75	77.3	
			BRD2265/BRD2465	58.2	60	61.8	
			BRD2267/BRD2467	43.6	45	46.4	
Phase Current Output Delay Gain	t_{IPH}	R_{XL} = R_{XH} = 42.2 kΩ, T_J = 25 °C $I_{D(LS)}$ = 0.75x $I_{LIM(DEF)}$, di/dt = 100 mA/µs ON-time ≥ 2 µs, See Note B, I			500		ns

Parameter	Symbol	Conditions Low-Side SOURCE = 0 V T_J = -20 °C to 125 °C (Unless Otherwise Specified)	Min	Typ	Max	Units
Device Protection and System Level Monitoring (cont.)						
XL/XH Pin Voltage	V_{XL} V_{XH}	V_{BPL} = V_{BPH} = 12.8 V R_{XL} = R_{XH} ≥ 42.2 kΩ T_J = 25 °C	2.09	2.25	2.41	V
SM Pin Voltage	V_{SM}	SM Pin configured as bus voltage sense I_{SM} = 35 µA		1.6	1.9	V
High-Voltage Bus UV55 Threshold Current	I_{UV55}	T_J = 25 °C See Note C	18	20	22	µA
High-Voltage Bus UV70 Threshold Current	I_{UV70}	T_J = 25 °C See Note C	23	25	27	µA
High-Voltage Bus UV85 Threshold Current	I_{UV85}	T_J = 25 °C See Note C	28	30	32	µA
High-Voltage Bus UV100 Threshold Current	I_{UV100}	T_J = 25 °C	33	35	37	µA
High-Voltage Bus UV Delay Time	$t_{D(UV)}$	I_{SM} = I_{UV100} See Note B		40		ms
High-Voltage Bus OV Threshold Current	I_{OV}	T_J = 25 °C	57	60	63	µA
High-Voltage Bus OV Delay Time	$t_{D(OV)}$	See Note B		80		µs
High-Voltage Bus OV Turn-Off Hysteresis	$I_{OV(HYST)}$			4		µA
System Over-Temperature Threshold	$V_{TM(TH)}$	SM Pin configured as external temperature sense See Figure 18	1.10	1.17	1.23	V
Over-Temperature Delay Time	$t_{D(TM)}$	See Note B		1		ms
Temperature Monitor Output Current	I_{TM}			100		µA
Temperature Monitor Current On-Time	$t_{ON(TM)}$	See Note C		10		ms
Temperature Monitor Current Duty Ratio	D_{ITM}	See Note B and C		1		%
Status Communication Bus						
INL High Time For Internal Communication	$t_{INLH(COM)}$	/INH > V_{IH} for ≥ t_{DHL} See Note G and Figure 28	2			µs
FAULT Pin Voltage High	V_{FAH}	R_{UP} = 267 Ω, V_{UP} = 3.3 V	2.5			V
FAULT Pin Voltage Low	V_{FAL}	R_{UP} = 267 Ω, V_{UP} = 3.3 V			0.8	V
FAULT Pin Current Sink	I_{FAS}	R_{UP} = 267 Ω, V_{UP} = 3.3 V, See Note F	3			mA

Parameter	Symbol	Conditions Low-Side SOURCE = 0 V T_J = -20 °C to 125 °C (Unless Otherwise Specified)		Min	Typ	Max	Units
Status Communication Bus (cont.)							
Device ID Time Period	t_{ID}	$V_{FAULT} < V_{FAL}$ T_J = 25 °C	$V_{ID} = V_{BPL}$	38	40	42	µs
			V_{ID} = Floating	57	60	63	µs
			$V_{ID} = V_{SD}$	76	80	84	µs
Steady-State Time Period	t_{SS}	$V_{FAULT} > V_{FAH}$ See Note B			80		µs
Logic Bit 0 Time Period	t_{Bit0}	T_J = 25 °C		9.5	10	10.5	µs
Logic Bit 1 Time Period	t_{Bit1}	T_J = 25 °C		38	40	42	µs
Low Time Period	t_{LO}	T_J = 25 °C		9.5	10	10.5	µs
Idle Time Period	t_{IDLE}	See Note C			2x t_{SS}		µs
System Control ID Time Period	t_{SYSID}	$V_{FAULT} < V_{FAL}$ See Note C			160		µs
Fault Latch Reset Time	t_{LARES}	$V_{FAULT} < V_{FAL}$ See Note C			2x t_{SYSID}		µs
Error Flag							
EF Pin Voltage High	V_{EFH}	R_{UP} = 43 kΩ, V_{UP} = 3.3 V		2.5			V
EF Pin Voltage Low	V_{EFL}	R_{UP} = 43 kΩ, V_{UP} = 3.3 V				0.8	V
EF Pin Output Sink Current	I_{EFS}	V_{EF} = 0.8 V T_J = 25 °C to 125 °C		112		320	µA
Error Flag Delay Time	$t_{D(EF)}$	R_{UP} = 43 kΩ, V_{UP} = 3.3 V See Note C			15		µs

Parameter	Symbol	Conditions Low-Side SOURCE = 0 V T_J = -20 °C to 125 °C (Unless Otherwise Specified)		Min	Typ	Max	Units
Power FREDFETs Channel and Diode							
DRAIN to SOURCE Breakdown Voltage	BV_{DSS}	I_D = 250 µA, T_J = 25 °C		600			V
High-Side DRAIN Supply Voltage	$V_{HD(START)}$			50			V
OFF-State Drain Leakage Current	I_{DSS1}	V_{DS} = 540 V T_J = 100 °C				65	µA
ON-State DRAIN-to-SOURCE Resistance	$R_{DS(ON)}$	BRD2x60 V_{BPH} = V_{BPL} = 12.8 V I_D = 0.1 × $I_{LIM(DEF)}$	T_J = 25 °C		6.84	8.21	Ω
			T_J = 100 °C		9.65	11.58	
		BRD2x61 V_{BPH} = V_{BPL} = 12.8 V I_D = 0.1 × $I_{LIM(DEF)}$	T_J = 25 °C		2.95	3.54	
			T_J = 100 °C		4.28	5.14	
		BRD2x63 V_{BPH} = V_{BPL} = 12.8 V I_D = 0.1 × $I_{LIM(DEF)}$	T_J = 25 °C		1.53	1.84	
			T_J = 100 °C		2.11	2.53	
		BRD2x65 V_{BPH} = V_{BPL} = 12.8 V I_D = 0.1 × $I_{LIM(DEF)}$	T_J = 25 °C		0.83	0.99	
			T_J = 100 °C		1.13	1.35	
		BRD2x67 V_{BPH} = V_{BPL} = 12.8 V I_D = 0.1 × $I_{LIM(DEF)}$	T_J = 25 °C		0.47	0.56	
			T_J = 100 °C		0.61	0.73	
DRAIN Voltage Fall Time	t_{VF}	V_{HVBUS} = 325 V See Figure 26 See Notes C and E			115		ns
DRAIN Voltage Rise Time	t_{VR}	V_{HVBUS} = 325 V See Figure 26 See Notes C and E			95		ns
Sleep Mode Drain Leakage Current	$I_{D(SLP)}$	V_{DS} = 325 V T_J = 75 °C V_{SLP} > 2.5 V See Note C			10		µA

Parameter	Symbol	Conditions Low-Side SOURCE = 0 V T_J = -20 °C to 125 °C (Unless Otherwise Specified)		Min	Typ	Max	Units
Power FREDFETs Channel and Diode (cont.)							
Diode Forward Voltage	V_{SD}	BRD2x60, I_S = 0.5 A See Note C	T_J = 25 °C		1.60		V
			T_J = 100 °C		1.42		
		BRD2x61, I_S = 0.7 A See Note C	T_J = 25 °C		1.49		
			T_J = 100 °C		1.22		
		BRD2x63, I_S = 1 A See Note C	T_J = 25 °C		1.46		
			T_J = 100 °C		1.13		
		BRD2x65, I_S = 1 A See Note C	T_J = 25 °C		1.09		
			T_J = 100 °C		0.91		
		BRD2x67, I_S = 1 A See Note C	T_J = 25 °C		0.91		
			T_J = 100 °C		0.80		
Diode Reverse Recovery Time	t_{RR}	V_R = 400 V T_J = 125 °C See Note C	BRD2x60, I_S = 0.5 A di/dt = 50 A/µs		120		ns
			BRD2x61, I_S = 0.75 A di/dt = 50 A/µs		100		
			BRD2x63, I_S = 1 A di/dt = 50 A/µs		130		
			BRD2x65, I_S = 1 A di/dt = 75 A/µs		120		
			BRD2x67, I_S = 1 A di/dt = 75 A/µs		130		

NOTES:

A. Total current consumption is the sum of $I_{BPL(S1)}$ or $I_{BPH(S1)}$ and I_{DSS} when both FREDFETs are off and the sum of $I_{BPL(S2)}$ or $I_{BPH(S2)}$ and I_{DSS} when one FREDFET is switching (20 kHz maximum commutation frequency assumed).

B. Guaranteed by design. Not tested in production.

C. Guaranteed through characterization. Not tested in production.

D. Bypass shunt regulator voltage exceeds bypass voltage guaranteed by design.

E. Tested in a typical 3-phase inverter application circuit. Normally limited by internal circuitry.

F. Measured indirectly during device timing tests.

G. Assumes control input /INH was high for an idling period of $t_{IDLE} > t_{DHL}$. The required minimum INL high time for internal communication increases by $t_{DHL} - t_{IDLE}$ if $t_{IDLE} < t_{DHL}$ (refer to Figure 28).

H. Controller BYPASS pin voltage at V_{BPL} + 0.1 V or V_{BPH} + 0.1 V during FREDFET off-state.

I. IPH output connected to a 10 kΩ resistor in parallel to series RC network of 8 kΩ and 7 pF.

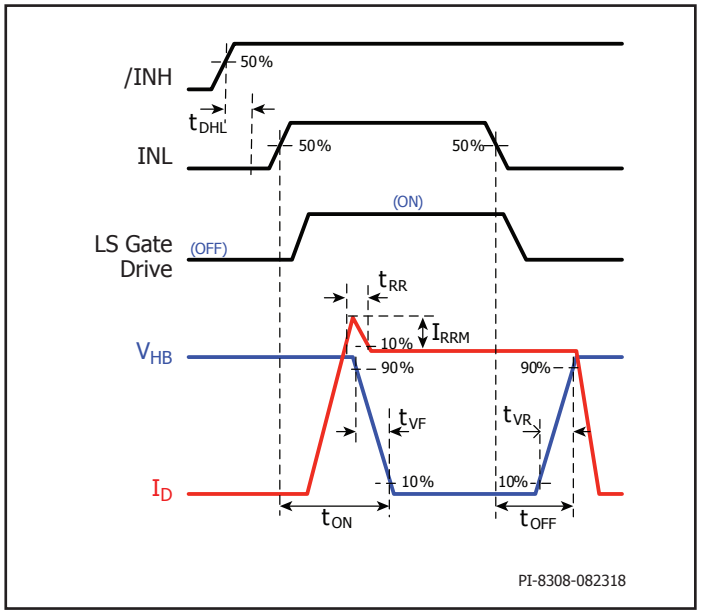


Figure 27. Low-Side FREDFET Switching Timing.

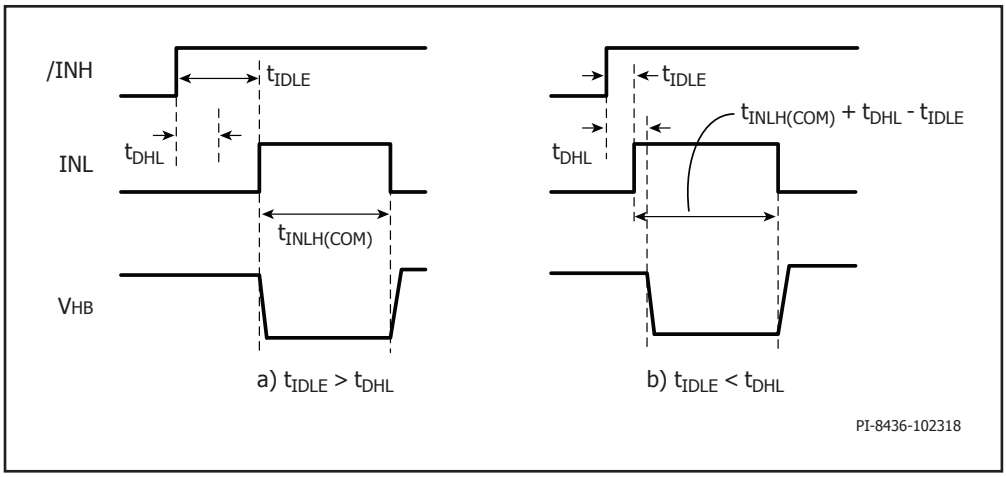


Figure 28. Minimum INL High Time Required for Device Internal High-Side Status Update a) $t_{IDLE} > t_{DHL}$ b) $t_{IDLE} < t_{DHL}$.

Typical Performance Characteristics

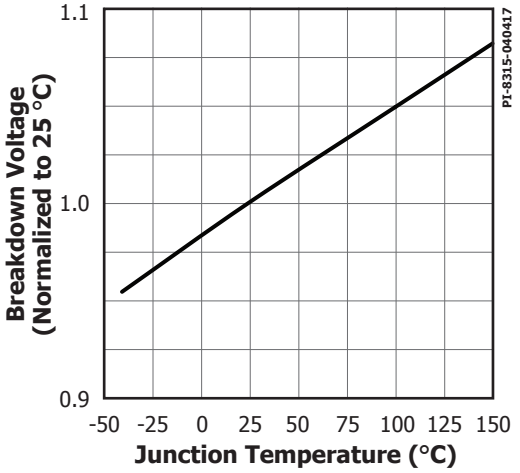


Figure 29. Power FREDFET Breakdown vs. Temperature.

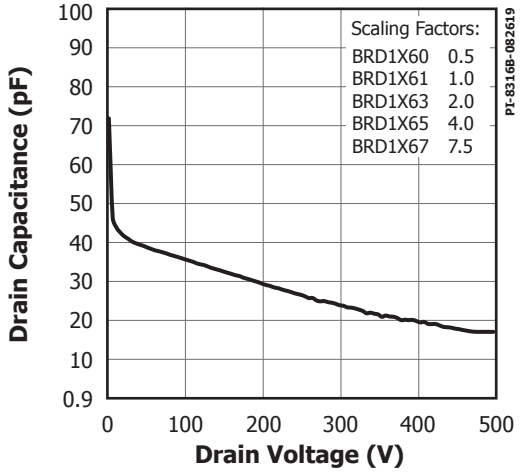


Figure 30. Power FREDFET C_{OSS} vs. Voltage.

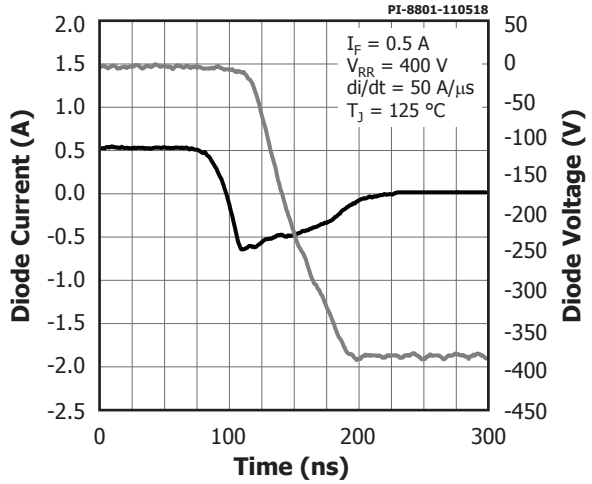


Figure 31. Typical Diode Reverse Recovery (BRD2X60).

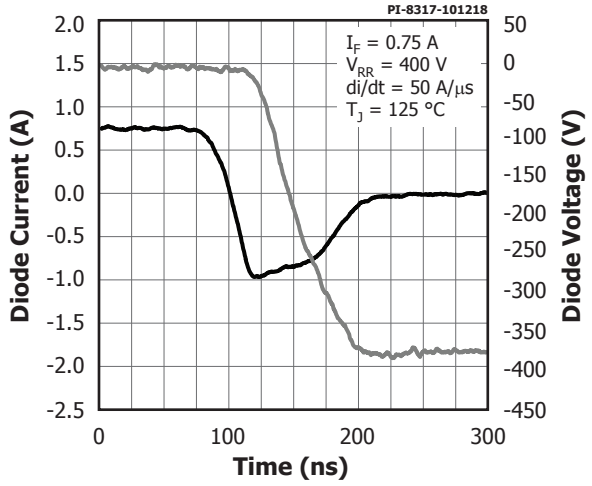


Figure 32. Typical Diode Reverse Recovery (BRD2X61).

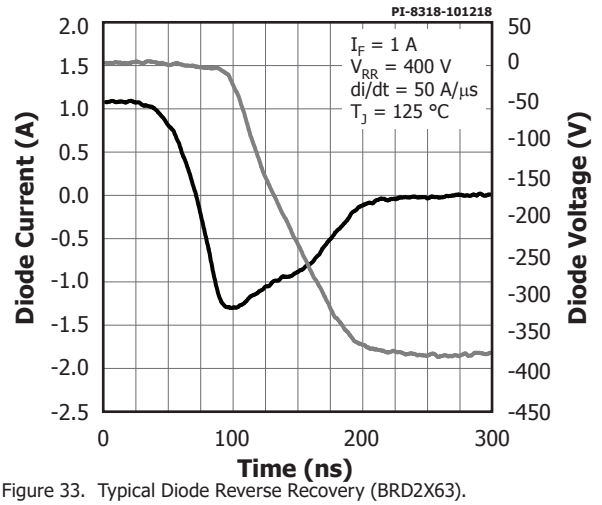


Figure 33. Typical Diode Reverse Recovery (BRD2X63).

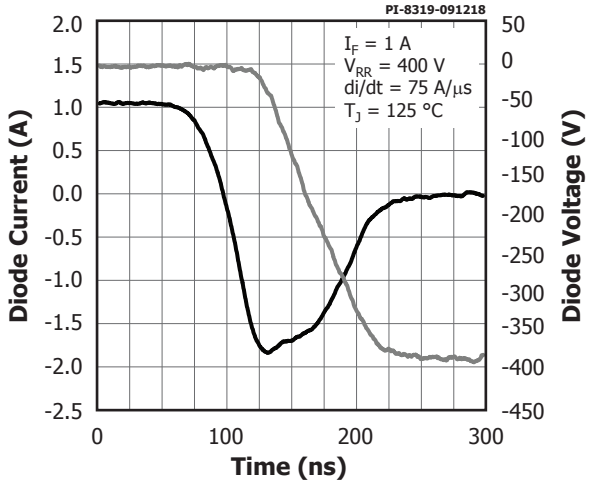


Figure 34. Typical Diode Reverse Recovery (BRD2X65).

Typical Performance Characteristics (cont.)

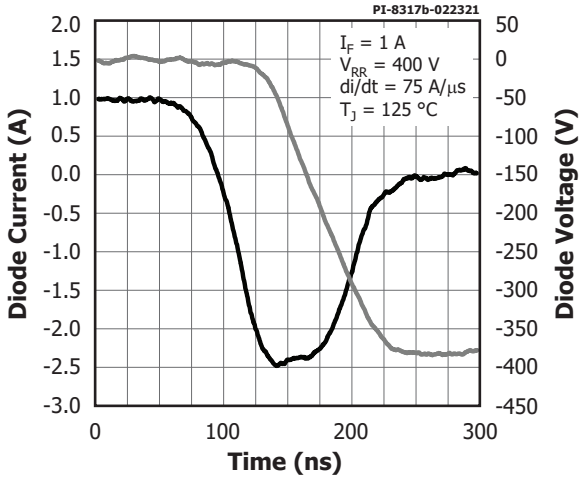


Figure 35. Typical Diode Reverse Recovery (BRD2X67).

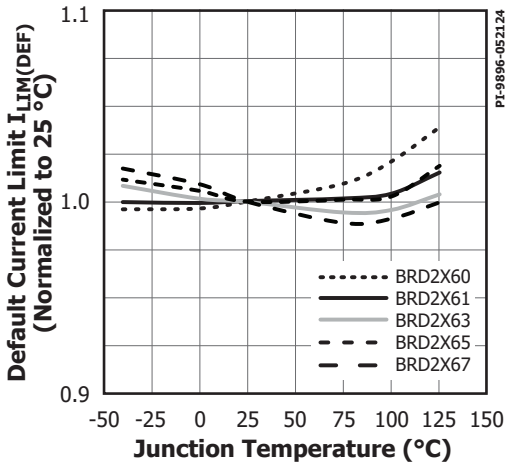


Figure 36. Default Current Limit vs. Temperature.

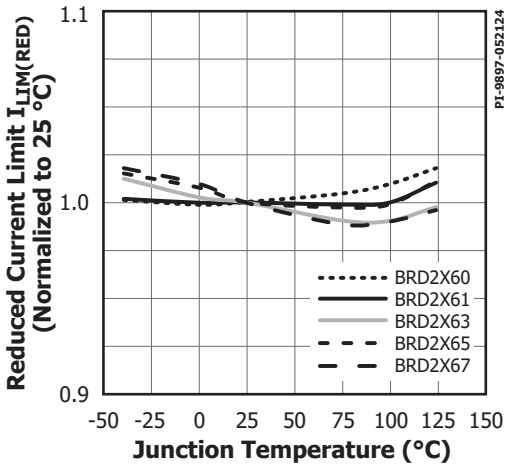


Figure 37. Reduced Current Limit vs. Temperature.

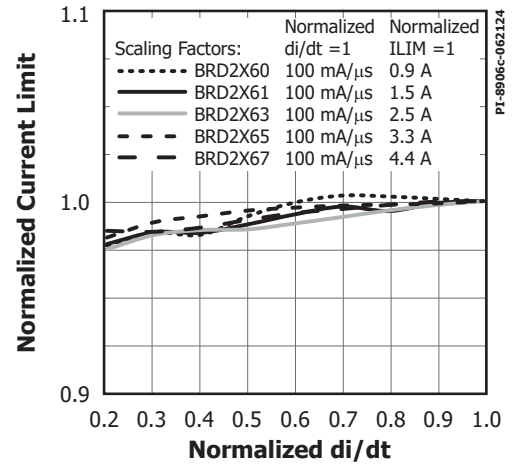


Figure 38. Default Current Limit vs. di/dt.

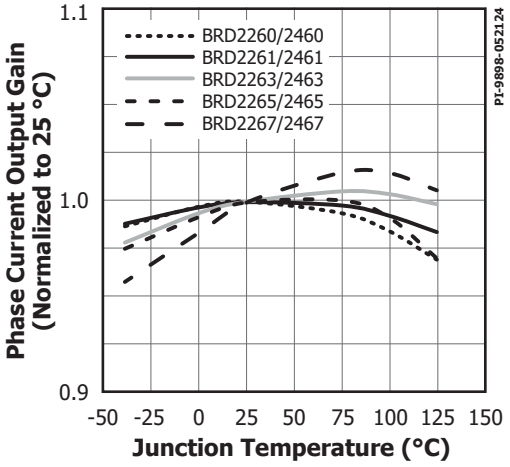


Figure 39. Phase Current Output Gain vs. Temperature

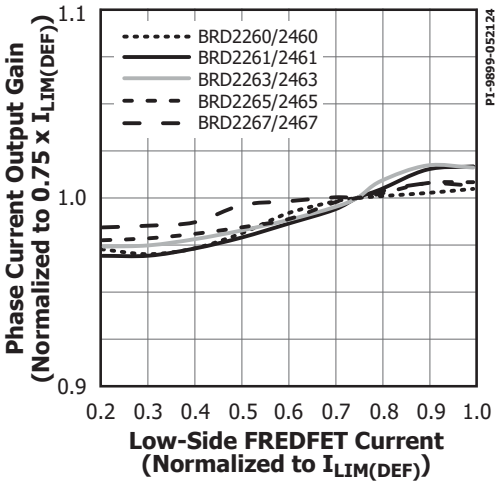


Figure 40. Phase Current Output Gain vs. Low-Side FREDFET Current.

Typical Performance Characteristics (cont.)

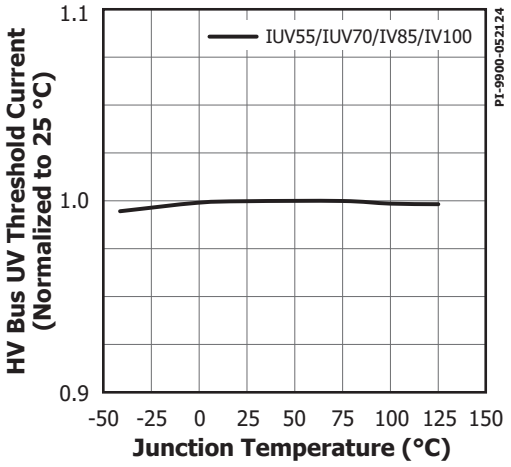


Figure 41. HV Bus UV Threshold Current vs. Temperature.

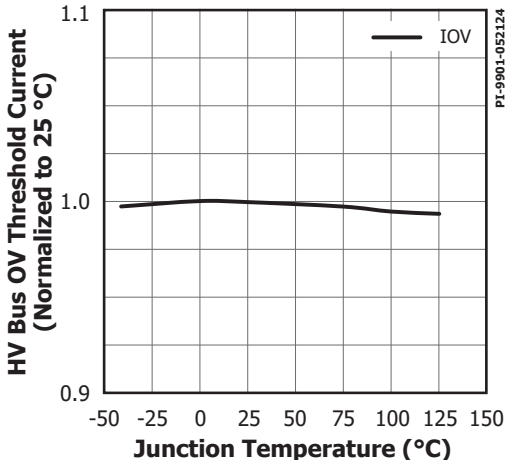
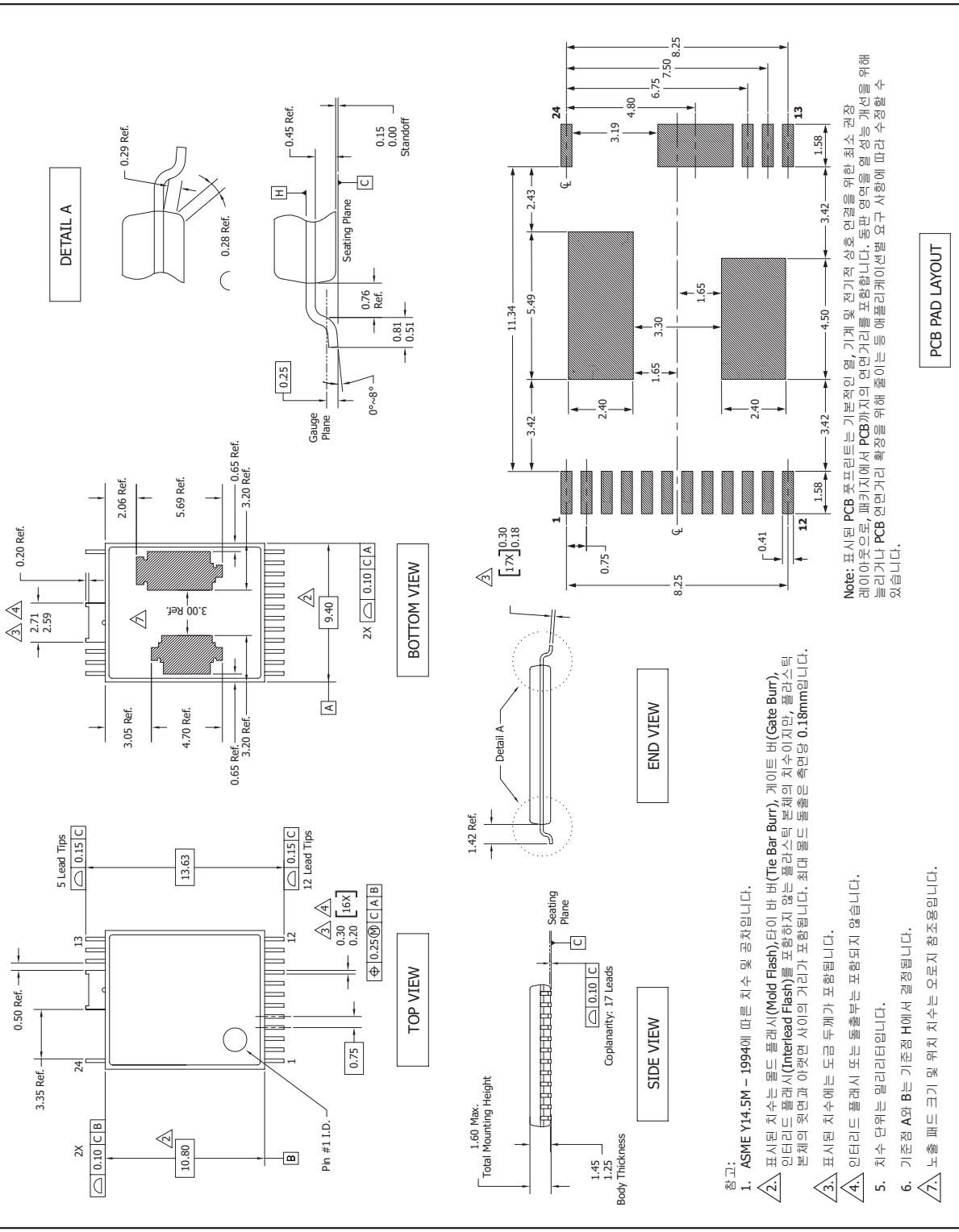


Figure 42. HV Bus OV Threshold Current vs. Temperature.

InSOP-24C



참고:

1. ASME Y14.5M – 1994에 따른 치수 및 공차입니다.
2. 표시된 치수는 몰드 플래시(Mold Flash),타이 바 버(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만, 플라스틱 본체의 윗면과 아랫면 사이의 거리가 포함됩니다. 최대 몰드 돌출은 측면당 0.18mm입니다.
3. 표시된 치수에는 도금 두께가 포함됩니다.
4. 인터리드 플래시 또는 돌출부는 포함되지 않습니다.
5. 치수 단위는 밀리미터입니다.
6. 기준점 A와 B는 기준점 H에서 결정됩니다.
7. 노출 패드 크기 및 위치 치수는 오로지 참조용입니다.

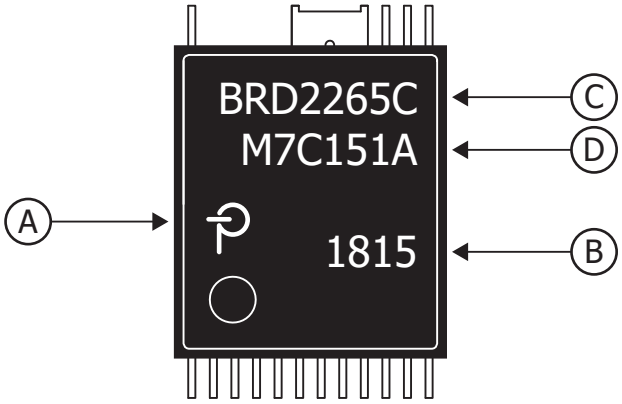
Note: 표시된 PCB 풋프린트는 기본적인 열, 기계 및 전기적 상호 연결을 위한 최소 권장 레이아웃으로, 패키지에서 PCB까지의 연면거리를 포함합니다. 동판 영역을 열 성능 개선을 위해 늘리거나 PCB 연면거리 확장을 위해 줄이는 등 애플리케이션별 요구 사항에 따라 수정할 수 있습니다.

POD_InSOP-24C_B_031417

PI-8294-051619

패키지 마킹

InSOP-24C



A. 파워 인테그레이션스(Power Integrations) 등록 상표
B. 조립 날짜 코드(앞 두 자리: 연도, 뒤 두 자리: 작업 주)
C. 제품 ID(부품 번호/패키지 유형)
D. Lot ID 코드

PI-8836e-072522

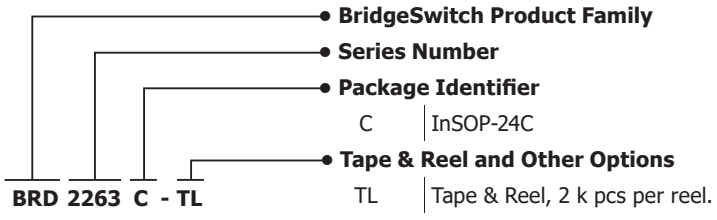
Part Ordering and MSL Table

Product / Part Number	MSL Rating
BRD2160C	3
BRD2161C	3
BRD2163C	3
BRD2165C	3
BRD2167C	3
BRD2260C	3
BRD2261C	3
BRD2263C	3
BRD2265C	3
BRD2267C	3
BRD2360C	3
BRD2361C	3
BRD2363C	3
BRD2365C	3
BRD2367C	3
BRD2460C	3
BRD2461C	3
BRD2463C	3
BRD2465C	3
BRD2467C	3

ESD and Latch-Up Table

Test	Conditions	Results
Latch-up at 125 °C	JESD78D	> ±100 mA or > 1.5 × V_{MAX} on all pins
Charge Device Model ESD	ANSI/ESDA/JEDEC JS-002-2014	> ±500 V on all pins

Part Ordering Information



개정	참고	날짜
B	Introduction release.	05/24
C	텍스트, 참조 변경, 그림 38 업데이트.	07/24

최신 업데이트에 대한 자세한 내용은 당사 웹사이트를 참고하십시오. www.power.com

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. Power Integrations는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하되 이에 제한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 https://www.power.com/company/intellectual-property-licensing/에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

수명 유지 디바이스 또는 시스템이란 (i)신체에 대한 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지를 목적으로 사용되며, (iii)사용 지침에 따라 올바로 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 디바이스 또는 시스템입니다.

핵심 부품이란 부품의 작동이 실패하여 수명 유지 디바이스 또는 시스템의 작동이 실패하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 디바이스 또는 시스템에 사용되는 모든 부품입니다.

파워 인테그레이션스(Power Integrations), 파워 인테그레이션스(Power Integrations) 로고, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperLCS, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, PowiGaN, SCALE, SCALE-1, SCALE-2, SCALE-3, SCALE-iDriver는 Power Integrations, Inc.의 상표이며, 기타 상표는 각 회사의 재산입니다. ©2024, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

본사
5245 Hellyer Avenue
San Jose, CA 95138, USA
본사 전화: +1-408-414-9200
고객 서비스:
전 세계: +1-65-635-64480
북미: +1-408-414-9621
이메일: usasales@power.com

중국(상하이)
Rm 2410, Charity Plaza, No. 88
North Caoxi Road
Shanghai, PRC 200030
전화: +86-21-6354-6323
이메일: chinasales@power.com

중국(센젠)
17/F, Hivac Building, No. 2, Keji Nan
8th Road, Nanshan District,
Shenzhen, China, 518057
전화: +86-755-8672-8689
이메일: chinasales@power.com

Germany
(AC-DC/LED/모터 컨트롤 판매)
Einsteinring 37
85609 Dornach/Aschheim
Germany
전화: +49-89-5527-39100
이메일: eurosales@power.com

독일(게이트 드라이버 판매)
HellwegForum 3
59469 Ense
Germany
전화: +49-2938-64-39990
이메일:
igbt-driver.sales@power.com

인도
#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
전화: +91-80-4113-8020
이메일: indiasales@power.com

이탈리아
Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
전화: +39-024-550-8701
이메일: eurosales@power.com

일본
Yusen Shin-Yokohama 1-chome Bldg.
1-7-9, Shin-Yokohama, Kohoku-ku
Yokohama-shi,
Kanagawa 222-0033 Japan
전화: +81-45-471-1021
이메일: japansales@power.com

대한민국
RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
전화: +82-2-2016-6610
이메일: koreasales@power.com

싱가포르
51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
전화: +65-6358-2160
이메일:
singaporesales@power.com

대만
5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
전화: +886-2-2659-4570
이메일: taiwansales@power.com

영국
Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
전화: +44 (0) 7823-557484
이메일: eurosales@power.com