

Output Power Table

Power Device	Safety Isolation Device	385 VDC $\pm 5\%$		
		Adapter ¹	Forced Air Cooled ²	Peak Power ³
LCS7260C	LSR2000C	80 W	N/A	135 W
LCS7262C		120 W	N/A	205 W
LCS7265C		220 W	N/A	375 W
LCS7265Z		460 W	520 W	780 W
LCS7268Z		720 W	830 W	1225 W
LCS7269Z		1440 W	1650 W	2450 W

Table 1. Output Power Table.

Notes:

1. Power Device: Minimum continuous power in a typical non-ventilated enclosed typical size adapter measured at 40 °C ambient. Max output power is dependent on the design, with condition that $T_j < 110$ °C.
2. Forced air cooled: With combination of heat sink and airflow, sufficient to maintain $T_j < 110$ °C
3. Power Device: Minimum peak power capability (not thermally limited).
Where Duty (Pk) = $P(pk\ 50\ ms) / P(adapter) \leq 170\%$.



Figure 2. Primary-Side Packages.
(Left) POWeDIP-20B
(Right) InSOP-24C
Top View.



Figure 3. HiperLCS2-SR.
Safety Isolation Package,
InSOP-24D Top View.

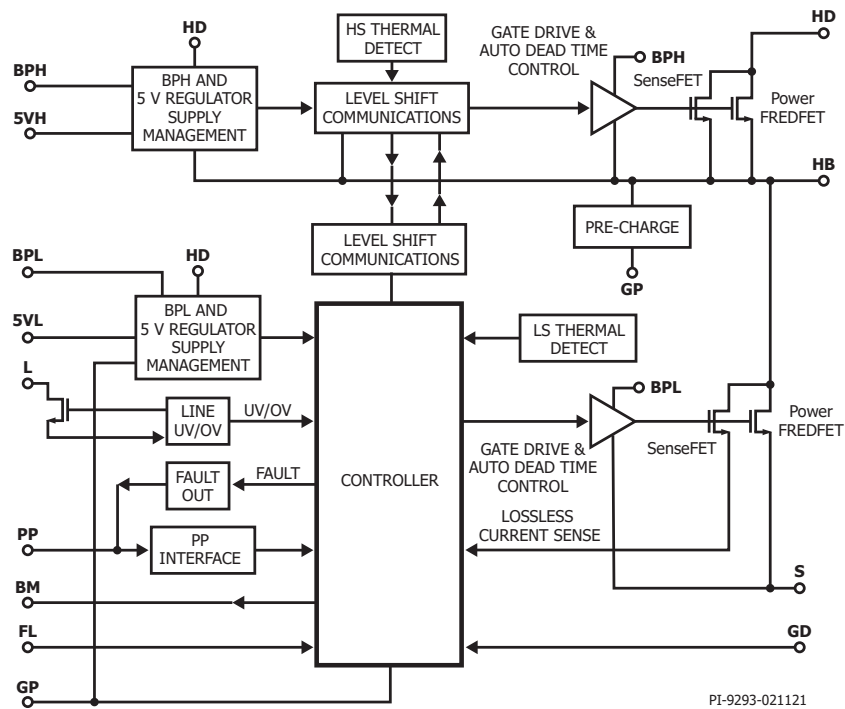


Figure 4. Primary Controller (Low-Side and High-Side), Block Diagram.

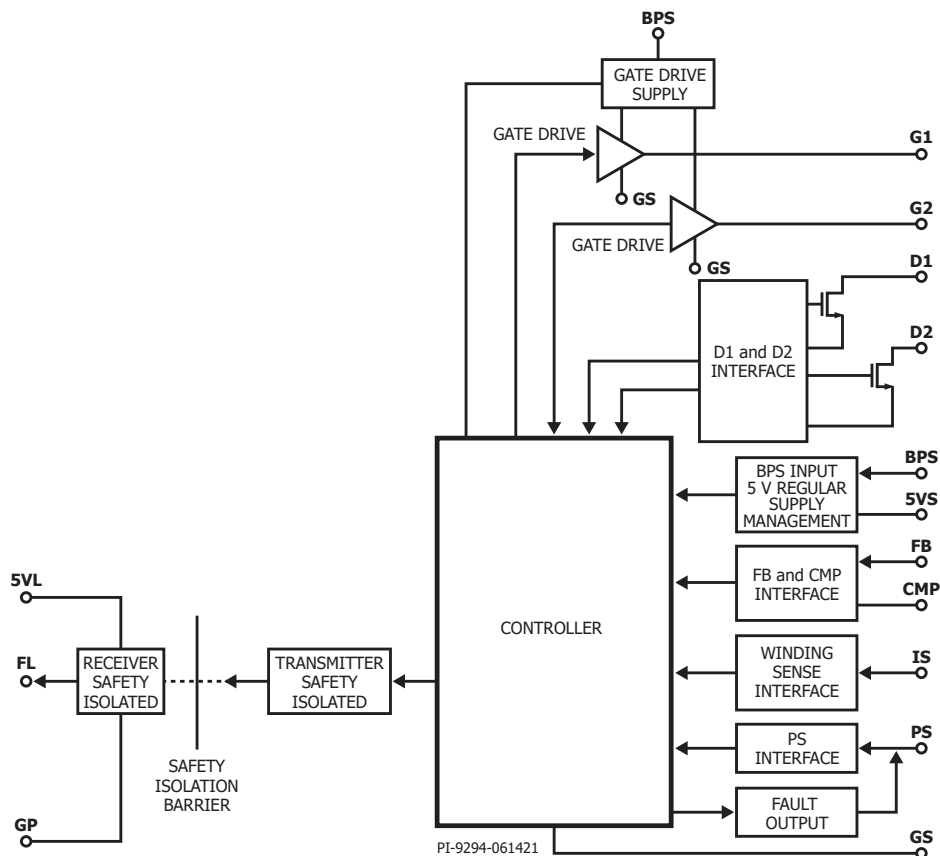


Figure 5. Safety Isolation and Secondary Controller Block Diagram.

핀 기능 설명 – 1차측 디바이스 LCS726xC

로우 사이드

PRIMARY GROUND(GD)(핀 1)

1차측 게이트 드라이브 그라운드입니다. 1차측 공급 핀(BPL)과 정전용량적으로 디커플링되어야 합니다.

BURST MODE(BM)(핀 2)

딥 버스트 모드 동작을 나타내는 소신호 출력입니다. 외부 1차측 회로를 제어하도록 커플링할 수 있습니다.

PRIMARY GROUND(GP)(핀 3)

소신호 1차측 그라운드입니다. 1차측 5V(5VL) 핀과 정전용량적으로 디커플링되어야 합니다.

NO CONNECTION(NC)(핀 4)

연결되지 않는 핀입니다. 오픈 상태로 두십시오.

BYPASS LOW-SIDE(BPL)(핀 5)

1차측 로우 사이드 디바이스용 전원 공급 핀입니다. 1차측 게이트 드라이브 그라운드(GD) 핀과 정전용량적으로 디커플링되어야 합니다.

PRIMARY LOW-SIDE 5V(5VL)(핀 6)

1차측 로우 사이드 소신호 5V IC 공급 핀입니다. 절연 디바이스(LSR2000)의 1차측에 바이어스 전원으로 공급합니다. 5VL은 1차측 소신호 그라운드(GP)와 정전용량적으로 디커플링되어야 합니다.

FLUXLINK INPUT(FL)(핀 7)

FLUX LINK 신호에 대한 소신호 입력입니다.

PROGRAM PRIMARY(PP)(핀 8)

고객 구성 선택 부품을 위한 소신호 연결입니다. 일부 구성에서 PG(Power Good)(원격 ON/OFF) 신호를 수신하여 디바이스 활성화를 명령하는 소신호 전류 입력으로도 사용됩니다. 마찬가지로 일부 구성에서는 외부 고장에 대한 소신호 전류 입력으로도 사용됩니다. 이 핀은 고장 조건 동안 논리 레벨 오류 코드를 출력하기도 합니다.

NO CONNECT(NC)(핀 9)

연결되지 않는 핀입니다. 오픈 상태로 두십시오.

PRIMARY GROUND(GP)(핀 10)

소신호 1차측 그라운드입니다. 1차측 5V(5VL) 핀과 정전용량적으로 디커플링되어야 합니다.

NO CONNECT(NC)(핀 11)

연결되지 않는 핀입니다. 오픈 상태로 두십시오.

LINE SENSE(L)(핀 12)

고전압 소신호 전류 입력 핀입니다. 라인 입력 전압을 감지하는 데 사용됩니다. 일부 구성에서 PG(Power Good)(원격 ON/OFF) 신호를 수신하여 디바이스 활성화를 명령하는 소신호 입력으로도 사용됩니다.

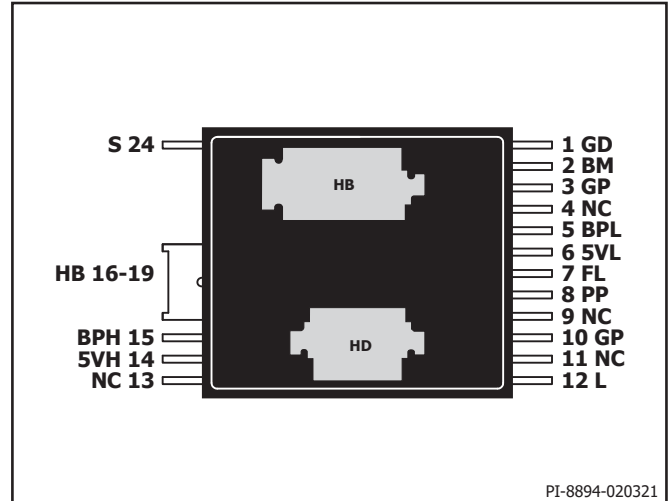


Figure 6. HiperLCS2 Primary-Side LCS726XC, InSOP-24C (Bottom View.)

하이 사이드

NO CONNECT(NC)(핀 13)

연결되지 않는 핀입니다. 오픈 상태로 두십시오.

HIGH-SIDE 5V(5VH)(핀 14)

1차측 하이 사이드 소신호 5V IC 공급 핀입니다. 하프 브리지(HB)와 정전용량적으로 디커플링되어야 합니다. 참고: 이 핀은 하프 브리지 스위칭 전압에서 플로팅 상태가 되며, 1차측 그라운드 기준으로 고전압이 될 수 있습니다.

BYPASS HIGH-SIDE(BPH)(핀 15)

1차측 하이 사이드 디바이스용 전원 공급 핀입니다. 하프 브리지(HB) 핀과 정전용량적으로 디커플링되어야 합니다. 참고: 이 핀은 하프 브리지 스위칭 전압에서 플로팅 상태가 되며, 1차측 그라운드 기준으로 고전압이 될 수 있습니다.

HALF-BRIDGE(HB)(핀 16-19와 백 사이드 HB 패드)

로우 사이드 MOSFET DRAIN과 하이 사이드 MOSFET SOURCE에 대한 고전압 및 고전류 연결 지점입니다. 하프 브리지 노드는 일반적으로 1차측 그라운드와 1차측 입력 버스(HD) 사이에서 스위칭됩니다.

SOURCE(S)(핀 24)

하프 브리지 스위치 전류를 위한 고전류 파워 그라운드 복귀 경로입니다. 또한, 다른 소신호 1차측 그라운드와 동일한 전위를 가집니다.

HD(핀 뒷면 솔더 패드)

고전류, 하이 사이드 MOSFET 드레인이며, 시스템 고전압 입력 버스와 연결됩니다.

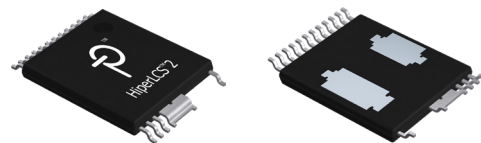


Figure 7. Primary-Side Packages. (Right Upper), InSOP-24C Top View (Right Lower), InSOP-24C Bottom View

핀 기능 설명 – 1차측 디바이스 LCS726xZ

로우 사이드

NO CONNECT(NC)(핀 1)

연결되지 않는 핀입니다. 오픈 상태로 두십시오.

LINE SENSE(L)(핀 2)

고전압 소신호 전류 입력 핀입니다. 라인 입력 전압을 감지하는 데 사용됩니다. 일부 구성에서 PG(Power Good)(원격 ON/OFF) 신호를 수신하여 디바이스 활성화를 명령하는 소신호 입력으로도 사용됩니다.

NO CONNECT(NC)(핀 3)

연결되지 않는 핀입니다. 오픈 상태로 두십시오.

PRIMARY GROUND(GP)(핀 4)

소신호 1차측 그라운드입니다. 1차측 5V(5VL) 핀과 정전용량적으로 디커플링되어야 합니다.

PROGRAM PRIMARY(PP)(핀 5)

고객 구성 선택 부품을 위한 소신호 연결입니다. 일부 구성에서 PG(Power Good)(원격 ON/OFF) 신호를 수신하여 디바이스 활성화를 명령하는 소신호 전류 입력으로도 사용됩니다. 마찬가지로 일부 구성에서는 외부 고장에 대한 소신호 전류 입력으로 사용됩니다. 이 핀은 고장 동안 논리 레벨 오류 코드를 출력하기도 합니다.

FLUXLINK INPUT(FL)(핀 6)

FLUX LINK 신호에 대한 소신호 입력입니다.

PRIMARY LOW-SIDE 5V(5VL)(핀 7)

1차측 로우 사이드 소신호 5V IC 공급 핀입니다. 절연 디바이스(LSR2000)의 1차측에 바이어스 전원으로 공급합니다. 5VL은 1차측 소신호 그라운드(GP)와 정전용량적으로 디커플링되어야 합니다.

BYPASS LOW-SIDE(BPL)(핀 8)

1차측 로우 사이드 디바이스용 전원 공급 핀입니다. 1차측 게이트 드라이브 그라운드(GD)와 정전용량적으로 디커플링되어야 합니다.

BURST MODE(BM)(핀 9)

펄스 모드 동작을 나타내는 소신호 출력입니다. 외부 1차측 회로를 제어하도록 커플링할 수 있습니다.

PRIMARY GROUND(GD)(핀 10)

1차측 게이트 드라이브 그라운드입니다. 1차측 공급 핀(BPL)과 정전용량적으로 디커플링되어야 합니다.

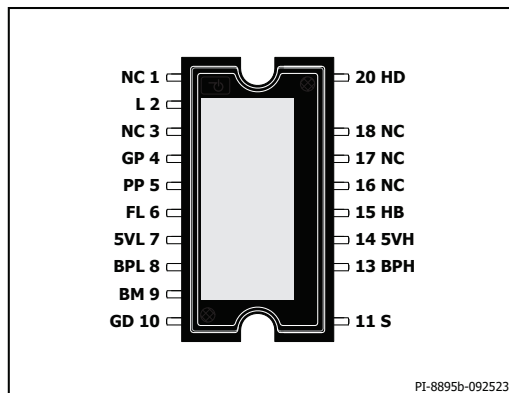


Figure 8. HiperLCS2 Primary-Side LCS726xZ, POWeDIP-20B (Top View.)

하이 사이드

SOURCE(S)(핀 11)

하프 브리지 스위칭 전류를 위한 고전류 파워 그라운드 복귀 경로입니다. 또한, 다른 소신호 1차측 그라운드와 동일한 전위를 가집니다.

BYPASS HIGH-SIDE(BPH)(핀 13)

1차측 하이 사이드 디바이스용 전원 공급 핀입니다. 하프 브리지(HB) 핀과 정전용량적으로 디커플링되어야 합니다. 참고: 이 핀은 하프 브리지 스위칭 전압에서 플로팅 상태가 되며, 1차측 그라운드 기준으로 고전압이 될 수 있습니다.

HIGH-SIDE 5V(5VH)(핀 14)

1차측 하이 사이드 소신호 5V IC 공급 핀입니다. 하프 브리지(HB)와 정전용량적으로 디커플링되어야 합니다. 참고: 이 핀은 하프 브리지 스위칭 전압에서 플로팅 상태가 되며, 1차측 그라운드 기준으로 고전압이 될 수 있습니다.

HALF-BRIDGE(HB)(핀 15)

로우 사이드 MOSFET DRAIN과 하이 사이드 MOSFET SOURCE에 대한 고전압 및 고전류 연결 지점입니다. 하프 브리지 노드는 일반적으로 1차측 그라운드와 1차측 입력 버스(HD) 사이에서 스위칭됩니다.

NO CONNECT(NC)(핀 16-18)

연결되지 않는 핀입니다. 오픈 상태로 두십시오.

HD(핀 뒷면 솔더 패드)(핀 20)

고전류, 하이 사이드 MOSFET 드레인이며, 시스템 고전압 입력 버스와 연결됩니다.

BACKSIDE PAD

POWeDIP 패키지 뒷면의 이 솔더 패드는 전기적으로 전도되지 않습니다. 이는 내부 스위칭 전압에 대한 기능적인 전기 절연을 제공합니다. POWeDIP 패키지는 추가 전기 절연 없이 금속 히트싱크에 직접 연결할 수 있습니다.

UPPER/LOWER SCREW HOLES

POWeDIP 패키지 위쪽과 아래쪽의 나사 구멍은 M2 나사와 함께 사용하도록 설계되었습니다. 나사는 권장 설정에 따라 토크를 조정해야 합니다.

POWeDIP 장착 지침:

패키지와 히트싱크 사이에 써멀 그리스를 사용합니다. M2 금속 와셔와 함께 M2 x 0.4 나사를 사용합니다. 패키지가 중앙에 있는지 확인하면서 패키지를 두 개의 나사로 히트싱크에 수직하게 조립합니다.

1. 첫 번째 나사를 '꼭 맞을 때까지' 가볍게 조입니다.
2. 두 번째 나사를 '꼭 맞을 때까지' 조입니다.
3. 첫 번째 나사를 다시 최대 1.0in-lb로 조입니다.
4. 두 번째 나사를 다시 최대 1.0in-lb로 조입니다.



Figure 9. POWeDIP-20B Package LCS726xZ.

핀 기능 설명 – 안전 절연 및 2차측 디바이스 LSR2000C

SECONDARY 5V(5VS)(핀 1)

2차측 IC 공급을 위한 외부 디커플링 커패시터의 연결 지점입니다. 2차측 그라운드(GSB)와 정전용량적으로 디커플링되어야 합니다.

SECONDARY GROUND(GSB)(핀 2)

2차측(5VS, IS, CMP, FB, PS)에 대한 소신호 그라운드입니다.

WINDING SENSE(IS)(핀 3)

2차측 소신호 전류 입력 연결로, 외부 저항과 커패시터와 연결됩니다.

COMPENSATION(CMP)(핀 4)

2차측 소신호 연결로, 외부 주파수 보상 저항 커패시터 네트워크에 연결됩니다.

FEEDBACK(FB)(핀 5)

2차측 소신호 피드백 신호로, 2차측 제어 회로로 연결됩니다.

PROGRAM SECONDARY(PS)(핀 6)

2차측 소신호 연결로, 고객 구성 선택 부품들과 연결됩니다. 이 핀은 고장 조건 동안 논리 레벨 고장 코드를 출력하기도 합니다.

SECONDARY BYPASS(BPS)(핀 7)

2차측 디바이스용 2차측 파워 서플라이 핀입니다.

SR GATE2 DRIVE(G2)(핀 8)

첫 번째 출력 위상에서 2차측 동기 정류기(SR) MOSFET을 구동하는 2차측 출력 핀입니다.

SR GATE1 DRIVE(G1)(핀 9)

두 번째 출력 위상에서 2차측 동기 정류기(SR) MOSFET을 구동하는 2차측 출력 핀입니다.

SR DRAIN2 SENSE(D2)(핀 10)

SR DRAIN/SOURCE 전압을 센싱하기 위한 2차측 중간 전압 소신호 입력 핀입니다.

SR DRAIN1 SENSE(D1)(핀 11)

SR DRAIN/SOURCE 전압을 센싱하기 위한 2차측 중간 전압 소신호 입력 핀입니다.

SECONDARY GROUND(GSA)(핀 12)

2차측을 위한 파워 그라운드입니다(BPS, G1, G2, D1, D2).

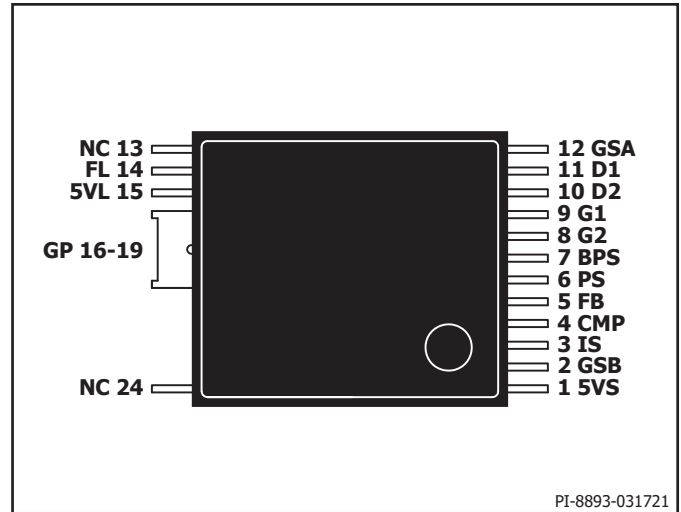


Figure 10. HiperLCS-2 Safety Isolation and Secondary-Side LSR2000C, InSOP-24D (Top View).

NO CONNECT(NC)(핀 13)

연결되지 않습니다. 오픈 상태로 두십시오.

FLUXLINK(FL)(핀 14)

1차측 소신호 출력으로, FluxLink 1차측 출력 핀입니다.

PRIMARY 5V(5VL)(핀 15)

1차측 IC 전원 공급을 위한 핀으로, 1차측에서 외부 1차측 디커플링 커패시터를 연결하는 지점입니다. 1차측 그라운드(GP)와 정전용량적으로 디커플링되어야 합니다.

PRIMARY GROUND(GP)(핀 16-19)

1차측 BYPASS 핀의 1차측 그라운드 기준핀입니다.

NO CONNECT(NC)(핀 24)

연결되지 않습니다. 오픈 상태로 두십시오.

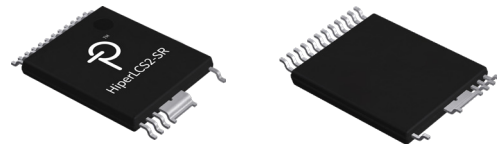


Figure 11. HiperLCS2-SR, Safety Isolation Package. InSOP-24D (Top View), InSOP-24D (Bottom View).

HiperLCS-2 기본 작동

HiperLCS-2는 고효율 공진 ZVS, 가변 주파수 컨버터인 하프 브리지 LLC 컨버터용으로 설계되었습니다.

HiperLCS-2는 두 가지 디바이스인 파워 디바이스와 절연 디바이스로 구성된 칩셋으로 제공됩니다. 파워 디바이스(LCS726x)는 절연 장벽의 1차측에 있으며 하이 사이드 및 로우 사이드 드라이버와 하프 브리지 파워 MOSFET이 내장된 LLC 컨트롤러가 포함되어 있습니다. 절연 디바이스(LSR2000)는 절연 장벽을 가로질러 파워 디바이스(1차측 디바이스)와의 통신을 용이하게 합니다. 절연 디바이스는 2차측 컨트롤러와 SR 드라이버도 포함하고 있습니다. HiperLCS-2는 최대 240kHz의 공칭 주파수에서 작동할 수 있습니다. 매우 높은 변환 효율과 낮은 부품 수, 견고한 보호 기능을 제공합니다.

HiperLCS-2 1차측 파워 디바이스 작동

스타트업 셀프 바이어스

HiperLCS-2는 자체 구동형 스타트업을 제공합니다. 즉, 시스템이 HD 핀에 고전압 버스를 제공하고 HiperLCS-2 디바이스가 나머지 처리를 담당합니다. 자체 구동은 내부 고전압 전류 소스를 사용하여 이루어집니다. 첫 번째 전류 소스는 HD 핀과 BPL 핀 사이에 연결됩니다. HD에 전압이 인가되면 BPL은 이 핀에 연결된 모든 커패시턴스를 충전합니다. 충전 전 낮은 전류가 흘러 초기 충전 전압이 확립되고 나면, BPL 전압 증가에 따라 충전 전류가 훨씬 더 높은 수준으로 상승하여 스타트업 시간이 빨라집니다. BPL 충전 전류 용량이 높아짐에 따라, HiperLCS-2는 PFC단에 바이어스 전력을 제공할 수 있으며, PFC는 HiperLCS-2보다 먼저 스위칭을 시작할 수 있습니다. BPL 셀프 충전으로 목표 전압에 도달하면 히스테리시스 제어로 전환됩니다. 내부 전류 소스는 외부 바이어스(트랜스포머 바이어스 권선)가 활성화되면 정상 동작 중에 비활성화됩니다. BPH 핀은 BPL과 매우 유사한 방식으로 충전되지만, HD에서 BPH로의 충전 전류는 더 낮습니다. 외부 바이어스가 활성화되면 BPL 방식과 유사하게 BPH 핀 내부 충전 전류가 비활성화됩니다.

LLC 컨버터의 스위칭을 시작하려면 이상적으로는 하프 브리지 및 공진 커패시터 전압이 알려진 조건에 있는 것이 좋습니다(0에 가까운 것이 좋음). HiperLCS-2는 HB 핀에 연결된 고전압 전류 소스를 사용하여 이를 달성합니다. 이 HB 전류 소스는 스위칭을 시작하기 전에 공진 탱크 부품을 사전 조정하여 전류를 그라운드(리턴)로 끌어옵니다. 이렇게 하면 초기 시작 또는 리스타트 시 HiperLCS-2가 항상 알려진 탱크 조건으로 가동됩니다. 결과적으로 HiperLCS-2는 두 번째 스위치 엠티에서 공진 스위칭을 달성할 수 있습니다. 사전 조정을 수행하는 HB 전류 소스는 하이 사이드 디바이스가 UV 조건에 있는 동안, 스위칭을 시작하기 전에 활성화됩니다.

모든 충전 조건이 충족되고 모든 저전압 조건이 해제되면 HiperLCS-2는 하이 사이드 파워 MOSFET으로 먼저 스위칭을 시작합니다.

스타트업 1차측 소프트 스타트

HiperLCS-2는 선택된 스위칭 주파수 범위 최대값의 약 1.5배 주파수에서 1차측 스위칭을 시작합니다. 스위칭 주파수는 빠르게 줄어들어 공진 탱크에서 전류를 축적합니다. 공진 탱크가 목표 전류($I_{HB(10V)}$)에 도달하면 주파수가 간헐적으로 레귤레이션되어 이 수준에서 탱크 전류를 유지합니다. 시스템 출력 커패시터의 결과는 초고전력 전류 소스와 상응합니다. 이에 따라 출력 커패시터의 전압이 일정하게 상승합니다. 출력 전압 상승에서 나타나는 양의 슬루 레이트는 공진 탱크와 출력 커패시터 값에 따라 달라집니다. 선택 가능한 기준점(Threshold) 두 가지는 $I_{HB(OV)}$ 와 $I_{HB(10V)}$ 입니다. 높은 수준 $I_{HB(OV)}$ 은 기본값이며, 입력 전압 UV/OV 기능에 L 핀을 사용하여 선택합니다. 낮은 수준 $I_{HB(10V)}$ 은 L 핀을 접지하고 대신 PP 핀 PG 기능을 사용하여 선택합니다. $I_{HB(10V)}$ 을 선택하면 출력 전압 양의

스타트업 슬로프가 느려지고 출력 오버슈트의 크기가 최소화됩니다. $I_{HB(10V)}$ 선택은 활성 PFC 부스트 입력 버스를 사용하는 시스템에 권장되며, PFC 부스트가 PP 핀에 PG(Power Good) 신호를 제공해야 합니다. 임의의 출력 부하를 사용하면 출력 전압 상승이 느려지지만, 출력 전압 슬로프의 극성이 달라지지는 않습니다. 스위칭의 1차측 제어는 출력 전압이 레귤레이션 상태에 가까워질 때까지 계속되며, 이 시점에서 2차측이 스위칭을 제어합니다.

자동 데드타임

LLC 컨버터는 양전압과 리턴 전압이 파워 MOSFET을 통해 중간 지점 또는 하프 브리지 노드에 순차적으로 연결되는 구조를 가지고 있습니다. 하프 브리지는 공진 탱크 네트워크에 연결되고, 그런 다음 일반적으로 파워 리턴(그라운드)에 직렬로 연결되며 출력 부하에 커플링됩니다. 하이 사이드 파워 MOSFET과 로우 사이드 파워 MOSFET은 순차적으로 구동됩니다(즉, MOSFET이 동시에 켜지지 않음). 온 타임 동안 공진 탱크는 출력에 일부 에너지를 전달하고 나머지 에너지는 저장합니다. 첫 번째 파워 MOSFET이 꺼지면 두 번째 파워 MOSFET이 켜지기 전에 데드타임 기간이 있습니다. 데드타임 동안 공진 탱크에 저장된 나머지 에너지 중 일부는 하프 브리지 집중 커패시턴스에서 전류를 계속 순환시켜 하프 브리지 전압이 다음 스위치로 향하도록 슬루시킵니다. 하프 브리지 전압 슬루는 전압이 MOSFET 바디 다이오드에 의해 클램핑될 때까지(ZVS) 또는 탱크에서 에너지가 소진될 때까지 계속됩니다(비 ZVS). LLC 컨버터의 목표는 항상 ZVS(제로 전압 스위칭) 동작으로 실행하는 것입니다. 다음 파워 MOSFET의 전압이 파워 MOSFET을 켜기 전에 0에 가까운 상태가 되는 것을 의미합니다. 그러면 0에 가까운 정전용량성(COSS) MOSFET 손실이 발생합니다. 첫 번째 파워 MOSFET이 꺼진 후 HiperLCS-2 자동 데드타임 기능은 컨트롤러가 하프 브리지 전압 슬루의 끝을 감지할 때까지 또는 비정상적으로 최대 데드타임에 도달할 때까지 두 번째 파워 MOSFET을 보류합니다. 그 후 두 번째 파워 MOSFET이 켜집니다. 주어진 LLC 컨버터의 데드타임은 입력 전압과 출력 부하에 따라 달라질 수 있습니다. HiperLCS-2는 데드타임을 ~90-500ns 범위에서 자동으로 조정합니다(데드타임이 150ns로 고정된 LCS7269Z 제외).

주파수 범위	Min	공칭값	Max	시작	단위
0	23	90	135	167	kHz
1	30	120	183	227	kHz
2	45	180	270	333	kHz
3	60	240	366	455	kHz

Table 2. 1차측 및 2차측 주파수 범위 선택 표. PP 핀 저항을 통한 1차측 디바이스 주파수 범위 선택(데이터 표 참조). 부품 번호별 2차측 디바이스 주파수 범위 선택.

1차측 보호 및 고장 응답

1차측 스위칭 시작 후 32ms 이내에 2차측 컨트롤러가 웨이크업되지 않으면 파워 디바이스가 고장을 선언합니다. 2차측 웨이크업 후 32ms 이내에 2차측 제어로 인계가 발생하지 않으면 1차측이 고장을 선언합니다. 모든 고장과 마찬가지로 1차측이 고장 관리의 마스터입니다. 고장이 선언되면(1차측 또는 2차측) 디바이스는 래칭(오프) 또는 비래칭 고장 처리로 전환됩니다.

비래칭 고장의 경우 1차측 디바이스가 오토-리스타트를 시작합니다. 오토-리스타트에는 짧은 고장 응답과 긴 응답, 이렇게 두 가지 응답이 있습니다(표 2 참조).

짧은 고장 오토-리스타트는 2차측 제어로 작동하는 동안 감지된 고장 이벤트에 대해 발생합니다. 이 오토-리스타트 오프 기간은 약 250ms입니다. 1차측 제어 중에 트리거되는 모든 고장은 아날로그 오토-리스타트 응답을 초래하며, 오프 타임은 약 5초입니다.

짧은 오토-리스타트 이벤트는 가끔 발생하는 고장에 대해 빠른 오토-리스타트를 허용합니다. 긴 오토-리스타트는 반복적인 오토-리스타트가 오토-리스타트 시도와 오토-리스타트 오프 타임의 비율을 매우 낮게 유지하도록 보장합니다. 그러면 지속적인 고장이 부품에 과도한 전기적 또는 열적 스트레스를 생성하지 않습니다.

1차측에는 고장 발생 시에 작동하는 여러 계층의 디바이스 자체 보호 기능이 있어 견고한 성능을 달성합니다.

파워업 시 디바이스는 디바이스 핀에 대한 FMEA 검사(고장 모드 효과 분석)를 완료합니다. 고장이 관찰되면 디바이스는 스위칭을 시작하지 않습니다. 이러한 FMEA 고장이 스위칭 전에 발생하는 경우 PP 핀에 오류 코드를 보고하지 않는다는 점에 유의하십시오. PP 핀에 대한 고장 보고 메시지는 스위칭이 시작된 후 발생하는 고장에 대해서만 생성됩니다.

1차측 하프 브리지 전류는 로우 사이드 MOSFET 온 타임 동안 내부적으로 감지됩니다. 이것은 1차측 스타트업과 2차측 모드 동안의 안전 current limit에 모두 사용됩니다.

1차측 디바이스에는 (하이 사이드 컨트롤러) 과열 보호 기능도 포함되어 있습니다. 이것은 1차측 패키지에서 과도한 전력 손실을 방지합니다. 이 디바이스에는 주변(로우 사이드 컨트롤러) 써멀 보호 기능이 있어 리스타트가 가능할 만큼 온도가 낮아질 때까지 리스타트를 방지합니다. 이것은 반복적인 고장 조건에서 즉시 리스타트할 경우 발생할 수 있는 열 온도 축적을 방지합니다. 써멀 고장은 래칭 또는 비래칭 응답(PP 핀 선택)을 트리거합니다.

L 핀은 저전압 및 과전압 보호를 위해 입력 전압을 감지합니다. 입력 전압은 L 핀에 연결된 저항을 통해 커플링됩니다. 시스템 소비 전력을 줄이기 위해 L 핀은 버스트 동작 중에 풀링됩니다. 연속 스위칭(비버스트) 중에 L 핀은 지속적으로 모니터링됩니다. 과전압과 저전압은 모두 채터링

(chatter)을 방지하기 위해 히스테리시스를 갖습니다. 저전압에서 벗어나면 디바이스가 리스타트됩니다. 그러나 과전압에서 디바이스 스위칭은 조건이 지속되는 동안에는 차단되지만, 조건이 제거되면 계속될 수 있습니다. 참고: L 핀은 파워업 시 핀이 그라운드에 연결되어 있는지 또는 HD 핀과 L 핀 사이에 저항이 있는지 감지합니다. L 핀이 그라운드에 연결되어 있으면 PP 핀 PG(Power Good) 입력 기능이 대신 사용되어 라인 UV/OV 조건을 나타냅니다.

BPL 핀은 로우 사이드 드라이버와 컨트롤러에 메인 서플라이 전압을 공급합니다. 이 전압은 내부적으로 레귤레이션되어 5VL 핀에서 5V를 제공합니다. 참고: 5VL 핀은 절연 디바이스 이외의 외부 디바이스에 전원을 공급하기 위한 것이 아닙니다. BPH 핀과 5VH 핀은 하이 사이드 드라이버에서 유사한 기능을 제공합니다. 둘 다 커패시터를 사용하여 외부적으로 그라운드와 디커플링해야 합니다.

BPL, 5VL, BPH, 5VH 핀은 저전압 조건을 모니터링합니다. 스타트업 시 각기 해당 UV 기준점(Threshold)을 넘을 때까지 디바이스는 스위칭을 시작하지 않습니다. 정상 스위칭 중에도 핀들은 모니터링되며 UV 시 오토-리스타트가 트리거됩니다. 고장과 달리 BPL, 5VL, BPH, 5VH에서 UV 조건이 발생하면 리스타트가 강제되지만, PP 핀에는 고장 신호가 출력되지 않습니다.

기타 1차측 기능

파워업 시, PP 핀은 1차측 스타트업 주파수 범위(90, 120, 180, 240kHz)와 래칭/비래칭 고장 처리를 선택하는 고장 구성(저항) 설정을 읽는 데 사용됩니다(표 2 참조). PP 핀은 L 핀이 그라운드에 연결될 때 외부 시스템으로부터(예: PFC 컨트롤러) PG(Power Good) 입력 신호를 수신하는 데에도 사용할 수 있습니다. 앞서 언급했듯이 PP 핀(PG) 기능을 사용하면 스타트업 전류가 $I_{HB(10VL)}$ 의 낮은 값으로 설정됩니다. 이는 $I_{HB(10VL)}$ 가 출력 전압 상승을 늦추고 출력 오버슈트를 줄이는 PFC-부스트 애플리케이션에만 사용됩니다. 동일한 PP 핀(PG) 신호를 원격 ON/OFF에 사용할 수 있습니다. PP 핀은 또한 외부 고장 신호를 수신하여 고장 또는 기타 조건에서 디바이스를 비활성화할 수 있습니다. 고장 조건에서 PP 핀은 디바이스 오류 코드를 출력하는 데에도 사용되어 디버그를 돕습니다. 오류 코드는 이진 비제로 복귀(NRZ) 비트 스트림으로 출력됩니다.

1차측 디바이스 PP 핀 오류 고장 코드

Bit	16진수 코드	고장 동작	PP 핀 오류 고장 이름	설명
31:28	X	I	1111	고정 프리앰블.
27:20	X	I	000 0000 0	고정 프리앰블.
19	X	N	x	
오후 6:16	X	N	xxx	
15	8000h	A/L	HSD_OT	하이 사이드 MOSFET 과열 고장. 고장이 활성화된 동안 스타트업 스위칭을 방지하며, 2차측 제어 모드로 인계된 후 다시 모니터링됩니다.
14	4000h	A/L	AMB_OT	로우 사이드 컨트roller 주변 과열 고장. 고장이 활성화된 동안 스타트업 스위칭을 방지하며, 2차측 제어 모드로 인계된 후 다시 모니터링됩니다.
13	2000h	I	BPH_UVN	하이 사이드 BPH 저전압. 고장이 활성화된 동안 스타트업 스위칭을 방지합니다. 2차측 제어에서는 모니터링되지 않습니다.
12	1000h	I	L_OV	라인 과전압 - 이 고장이 활성화되면(L = OV+)디바이스는 스위칭을 멈추고 고장이 해제되면(L = OV-) 리스타트가 발생합니다. 고장은 모든 스위칭 모드에서 모니터링됩니다. 활성화되면 고장이 발생하여 HB 스위칭이 즉시 중단됩니다. 그러나 고장이 몇 LLC 기간 이상 지속되면 다른 고장이 트리거되어디바이스가 오토-리스타트 될 수 있습니다.
11	800h	A/L	L_UV	라인 저전압. 고장이 활성화된 동안 스타트업 스위칭을 방지합니다. 모든 스위칭 모드에서 고장이 모니터링됩니다.
10	400h	L	EXT_FAULT	PP 핀의 외부 고장. 이 고장을 트리거하려면 외부 회로가 필요합니다. 종종 2차측 V_{OUT} OV 감지에 사용됩니다.
9	200h	I	REM_OFF	PP 핀에서 원격 OFF(참고: L 핀이 사용되지 않을 경우, REM_OFF도 EXT_FAULT에서 동시에 생성됨). 고장이 활성화된 동안 스타트업 스위칭을 방지합니다.
8	X	N	x	
7	80h	A/L	LOST_FL_FAULT	FluxLink 손실은 스타트업 후 2차측 제어 모드로 인계된 후, 버스트 모드에 있지 않을 때만 모니터링됩니다. 이는 버스트 모드에 있지 않은 동안 비번경/정적 FL 신호를 XXXus 동안 관찰한 이후 발생합니다. 이 고장은 종종 2차측 바이어스가 손실될 때(BPS_UV) 트리거되며, 2차측 디바이스는 동작을 멈춥니다.

Bit	16진수 코드	고장 동작	PP 핀 오류 고장 이름	설명
6	40h	A/L	100MS_FL_FAULT	burst_off에서 FluxLink 손실(극경부하). 최소 50ms마다 버스트 패킷이 발생해야 합니다. 이 고장은 버스트 패킷이 100ms까지 도착하지 않으면 활성화됩니다. 이 고장은 종종 2차측 바이어스가 손실될 때(BPS_UV) 트리거되며, 2차측 디바이스는 동작을 멈춥니다.
5	20h	A/L	START_FAULT	1차측 모드 스위치 주파수가 FMIN 도달. 스타트업 중 FMIN에 도달하는 것은 매우 드뭅니다. 이 고장은 공진 LLC 탱크 주파수 문제 또는 잘못된 PP 핀 주파수 범위 선택을 나타낼 수 있습니다.
4	10h	A/L	PCD_SS_FAULT	스타트업 문제. 1차측 스위칭 시작부터 2차측은 32ms 이내에 웨이크업 명령을 보내야 하며, 64ms 이내에는 2차측 제어로 인계가 이루어져야 합니다. 또한 스타트업 중에 주파수 확인 수신 신호를 받아야 합니다. 이러한 것들이 발생하지 않으면 오류가 활성화됩니다. 과도한 C _{OUT} 과도한 부하 또는 불충분한 전력 공급을 나타낼 수 있습니다.
3	8h	A/L	SEC_FAULT	2차측 제어 고장은 2차측 제어에 의해 모든 2차측 고장이 선언될 때 1차측 컨트롤러에 등록됩니다. 2차측 고장에 대한 자세한 내용은 PS 핀 고장 오류 코드 표를 참조하십시오.
2	4h	A/L	SCD_2PULSE_FAULT	2차측이 2차측 제어에서 예기치 않게 2펄스 메시지를 보냅니다. 고장을 트리거하는 데는 세 개의 메시지가 필요합니다. 이 고장은 일반적으로 1차측 그라운드 문제 또는 LLC 트랜스포머에서 LSR2000C로의 자기 커플링으로 인해 발생합니다.
1	2h	A/L	I_SAFETY_LIM	로우 사이드 MOSFET의 안전 current limit 고장.
0	1h	A/L	FREQ_FAULT	주파수 확인 실패 고장. 1차측 제어(PP 선택) 주파수 범위가 2차측 컨트롤러에서 수신한 주파수 코드와 일치하지 않습니다. 잘못된 PP 핀 저항 또는 잘못된 2차측 컨트롤러 디바이스일 수 있습니다.

고장 조치:

A/L = 오토-리스타트 또는 래치 오프(표 5 PP 선택에 따라 다름), L = 래치 오프, I = 정보만 제공, N = 사용하지 않음(무시).

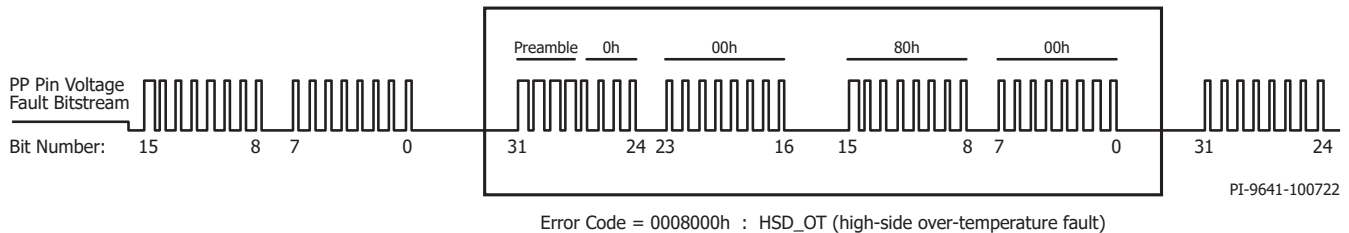
Table 3. LCS726x – 1차측 PP 핀 오류 고장 보고.

LSR2000C – 1차측 PP 핀 및 2차측 PS 핀 오류 고장 비트스트림

참고 1: 아래 PP 핀 오류 고장 코드 비트 스트림 메시지는 여러(동시) 고장 비트가 포함될 수 있습니다. 고장 비트 스트림은 고장 오프 기간 동안 PP 핀으로 반복 전송됩니다. 메시지는 처음에 비트 15에서 시작하여 비트 0으로 이어집니다. 그런 다음 MSB(비트 31) 프리앰블로 시작하여 LSB(비트 0)로 끝나는 것을 계속 반복합니다. 비트 기간 T 동안, logic-1은 2/3.T는 하이, 1/3.T는 로우이고, logic-0은 1/3.T는 하이, 2/3.T는 로우입니다.

참고 2: 마찬가지로 PS 핀 오류 고장 코드 비트 스트림 메시지는 여러(동시) 고장 비트가 포함될 수 있습니다. 고장 비트 스트림은 고장 오프 기간 동안 PS 핀으로 반복 전송됩니다. 메시지는 처음에 비트 15에서 시작하여 비트 0으로 이어집니다. 그런 다음 MSB(비트 31) 프리앰블로 시작하여 LSB(비트 0)로 끝나는 것을 계속 반복합니다. 비트 기간 T 동안, logic-1은 2/3.T는 하이, 1/3.T는 로우이고, logic-0은 1/3.T는 하이, 2/3.T는 로우입니다.

아래 예는 하이 사이드 과열 고장(HSD_OT) 동안의 1차측 PP 핀 비트스트림을 보여줍니다.



2차측 디바이스 PS 핀 오류 고장 코드

Bit	16진수 코드	고장 동작	PS 핀 오류 고장 이름	설명
31:28	X	I	1111	고정 프리앰블.
27:24	X	I	0000	고정 프리앰블.
오후 11:18	X	N	xxxxxx	
오후 5:16	X	I	FREQ_MODE_INFO	정보만 제공: 2차측 디바이스 내부 주파수 범위 0-3 값의 판독. 1차측 디바이스에서 보고된 주파수 확인 고장(FREQ_FAULT)을 디버깅하는 데 유용합니다.
오후 3:14	X	N	xx	
13	2000h	P	BPS UV FLT	BPS 저전압 고장. 2차측 컨트롤러가 작동을 멈추고 파워업 상태로 진입합니다.
12	1000h	A/L	SEC_IS_CLK_FLT	IS-핀 신호에서 슬루가 감지되지 않으면 2차측 고장이 트리거됩니다. 이 고장은 1차측 고장이 발생하고 HB가 스위칭을 멈출 때 발생하는 경우가 많습니다. 고장은 잘못된 IS-핀 부품을 나타낼 수 있습니다.
11	800h	I	SEC_FB_OV_FLT	FB 핀 과전압 고장. 참고: 이 고장은 2차측 제어에 의해만 활성화됩니다.
10	400h	N	x	
9	200h	N	x	
8:7	X	N	xx	
6	40h	A/L	SEC_OT_FAULT	2차측 컨트롤러 과열 고장. 고장이 활성화된 동안 디바이스 스위칭이 중지됩니다.
5	20h	I	SEC_PHINV_FAULT	위상 반전 고장은 스타트업 후 2차측 제어 모드로 인계된 후에만 활성화됩니다. V_{IS} 클럭은 내부 FL 클럭과 비교됩니다. 두 클럭이 $800\mu s$ 고장 타이머 동안 위상이 어긋나면 고장이 발생합니다. 위상 반전이 발생한 누적 스위칭 사이클이 필요합니다. 위상 반전이 발생하지 않은 단일 스위칭 사이클은 고장 타이머를 리셋합니다.
4:3	X	N	x	
2	4h	A/L	VOUT_UV_FLT	출력 UV 고장은 스타트업 후 2차측 모드로 인계된 후에 활성화됩니다. FB 핀이 $64ms$ 동안 $V_{FBSTN(TH)}$ 미만으로 유지되면 고장이 활성화됩니다. 이 고장은 CC 모드에서 비활성화됩니다(PPsel6, PPsel7).
1	X	N	x	
0	1h	A/L	VFB_START_FLT	2차측 스타트업 고장. 주파수 종료 확인(인계 전), 2차측 출력 전압(FB 핀으로 모니터링)에서 출력이 $64ms$ 이내에 레귤레이션에 도달하지 못하면 고장이 활성화됩니다. 이 고장은 CC 모드에서 비활성화됩니다(PPsel6, PPsel7).

고장 조치:

A = 오토-리스타트 또는 래치 오프(표 5 PP 선택에 따라 다름), P = 파워업 리셋 단계, I = 정보만 제공, N = 사용하지 않음(무시).

Table 4. LSR2000C – 2차측 PS 핀 오류 고장 보고.

PP 핀 선택	주파수 범위	고장 응답
0	0	자동 온
1	1	자동 온
2	2	자동 온
3	3	자동 온
4	0	래치 오프
5	1	래치 오프
6	2	래치 오프
7	3	래치 오프
PP 외부 고장	모든 유형	래치 오프

Table 5. 1차측 PP 핀 기능 선택 표. PP 핀 선택 저항 값은 데이터 표를 참조하십시오.

BM 핀은 HiperLCS-2가 저부하에서 작동 중임을 신호로 알리는 데 사용됩니다. 이 신호는 여러 용도 중 하나로, 돌입 전류 바이패스 릴레이를 켜거나 끄는 데 사용할 수 있습니다. PFC 부스트 전압의 설정 포인트를 변경하는 데 사용할 수도 있습니다.

FL 핀 입력은 레귤레이션, 버스트 모드, 고장과 같은 2차측 통신을 수신하는 데 사용됩니다. 이 입력은 절연 디바이스의 FL 출력에서 디지털 0-5V 신호를 수신합니다.

HiperLCS-2 2차측 절연 디바이스 작동

1차측 디바이스와의 통신

앞서 언급했듯이 1차측 디바이스는 자체적으로 스타트업되어 스위칭을 시작하며, 출력 전압이 레귤레이션 상태에 가까워질 때까지 제어권은 1차측에 남아 있습니다. 이 시점에서 2차측이 제어권을 갖게 되며(1차측 디바이스가 2차측 디바이스에 제어권을 인계) 이후 모든 스위칭은 2차측 컨트롤러에서 제어합니다.

2차측 디바이스는 FluxLink 절연 통신을 통해 1차측 디바이스와 통신합니다. 통신 명령에는 인계(즉, 2차측 디바이스가 제어권을 가짐), 하프 브리지 스위칭, 버스트 모드, 고장 조건 선언 등이 있습니다.

절연 디바이스 FL 출력은 1차측 FL 입력에 연결됩니다.

2차측 고장 처리

인계 후 2차측 디바이스는 UV 이벤트가 발생할 때까지(1차측 또는 2차측) 또는 고장이 발생할 때까지(1차측 또는 2차측) 제어 상태를 유지합니다. 이러한 UV 또는 고장 조건 하에서, 제어권은 1차측으로 돌아갑니다. 또한 이러한 조건 중 하나에서 1차측은 오토-리스타트로 진입합니다. 오토-리스타트의 경우 디바이스에는 래치(오프 조건) 또는 비래칭(즉, 오토-리스타트)의 두 가지 기능이 있습니다.

오토-리스타트 오프 타임 후 1차측 리스타트는 1차측 제어 섹션에서 앞서 설명한 대로 첫 번째 파워업과 동일합니다.

1차측은 모든 시스템 수준 고장 이벤트를 처리하는 디바이스라는 점에 유의하십시오. 모든 2차측 고장은 1차측에 보고되고 궁극적인 시스템 수준 고장 응답은 1차측에서 나옵니다.

2차측 제어

출력 전압이 레귤레이션 상태에 가까워지면서 2차측이 스위칭 제어권을 갖습니다. 2차측 제어로 전환되면 2차측 디바이스는 3개의

신호를 사용하여 페루프(closed loop) 제어를 달성합니다. FB 핀 신호는 출력 전압에서 저항 분배기를 통해 커플링됩니다. 이 FB 핀 전압은 조정된 버전의 출력 전압을 나타냅니다. FB 핀은 내부 3.75V DC 기준에 대한 오류 신호를 생성합니다. 오류 신호는 작동 트랜스-컨덕턴스(전압 입력에서 전류 출력으로) 증폭기(OTA)를 통해 오류 전류 신호 형태로 CMP 핀에 출력됩니다. OTA 증폭기의 게인은 오류 신호의 크기에 따라 달라집니다. 낮은 게인(예: 1x)은 작은 오류에 사용되지만 오류가 기준점(Threshold)을 초과하면 게인이 높은 게인(예: 4x)으로 증가합니다. 이 비선형 증폭(NLA)은 매우 빠른 대신호 과도 응답을 허용합니다.

CMP 핀은 외부 저항 커패시터 보상 네트워크(2 극점, 1 영점)에 커플링됩니다. 이 보상 네트워크는 우수한 위상-게인 응답을 달성하도록 조정되었습니다. 오류 전류 신호는 보상 네트워크에 의해 적분되고 필터링됩니다. 시스템이 레귤레이션 상태일 때 오류 전류 신호는 매우 작아야 하므로, 작은 전류가 CMP 전압(보상 네트워크)에서 미세한 변화를 일으킵니다. 누설 신호와 자화 신호 모두 해당됩니다.

IS 핀은 트랜스포머의 권선 전압을 센싱합니다. 센싱 권선은 트랜스포머의 1차측에 커플링되어(누설 신호와 자화 신호 모두), 메인 출력 전압 권선과 크기가 비슷한 전압을 생성합니다. IS 핀은 2.5V에서 내부 클램핑이 이루어집니다. 센싱 권선 전압은 AC 커플링된 다음(커패시터를 통해), 저항을 통해 전류로 변환되어 IS 핀으로 전달됩니다. 전류의 크기는 35 μ A 미만으로 낮아 시스템 손실이 최소화됩니다.

내부적으로 IS 핀 AC 커플링 전류 신호는 CMP 핀 전압과 비교됩니다. 두 가지가 교차하면 하프 사이클이 끝났음을 나타냅니다.

IS 핀 신호에는 그 외에도 1차측 입력 전류에 대한 정보가 포함되어 있습니다. 즉, 전체 시스템은 전류 모드 제어를 구현합니다. 제어 시스템은 주파수를 직접 제어하지 않고, 대신 시간 도메인에서 하프 사이클 단위로 제어합니다. 그러나 주파수는 제어 루프의 간접 함수이므로 정상 상태에서 주파수는 안정적이며 공진 탱크, 입력 전압, 출력 전력 등의 함수가 됩니다.

PS 핀 선택	버스트 기준점(Threshold) (%) **
0	15
5	~2

Table 6. 2차측 PS 핀 기능 선택 표. PS 핀 저항을 통해 선택(데이터 표 참조). **최대 연속 시스템 출력 전력의 대략적인 버스트 백분율. 저항 값은 38페이지 LSR2000 데이터 표를 참조하십시오.

버스트 모드

CMP 핀 전압은 평균 1차측 입력 전류에 대해 반비례하여 변경됩니다. CMP 전압은 시스템이 버스트 모드로 진입해야 하는 시점을 결정하는 데 사용됩니다. CMP 버스트 기준점(Threshold)은 입력 전압에 따라 보상되므로, 버스트 모드 진입점은 전체 입력 전압 범위에서 상대적으로 비슷한 전력 레벨에 있어야 합니다. HiperLCS-2에서 버스트 모드는 여러 이유로 사용됩니다. 버스트의 첫 번째 이유는 시스템 효율을 유지하는 것입니다. 풀 주파수 모드에서 시스템 효율은 자연스럽게 10% 부하 미만으로 크게 떨어집니다. 따라서 첫 번째 목표는 10%가 되기 전에 버스트 모드로 진입하는 것입니다. 레귤레이션 상태는 스위칭 빈도는 낮추며, 스위칭 하프 사이클마다 약 10%에 해당하는 전력을 지속하여 공급하는 방식으로 달성됩니다.

버스트 모드에서 두 번째 목표는 출력 레귤레이션을 유지하는 것입니다. 이는 세 가지 버스트 레귤레이션 모드를 통해 달성됩니다.

버스트 모드에서 세 번째 목표는 스위칭 주파수 엔벨로프를 LLC 트랜스포머의 오디오 공진 주파수보다 훨씬 낮게 유지하는 것입니다. 오디오/기계 공진 LLC 트랜스포머는 일반적으로 7-12kHz 범위에 있습니다. 따라서 버스트 모드에서 HiperLCS-2는 스위칭 주파수 엔벨로프를 약 1kHz 이하로 유지하려고 합니다. 트랜스포머의 오디오 공진보다 훨씬 낮으면 트랜스포머에서 노이즈가 거의 없거나 전혀 없습니다.

네 번째 목표는 레귤레이션을 잃지 않고 0-100% 부하 단계를 충족하는 기능을 유지하는 것입니다. 위의 목표를 달성하기 위해 HiperLCS-2는 버스트 모드에서 3가지 동작 모드를 사용합니다.

버스트에 진입하면 가장 높은 전력 버스트 모드를 중간 모드(IM-버스트)라고 합니다. 이 모드에서 시스템은 여전히 CMP 핀을 통해 페루프 아날로그 제어 상태에 있습니다. IM-버스트는 1.5ms 반복 주기로 오프 타임을 강제 적용하여 작동합니다. 출력 전압이 최소값(V_{OUT_MIN})으로 감소하면 IM-모드 오프 타임이 종료됩니다. 이 시점에서 스위칭이 다시 시작되고 아날로그 제어 루프가 닫혀 레귤레이션에 도달합니다. 오프-오프 타이머가 다시 1.5ms 주기에 도달할 때까지 레귤레이션이 유지됩니다. 이후 다음 번 IM-모드 오프 타임이 시작됩니다.

출력 전력 측면에서 다음 레벨은 경부하 LL-모드 버스트입니다. 이 모드에서는 CMP가 더 이상 사용되지 않습니다. 대신 내부 VCMP_BURST가 사용되는데, 여기서 VCMP_BURST는 10% 부하에 해당합니다. 출력 전압이 V_{OUT_MIN} 에 도달하면 LL-모드 버스트 스위칭이 시작됩니다. 스위칭이 계속되다가 출력 전압이 V_{OUT_MAX} 를 초과하면 종료됩니다. 이 디바이스는 전압이 다시 V_{OUT_MIN} 에 도달할 때까지 LL-오프 타임에 진입합니다. LL-버스트 스위칭 동안 각 하프 사이클은 동일한 전력을 전달하며(내부 VCMP_BURST에 의해 결정됨), 부하는 약 10%에 해당합니다.

출력 전력 측면에서 가장 낮은 버스트 레벨은 슈퍼 라이트 SL-버스트입니다. 이 모드에서 스위칭은 최대 50ms의 오프 타임 이후에 발생합니다. 시작 SL-버스트 스위칭은 50ms 오프 타임에만 의존합니다. 출력 전압이 V_{OUT_MIN} 까지 떨어지면 디바이스가 LL-버스트로 돌아갑니다. SL-버스트 스위칭 동안 버스트는 V_{OUT_MAX} 에 도달하거나 총 스위칭 시간이 60μs에 도달할 때까지 스위칭합니다.

HiperLCS-2의 버스트 모드를 사용하면 이 디바이스는 뛰어난 시스템 무부하 성능을 달성할 수 있습니다. 그러나 다른 시스템과 달리 레귤레이션 상태에서 벗어나지 않고도 0-100% 부하 단계 전체를 수용할 수 있습니다. 버스트 모드는 본질적으로 오디오 노이즈도 관리합니다. 버스트 중 출력 리플은 또한 시스템의 V_{OUT_MIN} 과 V_{OUT_MAX} 에 의해 완전히 제한됩니다. 이 디바이스는 1% 시스템 레귤레이션을 달성하며, 내부적으로 FB 핀 V_{OUT_MAX} 및 V_{OUT_MIN} 기준점(Threshold)은 V_{OUT_REG} 의 $\pm 0.65\%$ 로 고정됩니다.

SR(동기 정류기) 제어

D1, D2 핀은 SR MOSFET의 드레인 전압을 모니터링합니다. D1, D2가 그라운드 미만으로 떨어지면 SR 전도의 시작 가능성을 나타냅니다. 핀 D1, D2는 그라운드 전압 미만일 때 과도한 기판 전류를 방지하기 위해 작은 직렬 저항이 필요합니다. 특정 조건에서는 D1과 D2에 링잉이 발생할 수 있으며, 링은 일시적으로 그라운드 아래로 내려갔다가 다시 그라운드 위로 올라갈 수 있습니다. 따라서 HiperLCS-2는 학습 엔진을 사용하여 링잉을 무시합니다. 따라서 링이 필터링된 D1(또는 D2) 값이 턴온 기준점(Threshold) 아래로 내려가면 관련 SR MOSFET이 활성화됩니다. 활성화되면 D1(또는 D2) 신호가 SR MOSFET의 ON 상태 드레인-소스 전압을 모니터링합니다. 이는 전도 전류를 나타냅니다. DCM(불연속 전도 모드)의 LLC 컨버터의 경우 정류된 출력 전류(즉, 2차측에 공급되는 전력)는 하프 사이클이 끝나기 전에 0에 도달합니다. DCM(불연속 전도 모드) LLC 동작에서 감지된 D1(또는 D2)은 전류가 0에 가까워지면 SR 전도를 종료합니다. 2차측 컨트roller는 역방향 전도 전에 SR MOSFET을 끕니다. CCM(연속 전도 모드)에서 작동하는 LLC 컨버터의 경우, 전류는 하프 사이클이 끝나기 전에 0에 도달하지 않습니다. 따라서 HiperLCS-2는 역방향 SR MOSFET 전류를 방지하기 위해 하프 브리지 스위칭 전에 SR 전도를 종료합니다. 이는 하프 브리지 스위칭 신호가 2차측 컨트roller에서 발생하기 때문에 가능합니다. 따라서 2차측 컨트roller는 CCM 모드에서 샷스루가 발생하지 않도록 가능한 가장 늦은 순간에 SR MOSFET을 끌 수 있습니다. 그렇기 때문에 HiperLCS-2는 최대 SR 전도로 CCM 모드에서 안전하게 작동할 수 있습니다. 참고: CCM 모드의 1차측 및 2차측 rms 전류는 DCM 모드보다 줄어듭니다. 따라서 CCM 모드에서 안전하게 작동할 수 있으면 일반적으로 시스템 효율이 높아집니다.

SR 드라이버 전압 클램프

G1, G2 핀 각각은 LLC 2차측의 각 위상에 맞게 SR MOSFET을 구동합니다. BPS 핀 전압은 G1, G2 게이트 드라이브 출력에 구동 전류를 공급합니다. 하지만 BPS 핀은 최대 24V의 전압 범위를 수용할 수 있습니다. 이는 대부분의 SR MOSFET의 최대 게이트 내성을 초과할 수 있습니다. 또한, 대부분의 SR MOSFET은 그보다 훨씬 낮은 전압에서 완전히 전도됩니다. SR-MOSFET 게이트 충전/방전 에너지를 제한하기 위해 HiperLCS-2는 내부 전압 클램프를 제공하여 G1, G2 SR 드라이버 핀에서 최대 전압 출력을 제한합니다. 게이트 드라이브 전압은 내부적으로 최대 11.5V 또는 6.5V로 제어됩니다. 최대 전압은 디바이스의 선택된 주파수 범위에 따라 달라집니다. 주파수 범위 0, 1(90, 120kHz)에서는 11.5V가 공급되는 반면, 더 높은 주파수 범위 2, 3(180, 240kHz)에서는 6.5V 드라이브 제한이 적용됩니다. SR MOSFET 드라이브 전압을 제한하면 게이트 충전/방전 손실이 제한됩니다. 일반적으로 높은 주파수의 SR MOSFET은 구조적으로 V_{GS} 턴온 기준점(Threshold)이 낮도록 최적화되어 있어, 낮은 전압에서 완전히 전도됩니다.

레이아웃 연결 및 권장 값

PC 보드의 레이아웃을 결정할 때는 각 신호에 대한 전류 리턴 핀을 이해하여 올바른 배선 경로를 구현하는 것이 중요합니다. 다음 표에서는 일반적인 권장 외부 부품 값과 함께 해당 정보를 보여줍니다. 물론 모든 설계에서 부품 값은 특정 조건에 맞게 변경되거나 최적화될 수 있지만, 권장 값이 유용한 시작점이 되어줄 것입니다.

절연장벽	디바이스	핀	가장민감	반환핀	권장값	참고
1차측 로우 사이드 컨트롤						
Primary	LCS726x	BM		GP		
Primary	LCS726x	BPL		GD	1 μ F / 35V SMD 핀에 바로 배치. 일반적으로 47 μ F는 핀에서 더 멀리 배치.	게이트 드라이브 에너지는 이 핀에서 나옵니다. 핀에서 멀리 떨어진 곳에도 큰 BPL 핀 커패시턴스가 필요합니다.
Primary	LCS726x	5VL		GP	1 μ F / 10V SMD 핀에 바로 배치	
Primary	LCS726x	FL	**	GP (LSR2000 디바이스)		절연 디바이스 LSR2000에서 LCS726x로의 연결이 있습니다. 두 디바이스의 5VL, GP, FL 핀은 직접 연결해야 합니다.
Primary	LCS726x	PP		GP	RPP, 핀에 배치	선택 값은 데이터 표를 참조하십시오.
Primary	LCS726x	L	**	GP	4M Ω	저항을 3개 이상의 SMD 저항으로 분할합니다. 모든 저항이 L 핀 가까이에 있도록 합니다.
1차측 하이 사이드 제어						
Primary	LCS726x	BPH		HB	1 μ F / 35V SMD 핀에 바로 배치. 일반적으로 10 μ F는 핀에서 더 멀리 배치.	
Primary	LCS726x	5VH		HB	220nF / 10V SMD 핀에 바로 배치.	
Primary	LCS726x	히트싱크		S		히트싱크를 사용하는 경우 S 핀에 접지되어 있는지 확인합니다.
1차측 FluxLink						
Primary	LSR2000	5VL		GP(LSR2000)		절연 디바이스 LSR2000에서 LCS726x로의 연결이 있습니다. 두 디바이스의 5VL, GP, FL 핀은 직접 연결해야 합니다.
Primary	LSR2000	GP		GP(LCS726x)		절연 디바이스 LSR2000에서 LCS726x로의 연결이 있습니다. 두 디바이스의 5VL, GP, FL 핀은 직접 연결해야 합니다.
Primary	LSR2000	FL	**	GP(LCS726x)		절연 디바이스 LSR2000에서 LCS726x로의 연결이 있습니다. 두 디바이스의 5VL, GP, FL 핀은 직접 연결해야 합니다.

절연장벽	디바이스	Pin	가장민감	반환Pin	권장값	참고
2차측 제어						
Secondary	LSR2000	D1	**	GSA	499Ω	스위치 신호이므로 레이아웃/커플링에 주의합니다.
Secondary	LSR2000	D2	**	GSA	499Ω	스위치 신호이므로 레이아웃/커플링에 주의합니다.
Secondary	LSR2000	G1		GSA	4.7Ω	고전류 게이트 드라이브. 넓은 PC 보드 패턴으로 인덕턴스를 제한합니다.
Secondary	LSR2000	G2		GSA	4.7Ω	고전류 게이트 드라이브. 넓은 PC 보드 패턴으로 인덕턴스를 제한합니다.
Secondary	LSR2000	BPS		GSA	1μF / 35V SMD 핀에 바로 배치. 일반적으로 47μF는 핀에서 더 멀리 배치.	
Secondary	LSR2000	5VS		GSB	10μF / 10V SMD 핀에 바로 배치	참고: 이 핀은 내부 전류 스파이크가 높으므로, 핀 바로 옆에 더 큰 커패시터를 배치해야 합니다.
Secondary	LSR2000	IS	**	GSB	RIS 저항 + 470pF / 200V 커패시터	참고: RIS 저항은 일반적으로 정격 전압을 공유하는 두 개의 직렬 저항으로 분할됩니다. 직렬 저항은 외부 노이즈 커플링을 제한하기 위해 IS 핀에 가능한 한 가깝게 배치됩니다.
Secondary	LSR2000	CMP		GSB	초기 값(150k + 2.2nF) // 100pF. 모든 부품, 핀에 배치	보상 부품은 위상-게인 응답 최적화를 위해 수정이 필요할 수 있습니다.
Secondary	LSR2000	FB	**	GSB	10k 낮은 저항 값, 핀에 배치	저항 분배기 10kΩ 로우 사이드 저항은 무부하 소비와 노이즈 제거 사이에 좋은 균형을 제공하는 데 사용됩니다. 값이 낮을수록 노이즈 내성이 높아지지만 무부하 소비 전력도 증가합니다.
Secondary	LSR2000	PS		GSB	RPS, 핀에 배치	선택 값은 데이터 표를 참조하십시오.

Table 7. 데이터 시트 본문 표.

기본 레이아웃 지침

HiperLCS-2는 고주파 파워 디바이스이며, 최대 성능을 발휘하기 위해서는 회로 기판 레이아웃에 세심한 주의가 필요합니다. 바이패스 커패시터는 작용하는 핀까지의 패턴 길이를 최소화하도록 신중하게 배치해야 합니다. 부품 수와 PC 보드 스트레이 인덕턴스를 최소화하기 위해 표면 실장(SMD) 부품이 권장됩니다.

HiperLCS-2에는 아날로그 신호를 센싱하는 데 사용되는 여러 개의 민감한 핀이 있습니다. 이러한 핀과 주변 레이아웃에 특별히 주의할 기울이면 좋은 디바이스 성능을 얻을 수 있습니다.

1차측 제어에서 FL 핀과 L 핀은 모두 레이아웃에 민감할 수 있습니다.

FL 핀 출력은 본질적으로 디지털 출력이며, 이 핀에 대한 문제는 GP, FL, 5VL이 모두 1차측 및 절연 디바이스 사이에 직접 연결되도록 하는 것입니다. 접지가 올바르게 이루어지지 않으면 노이즈 픽업이 발생할 수 있습니다.

L 핀은 민감한 아날로그 입력 핀입니다. L 핀은 저항(일반적으로 4M Ω)을 통해 입력 전압을 센싱합니다. 저항은 일반적으로 일련의 SMD 저항으로 구성됩니다. 저항을 여러 디바이스로 분할하면 각 저항의 전압 스트레스가 최소화됩니다. L 핀을 VIN에 연결하는 방법에는 두 가지 다른 예가 있습니다. 첫 번째(잘못된 예)는 모든 저항을 VIN에 가깝게 배치한 다음 긴 PC 보드 패턴을 L 핀에 연결하는 것입니다. 이것은 잘못된 방식인데, 저항에서 L 핀까지의 노드가 고임피던스이므로, 긴 PC 보드 패턴을 사용하면 L 핀에 노이즈가 유입될 수 있기 때문입니다. 두 번째(올바른 예) 방법은 모든 저항을 L 핀에 가깝게 배치하고 긴 PC 보드 패턴을 VIN에 연결하는 것입니다. 이 방법은 올바른 방식인데, 저항에서 VIN까지의 노드가 매우 낮은 임피던스이므로, 노이즈를 픽업할 가능성이 매우 낮기 때문입니다. 2차측 제어에서 FB, CMP, IS, D1/D2 핀은 레이아웃에 민감할 수 있습니다.

FB 핀은 고임피던스 전압 입력 핀입니다. 저항 분배기(R_{UPPER} , R_{LOWER})를 통해 V_{OUT} 에 연결됩니다. V_{OUT} 은 저임피던스 노드이므로 긴 PC 보드 연결될 수 있습니다. R_{UPPER} 에서 R_{LOWER} 까지의 노드는 고임피던스이므로 FB 및 GSB 핀에 가능한 한 가깝고 단단히 커플링되어야 합니다. R_{LOWER} 에 대한 일반적인 권장 사항은 ~20k Ω 로, 무부하 소비 전력과 노이즈 내성 간의 좋은 절충안입니다. R_{LOWER} 를 더 줄이면 노이즈 내성은 증가하지만 무부하 소비는 증가합니다. FB 핀에 주입된 모든 노이즈는 듀티 사이클 및/또는 주파수 변화로 관찰될 수 있다는 점에 유의하십시오.

CMP 핀은 고임피던스 전류 출력 및 전압 입력 핀입니다. 1개의 저항과 2개의 커패시터로 이루어진 보상 네트워크는 CMP 핀과 GSB 핀에 가능한 한 가깝고 단단히 커플링되어야 합니다. CMP 핀에 주입된 모든 노이즈는 듀티 사이클 및/또는 주파수 변화로 관찰될 수 있습니다.

IS 핀은 전류 입력이며 핀에 강제 전압이 가해집니다. IS 핀 신호는 트랜스포머의 권선 센싱 핀에서 IS 핀에 연결된 직렬 커패시터 CIS와 저항 RIS를 통과합니다. 트랜스포머 권선 신호 핀은 먼저 CIS 커패시터에 연결한 다음 RIS 저항에 직렬로 연결해야 합니다. RIS 저항은 두 개의 SMD 저항으로 분할해야 하며, 마지막 저항은 HiperLCS-2 디바이스의 IS 핀에 직렬되어야 합니다. 트랜스포머에는 권선 센싱 신호 핀과 권선 센싱 소신호 그라운드 핀이 모두 있어야 합니다. 권선 센싱 소신호 트랜스포머 그라운드 핀은 HiperLCS-2의 GSB 핀에 연결해야 합니다. 권선 센싱 트랜스포머 신호 핀은 저임피던스 노드이므로 긴 PC 보드 연결이 될 수 있습니다. 그러나 이 패턴은 큰 크기(중간 전압)의 AC 커플링 신호를 전달합니다. 그렇기 때문에 이러한 신호들이 디바이스의 다른 소신호에 민감한 입력들로부터 멀리 떨어지도록 신경써야 합니다.

D1/D2 핀은 모두 고임피던스 전압 입력입니다. D1/D2는 저값의 저항을 통해(일반적으로 499 Ω) GSA 핀 기준의 SR MOSFET 드레인과 연결됩니다. SR MOSFET 드레인 지점은 저임피던스 노드이므로 긴 PC 보드 연결될 수 있습니다. 그러나 이 패턴은 큰 크기(중간 전압)의 AC

커플링 신호를 전달합니다. 그렇기 때문에 이러한 신호들이 디바이스의 다른 소신호에 민감한 입력들로부터 멀리 떨어지도록 신경써야 합니다.

트랜스포머 T1은 높은 di/dt 신호와 dv/dt 노이즈의 소스입니다. 높은 di/dt는 민감한 회로에 자기적으로 커플링할 수 있습니다(PC 보드 루프 신호 루프 영역 커플링). 높은 dv/dt는 정전(스트레이 커패시티브) 커플링을 통해 노이즈를 유입시킵니다. 정전 노이즈 커플링은 트랜스포머 코어를 접지하여 줄일 수 있지만, 효율을 크게 줄이지 않으면서 트랜스포머 주변의 표유자계(stray magnetic field)를 줄이는 것은 경제적으로 실행 불가능합니다. 가능한 경우 민감한 신호 경로와 부품은 노이즈 픽업을 방지하기 위해 트랜스포머에서 멀리 떨어져 있어야 합니다. 2차측 트랜스포머 메인 출력 권선은 권선 작업 전에 함께 꼬아야 합니다. 와이어를 함께 꼬면 2차측 누설의 차이가 최소화되고 권선 간의 전류 균형이 향상됩니다. 또한 중요한 것은, 트랜스포머 핀에서 종단하기 전에 모든 2차측 와이어가 함께 꼬여 있는지 확인하는 것입니다. 종단 와이어를 꼬면 와이어 루프 영역이 최소화되고, 권선이 다른 시스템 신호에 표유자속(stray flux)을 커플링하는 능력을 최소화할 수 있습니다.

HiperLCS-2 1차측 전원 핀은 S, HB, HD 핀입니다. 일부 설계와 달리 HiperLCS-2는 단일 공진 커패시터와 함께 사용하도록 설계되었습니다. 이는 일반적으로 1차측 리턴(1차측 그라운드)에 연결됩니다. 그러나 이 디바이스는 분할 공진 커패시터와 함께 사용할 때도 작동합니다. 또한 이 시스템은 C_{RES} 클램프 다이오드와 함께 사용할 수 있습니다(그라운드에서 HB로, HB에서 입력 버스로). 클램프 다이오드는 C_{RES} 전압 변동을 제한하고, 그 과정에서 컨버터 전력 하한을 설정합니다. HB 핀은 LLC 트랜스포머에 연결되고 트랜스포머는 공진 커패시터에 연결되며, 이 PC 보드 연결 경로 길이는 최소화해야 합니다. 공진 커패시터와 HiperLCS-2의 S 핀 사이의 리턴 경로(1차측 그라운드)와 공진 커패시터와 디바이스 사이의 PC 보드 연결을 최소화하도록 신경써야 합니다. HD 핀 연결에는 HD에서 1차측 그라운드(S 핀 전위)로 이어지는 로컬 디커플링 커패시터도 포함되어야 합니다. 로컬 디커플링 커패시터의 목적은 크기가 큰 스위칭 전류에 대한 경로 길이를 줄이는 것입니다.

GP 그라운드는 소신호 회로용이며 1차측 디바이스에 연결된 외부 소신호 회로의 레퍼런스로 사용됩니다. GP 그라운드는 벌크 커패시터 그라운드에 연결해서는 안 되며, 대신 GP를 HiperLCS-2 S 핀 그라운드에 내부적으로 연결해야 합니다. S 핀은 1차측 파워 그라운드에 연결됩니다. 또한 1차측 바이어스 권선 리턴과 첫 번째 바이어스 권선 커패시터도 파워 그라운드에 연결됩니다. GD 그라운드는 BPL 디커플링 커패시터에 연결하는 데만 사용되며, 내부 스위치 파워 MOSFET에 게이트 드라이브 전원을 공급합니다. GD 그라운드는 벌크 커패시터 그라운드에 연결해서는 안 되며, 대신 S 핀 그라운드에 내부적으로 연결해야 합니다.

Note:

HiperLCS-2 2차측에는 전원 핀이 하나뿐이며, 이는 GSA 핀입니다. GSA 핀은 두 SR MOSFET(SR1, SR2)의 SOURCE에 단단히 연결해야 합니다. 두 SR MOSFET은 공유 소스 연결 지점과 가능한 한 가깝게 공동 배치해야 합니다. GSA 핀은 SR1, SR2 SOURCE 핀 연결의 중간 지점에 연결해야 합니다. G1, G2 2차측 게이트 드라이버 핀은 상당한 게이트 전류를 구동하므로 길이를 짧게(그리고 동일하게) 유지해야 합니다. D1, D2 DRAIN 센싱 핀도 동일한 길이로 유지해야 합니다. SR MOSFET 소스에 연결하는 GSA 핀 연결 위치는 D1/D2 감지의 정확도를 결정합니다. 이는 DCM(불연속) 모드에서 작동할 때 SR1, SR2의 전류 센싱 턴오프 지점에 영향을 미칠 수 있습니다. 미세 조정이 필요한 경우 GSA 연결 지점을 두 MOSFET 중 하나에 더 가깝게 움직이면 SR1, SR2의 상대적 턴오프 지점을 변경할 수 있습니다. 또한, D1 또는 D2 핀과 직렬로 연결된 저항을 변경하여(RD1 또는 RD2) 두 턴오프 지점을 미세 조정할 수 있습니다. 저항은 일반적으로 499 Ω 이지만 200~1.5k Ω 범위에서 조정할 수 있습니다. 이러한 작은 변경으로 SR1 또는 SR2의 턴오프 전류를 조정할 수 있습니다(저항이 커지면 SR이 턴오프되는 전류가 증가합니다).

주요 설계 세부 사항

LLC는 다양한 기준에 맞게 최적화할 수 있습니다. HiperLCS-2는 공칭 주파수가 90, 120, 180, 240kHz인 4가지 작동 주파수 범위를 가지고 있습니다. 최고 효율을 얻는 데는 낮은 주파수 설계가 대체로 더 좋은 결과를 가져옵니다. 그러나 높은 주파수 설계도 효율 면에서는 매우 비슷합니다. 고주파 설계는 자기 크기와 공진 커패시터 크기를 줄일 수 있습니다. 대부분의 설계에는 리츠선이 권장됩니다. 주어진 설계에 대한 최적의 직경과 가닥 수는 전체 설계 과정을 지원하는 파워 인테그레이션스(Power Integrations) 설계 도구(PIXIS HiperLCS-2 스프레드시트)에서 자동으로 계산됩니다.

대부분의 설계에서 저손실 페라이트 코어는 자화 손실을 낮출 수 있으며 최상의 효율을 위해 권장됩니다. 마찬가지로, 최대 자속 밀도는 히스테리시스 자기 손실에도 강한 영향을 미칩니다.

최대 자속 밀도를 낮추면(즉, 2차측 턴 수 증가) 종종 더 높은 효율 설계를 얻을 수 있습니다(특히 높은 주파수에서).

공칭 입력 전압 및 100% 부하에서는 자화 인덕턴스(LM)를 조정하여 380VDC에서 약 250ns의 하프 브리지 슬루 레이트를 제공하는 것이 좋습니다(슬루 레이트가 ~120ns여야 하는 LCS7269Z 제외). 이러한

설계는 모든 부하와 입력 전압 조건에서 ZVS 동작을 해야 합니다. 이 목표보다 자화 인덕턴스를 낮추면 순환 전류가 높아지고 저항 손실도 높아집니다. 모든 HiperLCS-2 설계의 목표는 선택한 주파수 범위에 대해 공진 탱크가 FMAX 한계에서 ZVS 동작을 달성할 수 있도록 하는 것입니다. 이는 컨버터가 부하 과도 현상을 감지할 때(부하가 0으로 단계적으로 변할 때), 주파수가 버스트 모드로 진입하기 전에 일시적으로 FMAX 한계에 도달할 수 있기 때문에 중요합니다. 이러한 이유로 컨버터의 작동 범위에 필요한 적절한 주파수 범위를 제공하는 주파수 범위를 선택하는 것이 중요합니다. 선택한 주파수 범위의 FMIN 한계는 최저 입력 전압과 최고 부하에서 활성화된다는 점에 유의하십시오. 일반적으로 FMIN 한계는 고장 조건에서만 도달합니다.

공진 인덕턴스 LRES(또는 누설 인덕턴스라고도 함)는 최대 과부하 전력을 제공하도록 설계해야 합니다. HiperLCS-2의 경우 공칭 입력 전압 및 50% 부하에서 공진, CRM으로 작동하도록 설계를 최적화하는 것이 좋습니다. 더 높은 입력 전압에서 컨버터는 연속 모드, CCM 동작으로 진입할 수 있습니다. 일부 컨버터에서는 숏스루 위험을 초래할 수 있지만 HiperLCS-2는 숏스루 또는 기타 부적절한 컨버터 동작의 위험 없이 시스템이 CCM(연속 전도 모드)으로 진입할 수 있도록 독특하게 설계되었습니다.

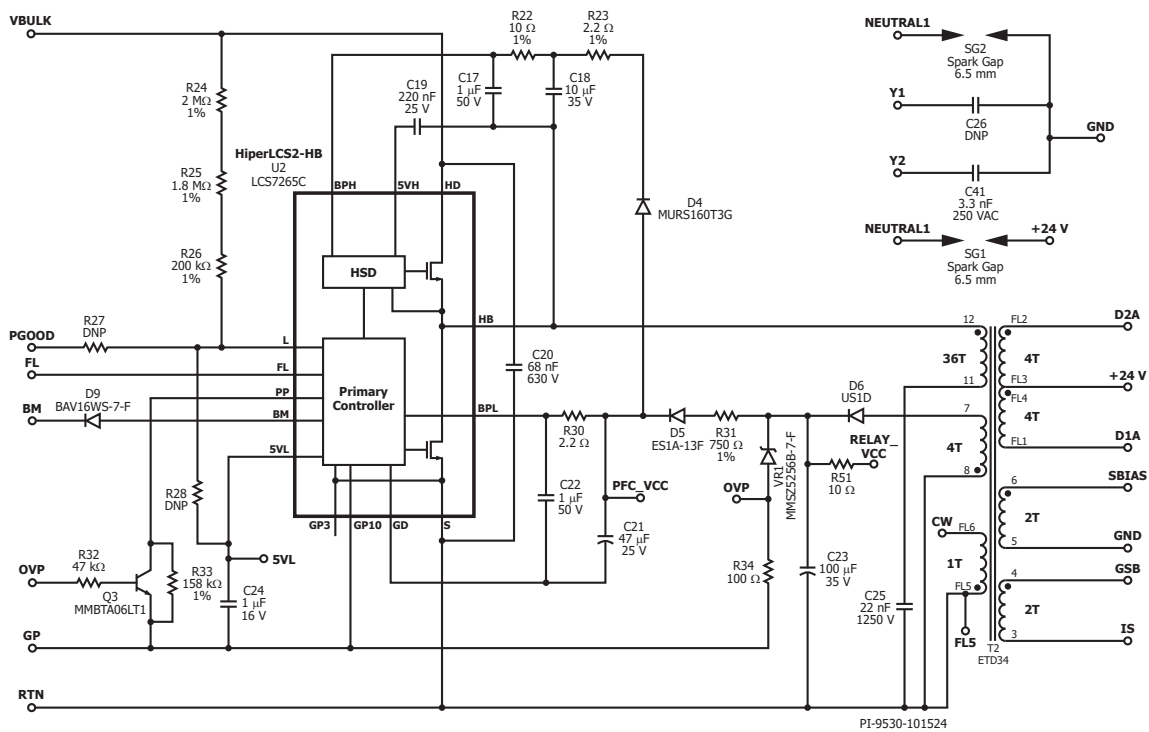


Figure 14. HiperLCS-2 Primary-Side 220 W, 24 V LCS7265C.

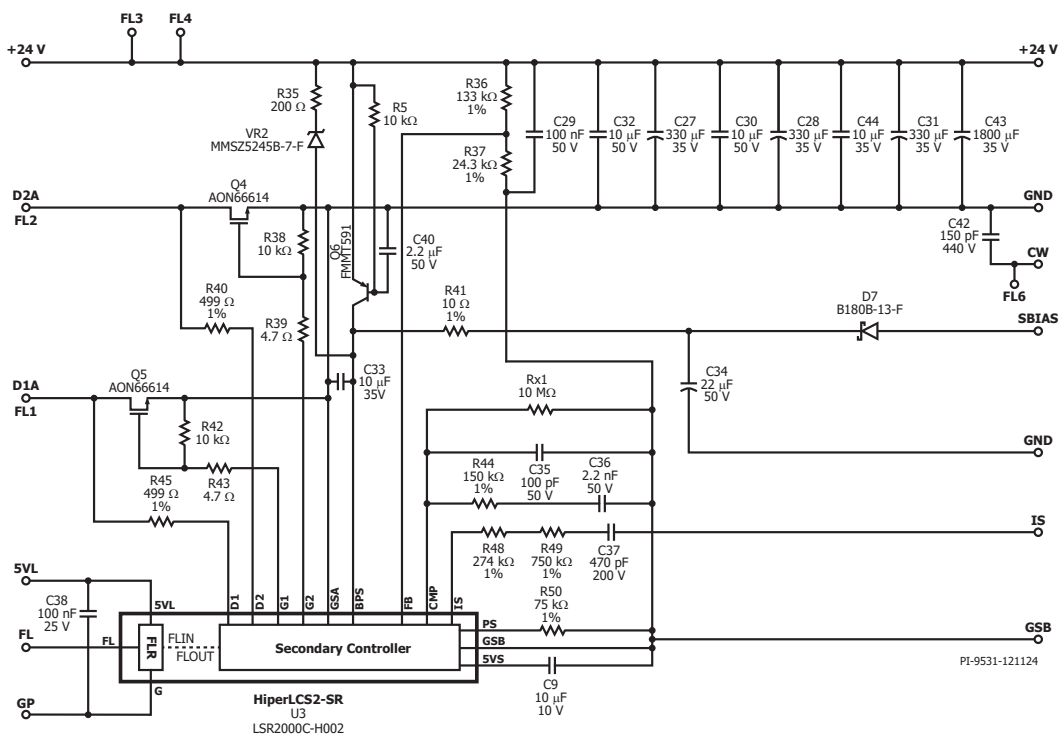


Figure 15. HiperLCS-2 Isolation and Secondary-Side 220 W, 24 V LSR2000C.

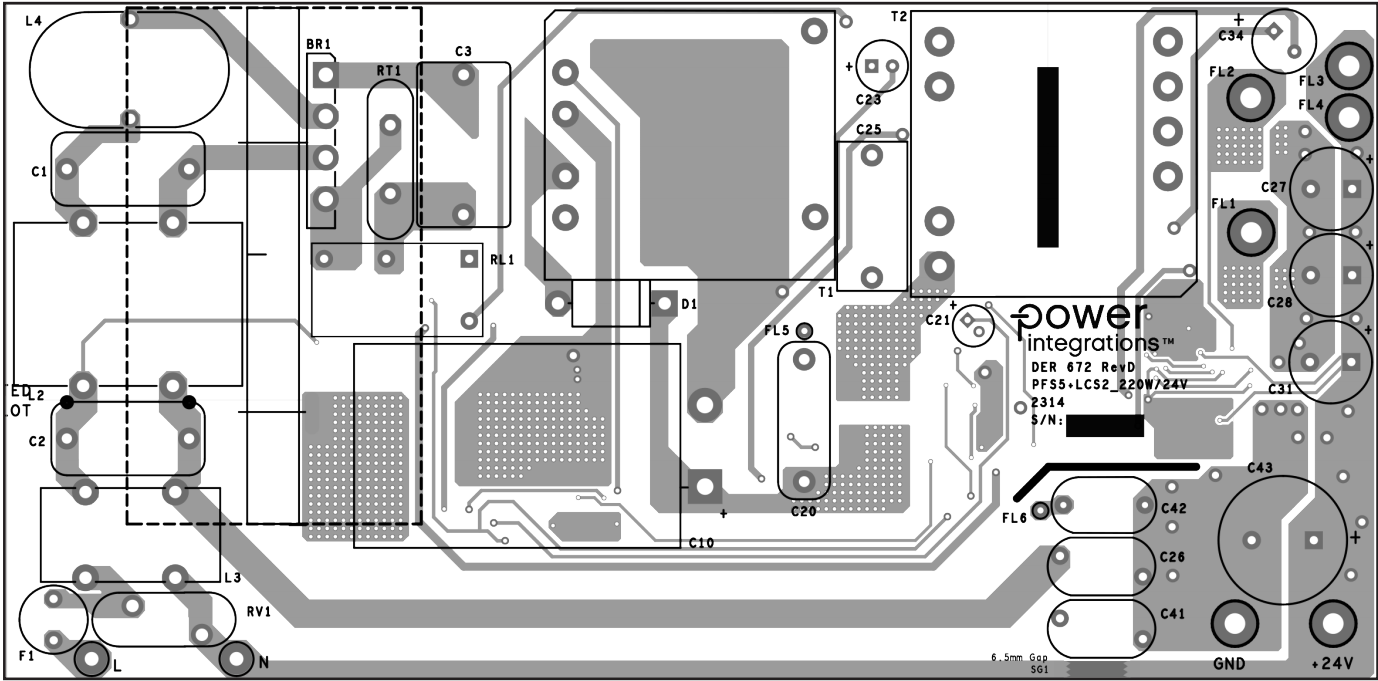


Figure 16. PCB Layout 220 W / 24 V (Top View).

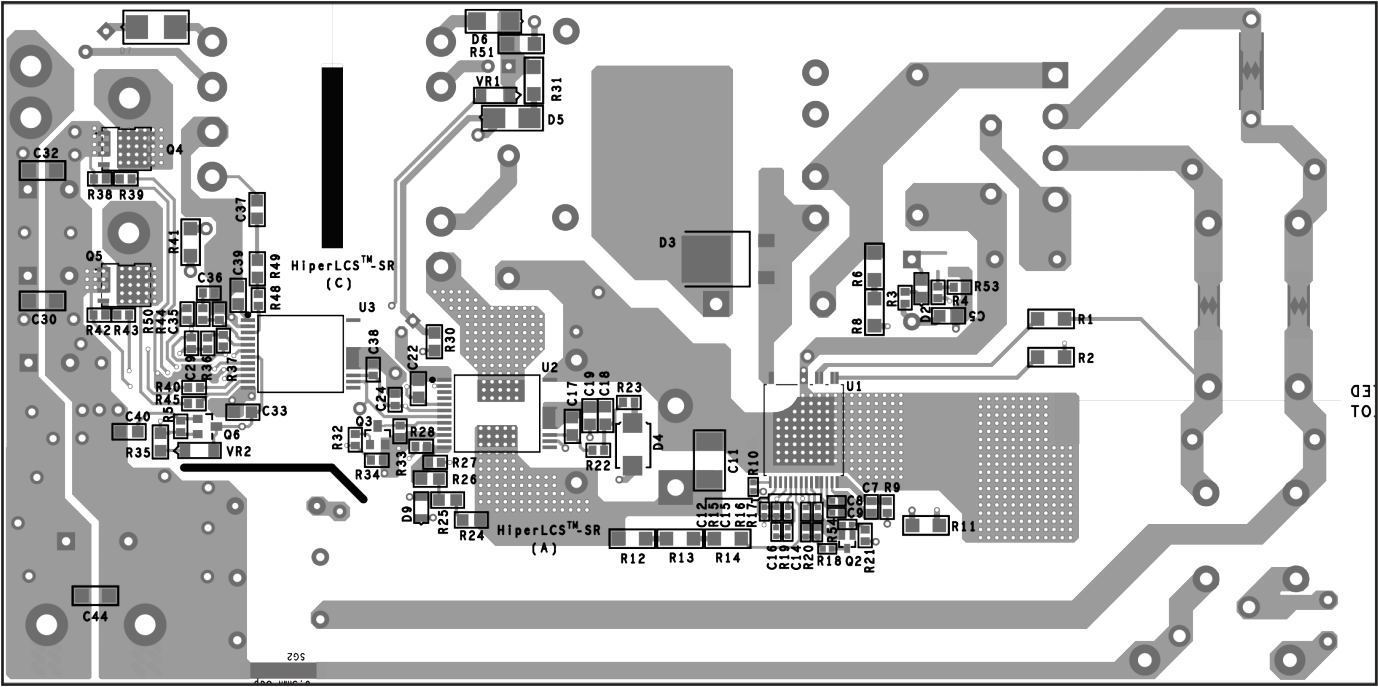


Figure 17. PCB Layout 220 W / 24 V (Bottom View).

LLC 1차측 회로도(220W/24V)

이 섹션에서는 1차측 회로도 그림 12, 13, 14를 설명합니다. 고전압 입력 버스는 커패시터 C1과 C7을 통해 필터링됩니다. 라인 센싱(L 핀)은 저항 (R24, R25, R26)을 통해 입력 버스 전압을 감지합니다. LCS2-HB(U2)는 L 핀이 UVplus 기준점(Threshold)을 감지하면 소프트 스타트를 개시합니다. 1차측에서 감지된 출력 과전압은 1차측 바이어스 권선 (트랜스포머 T2의 핀 7, 8)에서 제너 다이오드 VR1과 저항 R34를 통해 센싱되고 저항 R32와 트랜지스터 Q3를 통해 PP 핀에 커풀링됩니다. 과전압이 발생하면 제너 VR1이 전도되고 전류는 트랜지스터 Q3를 통해 PP 핀에서 그라운드로 끌려옵니다. 저항 R33은 PP 핀의 1차측 주파수 범위와 고장 응답을 프로그래밍합니다. 다이오드 D9는 BM 핀에서 커풀링되어 외부 돌입 릴레이 구동 회로를 제어하고/하거나 경부하 상태에 따라 PFC 전압을 변경할 수 있습니다. BM은 경부하 버스트 모드에서 낮은 상태로 전환된다는 점에 유의하십시오.

커패시터 C24와 C22는 각각 5VL과 BPL을 GP(소신호 1차측 그라운드)와 디커플링합니다. 1차측 리턴 파워 그라운드(RTN)는 S 핀(SOURCE), 1차측 바이어스 권선, 커패시터 C23에 연결됩니다. RTN 그라운드는 벌크 커패시터 C1, C7의 마이너스 핀에 Kelvin 연결됩니다. 레이아웃 관점에서 소신호 GP 그라운드를 시스템 파워 그라운드(RTN)와 분리하는 것이 매우 중요합니다. 참고: RTN 파워 그라운드는 시스템 노이즈 이벤트에 대한 임피던스 경로를 제공하기 위한 것으로, 2차측 커풀링 노이즈 전류를 1차측 소신호 그라운드(GP)를 방해하지 않고 RTN/벌크 커패시터 그라운드로 안전하게 전달할 수 있습니다.

다이오드 D6은 1차측 바이어스 권선 전압을 정류하고 커패시터 C23은 RTN 그라운드와 디커플링합니다. 커패시터 C22는 BPL 핀에서 (GD 그라운드와외) 로컬 고주파 사이클 간 디커플링을 제공합니다. BPL 핀은 스위칭하기 전에 커패시터 C22와 C21을 모두 충전합니다(저항 R30을 통해). 커패시터 C21은 1차측 바이어스 권선이 기어하기 전에 스타트업 스위칭을 유지하기에 충분한 에너지 저장 공간을 제공합니다. 커패시터 C21은 다이오드 D4와 저항 R23을 통해 LCS-2 하이 사이드 바이어스에 부트스트랩 에너지를 제공할 수 있도록 크기가 조정됩니다. 커패시터 C21은 또한 외부 PFC단에 스타트업 바이어스를 제공합니다. 커패시터 C21은 스타트업 시 충분한 바이어스 에너지를 제공할 수 있는 크기여야 하며, 부트스트랩에서 C21의 커패시턴스는 하이 사이드 바이어스 커패시터 C18의 커패시턴스보다 5배 넘게 커야 합니다.

저항 R30은 외부 PFC단에서 큰 전류가 소모되는 경우 BPL의 출력 전류를 제한합니다. 다이오드 D5는 블로킹 다이오드로 사용되어 바이어스 권선 활성화 전에 C23으로 가는 BPL 충전 전류를 차단합니다. 정상 동작 시 (U2) 바이어스 전류는 바이어스 권선에서 커패시터 C23으로 이동합니다. BPL 핀에는 BPL 전압을 제한하는 내부 셉트 레귤레이터가 있습니다. 저항 R31은 BPL 셉트 전압 클램핑이 활성화될 때 BPL 셉트 전류를 제한합니다. 이는 이 조건에서 BPL의 전력 소모를 제한합니다. 참고: 정상 상태 바이어스 권선 전압에 세심한 주의를 기울이십시오. 전압이 BPL 클램프 기준점(Threshold)을 초과하면 BPL 회로에서 불필요한 추가 전력 손실이 발생하여 의도치 않게 LCS-2(U2) 써멀 섯다운이 일어날 위험이 있습니다. 바이어스 권선 전압은 0에서 최대 출력 부하까지 25% 범위 내에서 달라질 수 있습니다. 최상의 무부하 성능을 위해 바이어스 권선은 무부하 조건에서 바이어스 권선에 최소 15V를 공급하도록 설계되었으며, 바이어스 권선이 BP 핀에서 21V를 크게 초과하면 셉트가 작동합니다. 하이 사이드 부트스트랩은 로우 사이드 파워 MOSFET이 켜진 기간 동안 다이오드 D4를 통해 충전된 다음, 저항 R23을 거쳐 커패시터 C18로 충전됩니다. 스타트업 시 처음 몇 번의 스위칭 사이클 동안 커패시터 C18은 일반적으로 충전되지 않은 상태에서 시작되고 저항 R23은 커패시터 C18로 부트스트랩 전류를 제한합니다. 부트스트랩

동안 C18 충전 전류는 로우 사이드 파워 MOSFET을 통해 흐르므로 저항 R23을 제거하면 스타트업 조건에서 안전 current limit이 트리거될 수 있습니다. 저항 R22와 커패시터 C17은 BPH 핀에 추가적인 저주파 필터링 기능을 제공합니다. 하이 사이드 5VH는 커패시터 C19를 통해 디커플링됩니다. 모든 하이 사이드 디커플링은 HB 핀을 기준으로 합니다.

공진 탱크 인덕터 부품 T2 핀 11/12(통합 트랜스포머에는 공진 인덕터스 LR과 자화 인덕터스 LM이 포함됨)는 HB에서 시작하여 공진 커패시터 C25를 통해 1차측 리턴 RTN(1차측 파워 그라운드)으로 직렬 연결됩니다. 커패시터 C42(RTN에 커풀링됨)는 보조 권선에서 2차측 그라운드로 반전된 1차측 권선 신호를 커풀링하여 절연 장벽을 가로지르는 커먼 모드 노이즈를 상쇄하는 데 사용되는 안전 Y 커패시터로, 전도성 EMI 방출을 줄이는 데 도움이 됩니다.

LLC 2차측(220W/24V)

이 섹션에서는 그림 15의 2차측 회로도를 설명합니다. HiperLCS2-SR(U3)에는 절연된 1차측 핀이 있습니다. 핀 5VL은 LCS2-HB에서 5VL 전압을 수신합니다. GP 핀은 1차측 소신호 그라운드(GP)에 커풀링합니다. 커패시터 C38은 U3의 5VL 핀과 GP 핀에 로컬 디커플링을 제공합니다. FL 핀은 1차측 HiperLCS2-HB에 FluxLink 신호를 제공합니다.

트랜스포머 출력 핀 T2 FL3/FL4는 커패시터 C27, C28, C29 C30, C31, C32, C43, C44에 의해 정류 및 필터링되는 플러스 출력 전압을 제공합니다. 이러한 커패시터는 결합되어 주로 시스템의 출력 리플을 정의하는 낮은 ESR을 제공하며, 이들의 결합된 커패시턴스는 원하는 버스트 오프 타임에 맞게 선택해야 합니다. 이러한 커패시터는 2차측 파워 그라운드(GND)와 디커플링됩니다. 트랜스포머 출력 핀 T2 FL1/FL2는 각각 동기 정류기 MOSFET Q4, Q5를 통해 트랜스포머 리턴 경로를 제공합니다. 2차측 전원 경로는 T2 FL3/FL4에서 커패시터 C27, C28, C29, C30, C31, C32, C43, C44를 거쳐 MOSFET Q4, Q5를 통해 트랜스포머 T2 FL1/FL2로 복귀하는 경로입니다. 참고: 두 2차측 전원 위상을 최적으로 일치시키려면 Q4와 Q5를 통한 경로 길이가 동일하도록 2차측 전원 경로를 균등하게 만드는 것이 중요합니다.

커패시터 C33은 BPS를 GSA(2차측 SR 드라이브 그라운드)와 디커플링합니다. 커패시터 C39는 5VS를 GSB(2차측 소신호 그라운드)와 디커플링합니다. 다이오드 D7과 커패시터 C34는 2차측 바이어스 권선 T2 핀 6(출력 파워 그라운드 GND 기준)을 정류하고 필터링합니다. 저항 R41은 커패시터 C33에 대한 추가 고주파 필터를 형성합니다.

스타트업 시 LCS2-HB 1차측은 LCS2-SR(U3) 2차측이 제어권을 가질 때까지 스위칭을 제어합니다. 1차측 제어 중 출력 전압은 계속 상승합니다. 2차측 BPS 전압이 UV-plus를 초과할 때부터 LCS2-SR이 시스템 제어를 맡을 준비가 될 때까지 일정 시간(T_{WAKE})이 있습니다. 일부 애플리케이션에서는 BPS(바이어스 권선 전압)가 V_{OUT}(+24V)보다 느리게 상승하여 V_{OUT}이 2차측 제어 전에 레귤레이션을 초과할 수 있습니다. 이러한 상황을 피하기 위해 부품 Q6, R5, C40은 스타트업 회로를 형성하여 2차측 바이어스 권선 활성화 전에 V_{OUT}에서 직접 BPS에 빠른 초기 바이어스를 제공합니다. 일부 설계에서는 제너 다이오드 VR2와 R35가 무부하 조건에서 출력이 레귤레이션 상태를 유지하도록 작은 더미 부하를 제공하는 데 필요할 수 있습니다.

소신호 2차측 그라운드 GSB는 피드백과 보상에 사용됩니다. 출력 전압은 저항 R36과 R37을 통해 센싱되며, GSB(소신호 2차측 접지)에 연결된 로컬 커패시터 디커플링 C29가 고주파 노이즈를 제거합니다.

보상은 CMP와 GSB 사이에 제공되며, 부품 R44, C35, C36을 통해 극점 (C36)과 영점(R44, C35), 그리고 최종 극점(C35)을 제공합니다. 트랜스포머 IS 권선 T2 핀 3은(T2 핀 4는 GSB 2차측 소신호 그라운드에 접지됨) 고주파 중간 전압 소신호를 제공하며, C37을 통해 커패시터가 커플링된 다음 저항 R48과 R49를 통해 IS 핀에 연결됩니다.

동기 MOSFET Q4 및 Q5 구동은 저항 R39, R43을 통해 G1, G2 핀에서 커플링됩니다. 드라이브 저항은 선택 사항이며 초고주파 MOSFET 드라이브 링을 제한하기 위한 것입니다. FMEA 상에서 G1, G2에서 Q1, Q2 게이트로의 연결이 개방된 조건에서는 로컬 풀다운 저항 R38, R42가 있어 MOSFET Q4, Q5가 꺼진 상태로 유지됩니다. SR-그라운드 GSA는 SR-게이트-드라이브를 반환하는 데 사용됩니다. D1, D2 핀은 각각

저항 R40과 R45를 통해 동기 정류기 Q4, Q5 드레인 전압을 센싱합니다. 저항은 그라운드 이하의 센싱 전류가 D1, D2 핀으로 흐르는 것을 제한하는 데 필요합니다. 이러한 저항 값을 늘려 SR 턴오프 기준점 (Threshold)을 조정할 수 있습니다. 저항 값을 늘리면 SR이 더 높은 SR 전류에서 턴오프됩니다. 참고: D1, D2 신호 경로는 핀 D1, D2에서 저항 R40, R45로, 그리고 SR-MOSFET(Q4, Q5)을 거쳐 (다시) GSA로 가는 경로입니다. 총 경로 길이 D1, R45, Q5, GSB 및 D2, R40, Q4, GSB는 최적의 SR 기능을 보장하기 위해 동일해야 합니다.

PS 핀 저항 R50은 버스트 기준점(Threshold) 옵션과 같은 2차측 사용자 선택을 프로그래밍합니다.

Application Example 2

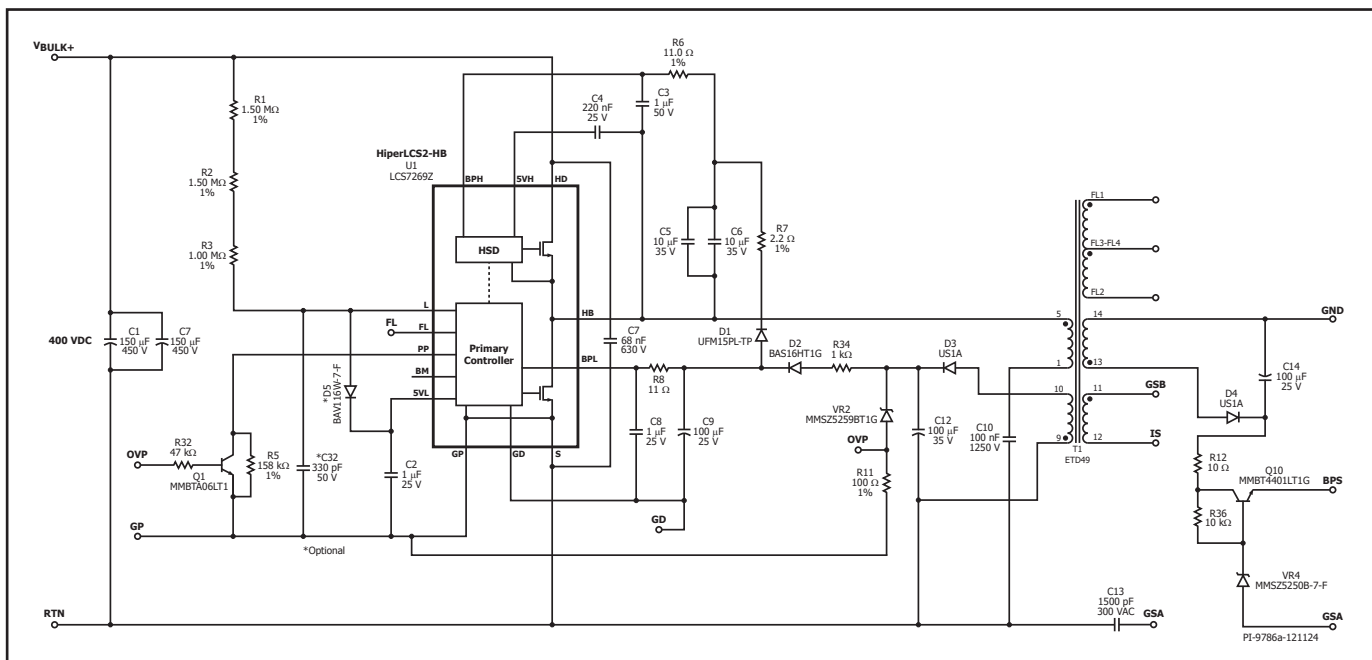


Figure 18. HiperLCS-2 Primary-Side 1650 W, 60 V LCS7269Z.

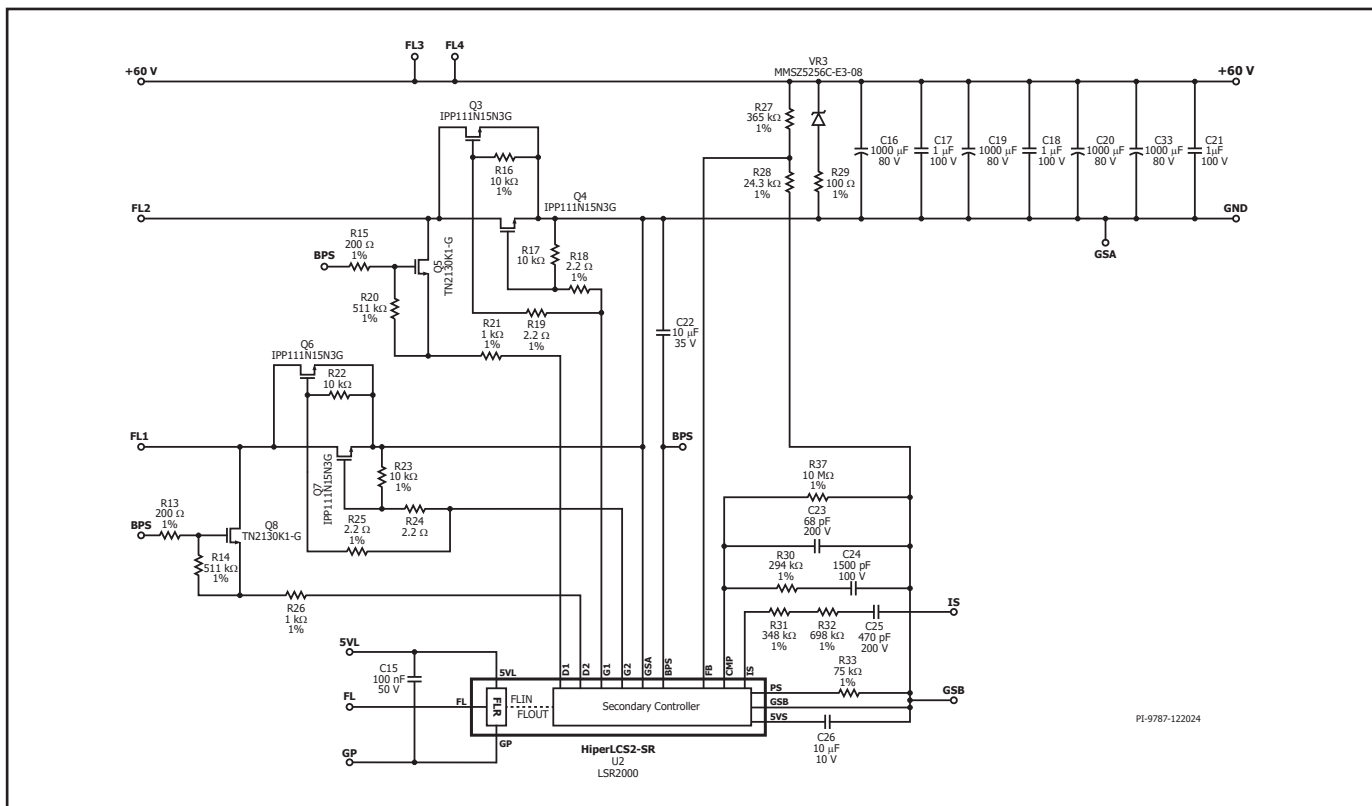


Figure 19. HiperLCS-2 Isolation and Secondary-Side 1650 W, 60 V LSR2000C.

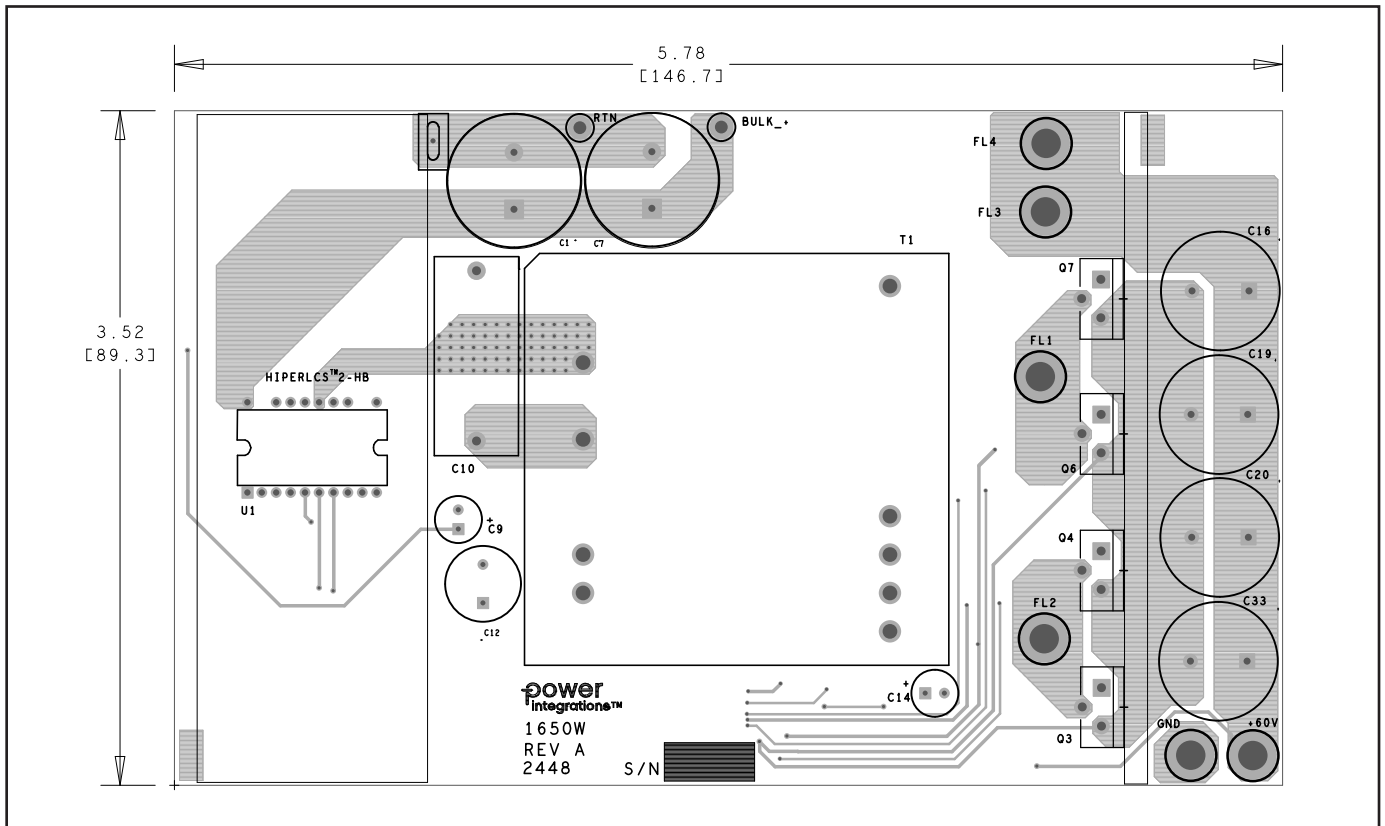


Figure 20. PCB Layout 1650 W / 60 V (Top View).

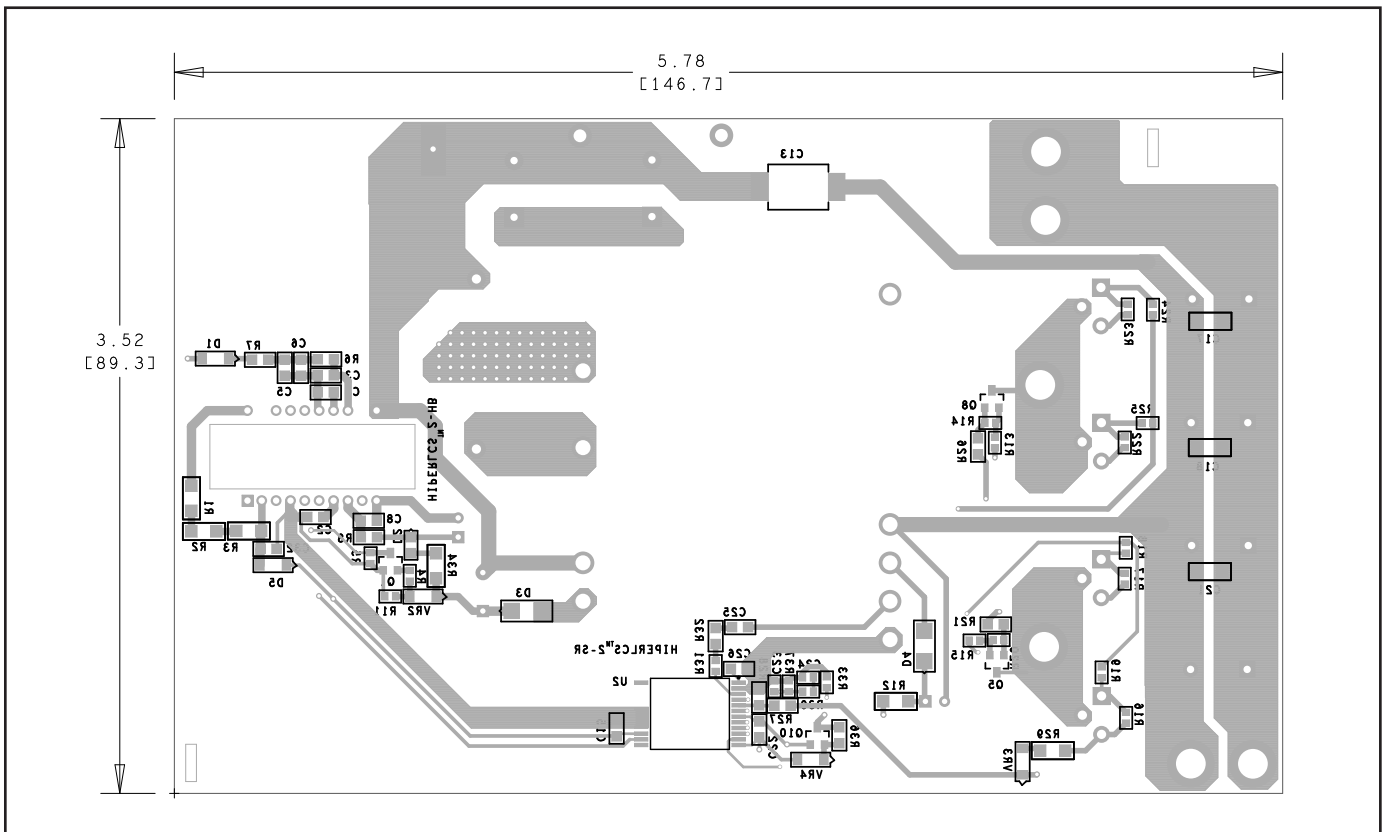


Figure 21. PCB Layout 1650 W / 60 V (Bottom View).

LLC 1차측 회로도(1650W/60V)

이 섹션에서는 1차측 회로도 그림 18을 설명합니다. 고전압 입력 버스는 커패시터 C1, C7을 통해 필터링됩니다. 라인 센싱(L 핀)은 저항 R1, R2, R3을 통해 입력 버스 전압을 감지합니다. HiperLCS2-HB(U1)는 L 핀이 UV+ 기준점(Threshold)을 초과하면 소프트 스타트를 개시합니다. 1차측에서 감지된 출력 과전압은 1차측 바이어스 권선(트랜스포머 T1의 핀 9, 10)에서 제너 다이오드 VR2과 저항 R11를 통해 센싱되고 저항 R4와 트랜지스터 Q1을 통해 PP 핀에 커풀링됩니다. 과전압이 발생하면 제너 VR2이 전도되고 전류는 트랜지스터 Q1을 통해 PP 핀에서 그라운드로 끌려옵니다. 저항 R5은 PP 핀의 1차측 주파수 범위와 고장 응답을 프로그래밍합니다. BM 핀은 커풀링되어 외부 돌입 릴레이 구동 회로를 제어하고/하거나 경부하 상태에 따라 PFC 전압을 변경할 수 있습니다. BM은 경부하 버스트 모드에서 낮은 상태로 전환된다는 점에 유의하십시오.

커패시터 C2, C8은 각각 5VL과 BPL을 GP(소신호 1차측 그라운드)와 디커플링합니다. 1차측 리턴 파워 그라운드(RTN)는 S 핀(SOURCE), 1차측 바이어스 권선, 커패시터 C12에 연결되고, 그라운드는 벌크 커패시터 C1과 C7의 마이너스 핀에 Kelvin 연결됩니다. 레이아웃 관점에서 소신호 GP 그라운드를 시스템 파워 그라운드(RTN)와 분리하는 것이 매우 중요합니다. 참고: RTN 파워 그라운드는 시스템 노이즈 이벤트에 대한 저임피던스 경로를 제공하기 위한 것으로, 2차측 커풀링 노이즈 전류를 1차측 소신호 그라운드(GP)를 방해하지 않고 RTN/벌크 커패시터 그라운드로 안전하게 전달할 수 있습니다. 다이오드 D3은 1차측 바이어스 권선 전압을 정류하고 커패시터 C12는 RTN 그라운드와 디커플링합니다. 커패시터 C8은 BPL 핀에서 GD 그라운드와의 로컬 고주파 사이클 간 디커플링을 제공합니다. BPL 핀은 스위칭하기 전에 스타트업 충전 중에 커패시터 C8과 C9를 모두 충전합니다(저항 R8을 통해). 저항 R8은 외부 PFC단에서 큰 전류가 소모되는 경우 BPL의 출력 전류를 제한합니다. 커패시터 C9는 1차측 바이어스 권선이 기여하기 전에 스타트업을 유지하기 위한 저장 공간을 제공합니다. 커패시터 C9는 다이오드 D1과 저항 R6을 통해 LCS-2 하이 사이드 바이어스에 부트스트랩 에너지를 제공할 수 있도록 크기가 조정됩니다. 커패시터 C9는 또한 외부 PFC단에 바이어스를 제공합니다. 커패시터 C9는 스타트업 시 충분한 바이어스를 제공할 수 있는 크기여야 하며, 부트스트랩에서 C9의 커패시턴스는 하이 사이드 바이어스 커패시터(C5+ C6)의 커패시턴스보다 5배 넘게 커야 합니다. 다이오드 D2는 블로킹 다이오드로 사용되어 스타트업 시 초기 BPL 충전 전류가 바이어스 권선 활성화 전에 커패시터 C12를 충전하는 데 소모되는 것을 방지합니다. 정상 동작 시 (U1) 바이어스 전류는 바이어스 권선에서 커패시터 C12으로 이동합니다. BPL 핀에는 BPL 전압을 제한하는 내부 섀트 레귤레이터가 있습니다. 저항 R34은 BPL 섀트 전압 클램핑이 활성화될 때 BPL 섀트 전류를 제한합니다. 이는 이 조건에서 BPL의 전력 소모를 제한합니다. 참고: 정상 상태 바이어스 권선 전압에 세심한 주의를 기울이십시오. 전압이 BPL 클램프 기준점(Threshold)을 초과하면 BPL 회로에서 추가 전력 손실이 발생하여 의도치 않게 LCS-2(U1) 써플 컷다운이 이어질 수 있습니다. 바이어스 권선 전압은 0에서 최대 출력 부하까지 25% 범위 내에서 달라질 수 있습니다. 최상의 무부하 성능을 위해 바이어스 권선은 무부하 조건에서 바이어스 권선에 최소 15V를 공급하도록 설계되었으며, 바이어스 권선이 BPL 핀에서 21V를 크게 초과하면 섀트가 작동합니다.

하이 사이드 부트스트랩은 로우 사이드 파워 MOSFET이 켜진 기간 동안 다이오드 D1를 통해 충전된 다음, 저항 R7을 거쳐 커패시터 C5와 C6으로 충전됩니다. 스타트업 시 처음 몇 번의 스위칭 사이클 동안 커패시터 C5와 C6은 일반적으로 충전되지 않은 상태에서 시작되며, 저항 R7은 커패시터 전압이 완전히 고갈되면 커패시터 C5와 C6으로 흐르는 전류를 제한합니다. 초기 부트스트랩 동안 C5, C6 충전 전류는 로우 사이드 파워 MOSFET을 통해 흐르므로 저항 R7을 제거하면

최악의 조건에서 안전 current limit이 트리거될 수 있습니다. 저항 R6과 커패시터 C3은 BPH 핀에 추가적인 저주파 필터링 기능을 제공합니다. 하이 사이드 5VH는 커패시터 C4를 통해 디커플링됩니다. 모든 하이 사이드 디커플링은 HB 핀을 기준으로 합니다. 공진 탱크 인덕터 부품 T1 핀 1/5(통합 트랜스포머에는 공진 인덕터 LR과 자화 인덕터스 LM이 포함됨)는 HB에서 시작하여 공진 커패시터 C10를 통해 1차측 리턴 RTN(1차측 파워 그라운드)으로 직렬 연결됩니다.

LLC 2차측 회로도(1650W/60V)

이 섹션에서는 2차측 회로도 그림 19를 설명합니다. HiperLCS2-SR(U2)에는 절연된 1차측 핀이 있습니다. 핀 5VL은 LCS2-HB(U1)에서 5VL 전압을 수신합니다. GP 핀은 1차측 소신호 그라운드(GP)에 커풀링합니다. 커패시터 C15는 U2의 5VL 핀과 GP 핀에 로컬 디커플링을 제공합니다. FL 핀은 1차측 HiperLCS2-HB에 FluxLink 신호를 제공합니다.

트랜스포머 출력 핀 T1 FL3/FL4는 커패시터 C16, C17, C18, C19, C20, C21, C33에 의해 정류 및 필터링되는 플러스 출력 전압을 제공합니다. 이러한 커패시터는 결합되어 주로 시스템의 출력 리플을 정의하는 낮은 ESR을 제공하며, 이들의 결합된 커패시턴스는 원하는 버스트 오프 타임에 맞게 선택해야 합니다. 이러한 커패시터는 2차측 파워 그라운드(GND)와 디커플링됩니다.

트랜스포머 출력 핀 T1 FL1/FL2는 각각 동기 정류기 MOSFET Q3, Q4, Q6, Q7에 대한 리턴 경로를 제공합니다. 2차측 전원 경로는 T1 FL3/FL4에서 커패시터 CC16, C17, C18, C19, C20, C21, C33를 거쳐 MOSFET Q3, Q4, Q6, Q7를 통해 트랜스포머 T1 FL1/FL2로 복귀하는 경로입니다. 참고: 두 2차측 전원 위상을 최적으로 일치시키려면 Q3, Q4와 Q6, Q7를 통한 경로 길이가 동일하도록 2차측 전원 경로를 균등하게 만드는 것이 중요합니다.

트랜스포머 T1 핀 13은 다이오드 D4와 커패시터 C14에 전원을 공급하여 2차측 바이어스 권선을 정류 및 필터링하고 T1/14 및 2차측 파워 그라운드(GND)로 복귀합니다. R12, R36, Q10, VR4 부품은 전압 레귤레이터를 형성하여 BPS에 제한된 바이어스 전압을 제공합니다. VR4는 2차측 SR-드라이브 그라운드(GSA)로 복귀합니다.

커패시터 C22은 BPS를 GSA(2차측 SR 드라이브 그라운드)와 디커플링합니다. 커패시터 C26는 5VS를 GSB(2차측 소신호 그라운드)와 디커플링합니다.

트랜스포머 T1 핀 13은 다이오드 D4와 커패시터 C14에 전원을 공급하여 2차측 바이어스 권선을 정류 및 필터링한 다음 T1/14와 GND(2차측 파워 그라운드)로 복귀합니다. 부품 R12, R36, Q10, VR4(GSA 2차측 SR-드라이브 그라운드에 연결됨)는 전압 레귤레이터를 형성하여 BPS에 제한된 바이어스 전압을 제공합니다. 이는 원하는 바이어스 권선 턴 수가 이산적인 단계 사이에 있는 설계에 유용합니다. 제너 다이오드 VR3과 R29는 무부하 조건에서 출력이 레귤레이션되도록 보장하기 위해 작은 더미 부하를 제공해야 할 수 있습니다. 출력 전압은 저항 R27과 R28을 통해 센싱되어 GSB(2차측 소신호 그라운드)로 돌아갑니다. 참고: GSB에 대한 로컬 소스 커패시터 디커플링은 고주파 노이즈를 제거하는 데 도움이 될 수 있습니다.

소신호 2차측 그라운드 GSB는 피드백, 보상, IS 핀 신호의 그라운드로 사용됩니다. SR-그라운드 GSA는 SR-게이트-드라이브를 반환하는 데 사용됩니다. 보상은 CMP와 GSB 사이에 제공되며, 부품 R30, C24, C23을 통해 극점(C24, R30)과 영점(R30, C23), 그리고 최종 극점(C23)을 제공합니다. 트랜스포머 IS 권선 T2 핀 12(T2 핀 11은 GSB에 접지됨)는 고주파 중간 전압 소신호를 제공하며, C25를 통해 커패시터가 커풀링된 다음 저항 R32과 R31를 통해 IS 핀에 연결됩니다.

D1, D2 핀은 저항 R21, R26을 통해 동기 정류기 Q3, Q4, Q6, Q7 드레인 전압을 센싱합니다. 저항은 그라운드 이하의 센싱 전류가 D1, D2 핀으로 흐르는 것을 제한하는 데 필요합니다. 이러한 저항 값을 늘려 SR 턴오프 기준점(Threshold)을 조정할 수 있습니다. 저항 값을 늘리면 SR이 더 높은 SR 전류에서 턴오프됩니다.

MOSFET Q5, Q8은 SR 턴오프 동안 블로킹 FET 역할을 하여 V(R21)과 V(R26)의 최대 전압을 약 BPS(BPS + Q5, Q8 기준점(Threshold)) 전압으로 제한합니다. V(D1), V(D2)의 일반적인 최대 전압은 약 $2 \times V_{OUT}$ 입니다. D1, D2 핀의 최대 핀 정격 전압은 150V(또는 80% 디레이팅 시 ~120)입니다.

이 Q5, Q8 전압 제한 회로는 $2 \times V_{OUT} \geq 120V$ 인 설계에 권장됩니다.

동기 MOSFET Q3, Q4, Q6, Q7 드라이브는 저항 R18, R19, R24, R25를 통해 G1, G2 핀에서 커플링됩니다. 드라이브 저항은 선택 사항이며 초고주파 MOSFET 드라이브 링을 제한하기 위한 것입니다. FMEA 상에서 G1, G2에서 Q3, Q4, Q6, Q7 게이트로의 연결이 개방된 조건에서는 로컬 플다운 저항 R16, R17, R22, R23이 있어 MOSFET Q3, Q4, Q6, Q7이 꺼진 상태로 유지됩니다.

PS 핀 저항 R33은 버스트 기준점(Threshold)과 같은 2차측 사용자 선택을 프로그래밍합니다.

최대 정격 절대값^{1,2} – LCS726xC 및 LCS726xZ

HD 핀 전압 ²	-1.3 V ~ 600 V
HB 핀 전압 ²	 -1.3V~600V
HB 핀 피크 전류 ^{4,5} :	
LCS7260C	2.9A
LCS7262C	5.8A
LCS7265C	10.9A
LCS7265Z	10.9A
LCS7268Z	17.5A
LCS7269Z	34.8A
BPH 핀 전압 ^{3,5}	-0.3V~27V
BPL 핀 전압 ⁵	 -0.3V ~ 27 V
BPL 핀 전류	50 mA
5VH 핀 전압 ³	-0.3~6V
5VL 핀 전압	-0.3~6V
FL, PP 핀 전압	-0.3~6V
BM 핀 전압	-0.3~6V
BM 핀 전류	10mA
L 핀 전압	-0.3V~600V
L 핀 전류	1mA
S 핀 - GP 또는 GD 핀 전압	±0.33V
정션 온도 ⁵ :	
FREDFET	-40°C~160°C
드라이버	-40°C~150°C
보관 온도	-65°C~150°C
주변 온도	-40°C~105°C
리드 온도	260°C

참고:

1. 지정된 최대 정격은 제품에 영구적인 손상을 초래하지 않는 한도 내에서 일회적으로 측정된 결과입니다. 지정된 시간보다 오랫동안 최대 정격 절대값 조건에 노출하면 제품 신뢰성에 영향을 미칠 수 있습니다.
2. 모든 전압은 특별히 언급하지 않는 한 로우 사이드 소스 S와 신호 그라운드 GP, GD를 기준으로 합니다($T_A = 25^\circ\text{C}$).
3. 하프 브리지 연결 HB를 기준으로 합니다($T_A = 25^\circ\text{C}$).
4. 25°C 케이스 및 125°C 정션 온도에서 계산된 FREDFET당 연속 DC 출력 전류입니다.
5. 일반적으로 내부 회로에 의해 제한됩니다.

열 저항

열 저항:	InSOP-24C 패키지
	LCS7260C(θ_{JA})..... 74°C/W ¹ , 59°C/W ²
	LCS7262C(θ_{JA})..... 68°C/W ¹ , 53°C/W ²
	LCS7265C(θ_{JA})..... 63°C/W ¹ , 51°C/W ²
	POWeDIP-20B 패키지
	LCS7265Z($\theta_{JC(HB \text{ 또는 } HD)}$)..... 1.8°C/W ³
	LCS7268Z($\theta_{JC(HB \text{ 또는 } HD)}$)..... 1.3°C/W ³
	LCS7269Z($\theta_{JC(HB \text{ 또는 } HD)}$)..... 0.9°C/W ³

참고:

1. 개별 노출 패드(HB 또는 HD), 232mm²(0.36평방인치), 610g/m² (2온스) 동판에 납땜.
2. 개별 노출 패드(HB 또는 HD), 645mm²(1.0평방인치), 610g/m² (2온스) 동판에 납땜.
3. 접합부에서 케이스(POWeDIP)까지의 최대 열 저항 $\theta_{JC(HB \text{ 또는 } HD)}$ 는 각 HB 또는 HD 스위치 아래에서 측정됩니다. 결합된 패키지 $\theta_{JC(TOTAL)}$ 은 HB 또는 HD 스위치의 병렬 조합이며, $\theta_{JC(TOTAL)} = \theta_{JC(HB \text{ 또는 } HD)} / 2$ 로 계산할 수 있습니다.

POWeDIP는 M2 x 0.4 나사와 M2 금속 와셔를 사용하여 장착합니다. POWeDIP 패키지와 히트싱크 사이에는 써멀 그리스를 사용합니다. 패키지가 중앙에 있는지 확인하고 다음 순서에 따라 패키지를 히트싱크에 조립합니다.

- a. 첫 번째 나사를 0.3in-lb까지 가볍게 조입니다.
- b. 두 번째 나사를 0.3in-lb까지 조입니다.
- c. 첫 번째 나사를 다시 최대 1.0in-lb로 조입니다.
- d. 두 번째 나사를 다시 최대 1.0in-lb로 조입니다.

Parameter	Symbol	Conditions		Min	Typ	Max	Units
		$T_{JC} = 0\text{ }^{\circ}\text{C to } 100\text{ }^{\circ}\text{C}$ BP = BPH = 18 V (Unless Otherwise Specified)					
Primary High-Side Controller/Driver							
BPH Pin							
BPH-HB Undervoltage Start Threshold	$V_{BPH(UV+)}$			12.4	13.2	14	V
BPH-HB Undervoltage Stop Threshold	$V_{BPH(UV-)}$			10.15	10.8	11.3	V
BPH-HB Start/Stop Hysteresis	$V_{BPH(UV)(HYST)}$				2.4		V
BPH (HD) Charge Output Current	$I_{BPH(CH)}$				-1.3		mA
BPH-HB UV to Shunt Spacing	$V_{BPH(SHGAP)}$	See Note D			9		V
BPH-HB Shunt Onset Voltage	$V_{BPH(SHON)}$	$I_{BPHSH} = 250\text{ }\mu\text{A}$		23.00	24.48	26.35	V
BPH-HB Shunt Max Voltage	$V_{BPH(SHMX)}$	$I_{BPHSH} = 26\text{ mA}$		23.50	24.55	27	V
BPH Shunt Current	$I_{BPH(SH)}$			0		26	mA
BPH Pin Current Consumption Switching	$I_{BPH(SW)}$	$F_{SW} = 208\text{ kHz}$	LCS7260C	1.4	1.7	2.0	mA
			LCS7262C	1.9	2.2	2.5	mA
			LCS7265C	3.0	3.3	3.6	mA
			LCS7265Z	2.7	3.10	3.4	mA
			LCS7268Z	3.9	4.45	5.1	mA
			LCS7269Z	6.7	8.00	10	mA
BPH Pin Current Non-Switching Consumption	$I_{BPH(NSW)}$	No switching $V_{BPH} > V_{BPH(UV+)}$		90	115	150	μA
5VH Pin							
5VH-HB Power-Up Threshold	$V_{5VH(UV+)}$	See Note A		4.85	4.9	4.99	V
5VH-HB Power-Up Threshold	$V_{5VH(UV-)}$	See Note A		4.45	4.55	4.7	V
5VH-HB Power-Up Hysteresis	$V_{5VH(UV)(HYST)}$	See Note A		0.3	0.35	0.4	V
5VH-HB Output Voltage	V_{5VH}	$I_{5VH} = 0\text{ mA}$			5.17		V
Primary Low-Side Controller/Driver							
BPL Pin							
BPL Undervoltage Start Threshold	$V_{BPL(UV+)}$			13	13.7	14.3	V

Parameter	Symbol	Conditions T _{JC} = 0 °C to 100 °C BP = BPH = 18 V (Unless Otherwise Specified)		Min	Typ	Max	Units
Primary Low-Side Controller/Driver (cont.)							
BPL Undervoltage Stop Threshold	V _{BPL(UV-)}			10.4	11.4	12	V
BPL Start/Stop Hysteresis	V _{BPL(UV)(HYST)}				2.3		V
BPL (HD) Low Charge Current	I _{BPL(CH)LO}	V _{HB} = 50 V, V _{BP} = 0 V		-2.5	-1.9	-1.55	mA
BPL (HD) Charge Output Current	I _{BPL(CH)}	V _{HB} = 50 V, V _{BP} = 10 V		-10	-7.7	-4.2	mA
BPL UV to Shunt Spacing	V _{BPL(SHGAP)}	See Note D			9		V
BPL Shunt Onset Voltage	V _{BPL(SHON)}	I _{BPLSH} = 500 μA		20	21.61	23	V
BPL Shunt Max Voltage	V _{BPL(SHMX)}	I _{BPLSH} = 26 mA		20	21.83	23.50	V
BPL Pin Current Switching Consumption	I _{BPL(SW)}	F _{SW} = 208 kHz	LCS7260C	2.4	2.7	3.2	mA
			LCS7262C	3	3.3	3.6	mA
			LCS7265C	4.1	4.5	5.0	mA
			LCS7265Z	3.6	4.2	6.2	mA
			LCS7268Z	5.3	6	7	mA
			LCS7269Z	8	10.9	13.7	mA
BPL Pin Current Non-Switching Consumption	I _{BPL(NSW)}	No switching V _{BPL} > V _{BPL(UV+)}		600	780	950	μA
5VL Pin							
5VL Power-Up Threshold	V _{5VL(UV+)}	C5VL = 1 μF / 10 V ceramic See Note A		4.85	4.9	4.99	V
5VL Power-Up Threshold	V _{5VL(UV-)}	C5VL = 1 μF / 10 V ceramic See Note A		4.45	4.55	4.70	V
5VL Power-Up Threshold	V _{5VL(HYST)}	C5VL = 1 μF / 10 V ceramic See Note A		0.30	0.35	0.40	V
5VL Output Voltage	V _{5VL}	I _{5VL} = 0 mA			5.15		V
BM Pin							
BM – On Trigger Period (no FL)	T _{BM(ON)}	See Note A			5		ms
BM – On Trigger Debounce	T _{BM(DB)}	See Note A			5		sec
BM – Off Trigger Period (FL present)	T _{BM(OFF)}	See Note A			2		ms
BM – Current Source	I _{BM(SRC)}	BM Driving High, V _{BM} = 0 V See Note A, C			-19		mA
BM – Current Sink	I _{BM(SNK)}	BM Driving Low, V _{BM} = V _{5VL} See Note A			24		mA
BM – On-Output Voltage	V _{BM(ON)}	I _{BM} = - 2 mA		4.2	4.65		V
BM – Off-Output Voltage	V _{BM(OFF)}	I _{BM} = + 2 mA			0.005	0.1	V

Parameter	Symbol	Conditions T _{JC} = 0 °C to 100 °C BP = BPH = 18 V (Unless Otherwise Specified)	Min	Typ	Max	Units
Primary Low-Side Controller/Driver (cont.)						
FL Pin						
FL – Logic 1 Input High-Voltage	V _{FL(IH)}			3.2	4.2	V
FL – Logic 0 Input Low-Voltage	V _{FL(IL)}		1.2	1.5		V
L Pin						
L Pin Breakdown Voltage	V _{L(BV)}	L Pin Disabled (Burst Off-State)	600			V
L Pin UV Stop Threshold Current	I _{L(UV-)}		44	49	54	μA
L Pin UV Restart Threshold Current	I _{L(UV+)}		58	63.5	69	μA
L Pin OV Restart Threshold Current	I _{L(OV-)}		98	108	118	μA
L Pin OV Stop Threshold Current	I _{L(OV+)}		110	123	135	μA
L Pin UV Hysteresis Current	I _{L(UV)(HYST)}		12.0	14.6	17.2	μA
L Pin OV Hysteresis Current	I _{L(OV)(HYST)}		12.5	15.2	18.2	μA
L Pin Sink Current	I _{L(SNK)}	See Note A, C	200			μA
L Pin Sink Voltage UV Stop	V _{L(SNK)(UV-)}	I _{L(SNK)} = I _{L(UV-)}		1.6		V
L Pin Sink Voltage UV Start	V _{L(SNK)(UV+)}	I _{L(SNK)} = I _{L(UV+)}		1.7		V
L Pin Sink Voltage OV Start	V _{L(SNK)(OV-)}	I _{L(SNK)} = I _{L(OV-)}		2.0		V
L Pin Sink Voltage OV Stop	V _{L(SNK)(OV+)}	I _{L(SNK)} = I _{L(OV+)}		2.1		V
PP Pin						
PP Pin Remote-Off Threshold	I _{PP(REM-)}		-17	-13.5	-10	μA
PP Pin Remote-On Threshold	I _{PP(REM+)}		-47	-39	-32	μA
PP Pin Remote-On/Off Hysteresis	I _{PP(REM)(HYST)}		20	25.5	31	μA
PP Pin Remote-On Voltage	V _{PP(REM+)}			0.81		V
PP Pin Remote-Off Voltage	V _{PP(REM-)}			0.86		V
PP Pin Fault Clear Threshold	I _{PP(FLT-)}		-93	-79	-66	μA
PP Pin Fault Assert Threshold	I _{PP(FLT+)}		-95	-81	-68	μA

Parameter	Symbol	Conditions T _{JC} = 0 °C to 100 °C BP = BPH = 18 V (Unless Otherwise Specified)		Min	Typ	Max	Units
Primary Low-Side Controller/Driver (cont.)							
PP Pin Remote-On/Off Hysteresis	I _{PP(FLT)(HYST)}				1		μA
PP Pin Fault Assert Voltage	V _{PP(FLT+)}				0.75		V
PP Pin Selection0 Resistor	R _{PP(SEL0)}	Required Resistor 1% E96 series			59		kΩ
PP Pin Selection1 Resistor	R _{PP(SEL1)}	Required Resistor 1% E96 series			158		kΩ
PP Pin Selection2 Resistor	R _{PP(SEL2)}	Required Resistor 1% E96 series			226		kΩ
PP Pin Selection3 Resistor	R _{PP(SEL3)}	Required Resistor 1% E96 series			316		kΩ
PP Pin Selection4 Resistor	R _{PP(SEL4)}	Required Resistor 1% E96 series			412		kΩ
PP Pin Selection5 Resistor	R _{PP(SEL5)}	Required Resistor 1% E96 series			536		kΩ
PP Pin Selection6 Resistor	R _{PP(SEL6)}	Required Resistor 1% E96 series			715		kΩ
PP Pin Selection7 Resistor	R _{PP(SEL7)}	Required Resistor 1% E96 series			1020		kΩ
HB MOSFET							
HB-S Breakdown Voltage Rating	V _{HBS(BV)}			600			V
HB-S Reverse Voltage Rating	V _{HBS(BV)}	See Note A		-1.5			V
HB Start-Up PreCharge Current to S Pin	I _{HB(PRE)}				2		mA
HB R _{DS(ON)}	R _{DS(ON)}	I _{HB} = 0.8 A, T _{JS} = 25 °C, 400 μs Single Pulse	LCS7260C		1.49		Ω
		I _{HB} = 1.6 A, T _{JS} = 25 °C, 400 μs Single Pulse	LCS7262C		0.73		Ω
		I _{HB} = 3.2 A, T _{JS} = 25 °C, 400 μs Single Pulse	LCS7265C		0.41		Ω
		I _{HB} = 3.2 A, T _{JS} = 25 °C, 400 μs Single Pulse	LCS7265Z		0.41		Ω
		I _{HB} = 4.8 A, T _{JS} = 25 °C, 400 μs Single Pulse	LCS7268Z		0.26		Ω
		I _{HB} = 9.8 A, T _{JS} = 25 °C, 400 μs Single Pulse	LCS7269Z		0.13		Ω

Parameter	Symbol	Conditions $T_{JC} = 0\text{ }^{\circ}\text{C to } 100\text{ }^{\circ}\text{C}$ BP = BPH = 18 V (Unless Otherwise Specified)		Min	Typ	Max	Units
Primary Low-Side Controller/Driver (cont.)							
HB MOSFET							
Combined HB Q_{oss} (0 .. 480 VDC)	$Q_{HB(480V)}$	$V_{GS} = 0\text{ V}, V_{DS} = 0 - 480\text{ V},$ See Note D	LCS7260C	40	50	60	nC
			LCS7262C	81	100	120	nC
			LCS7265C	153	189	225	nC
			LCS7265Z	153	189	225	nC
			LCS7268Z	245	302	360	nC
			LCS7269Z	490	604	720	nC
HB Safety Current Limit	$I_{HB(SFTY)}$	See Note C	LCS7260C		2.7		A
			LCS7262C		5.4		A
			LCS7265C		10.1		A
			LCS7265Z		10.1		A
			LCS7268Z		16.2		A
			LCS7269Z		32.4		A
HB Start-Up Current Limit	$I_{HB(10VL)}$	See Note C	LCS7260C		1.9		A
			LCS7262C		3.7		A
			LCS7265C		7.0		A
			LCS7265Z		7.0		A
			LCS7268Z		11.2		A
			LCS7269Z		22.3		A
HB Start-Up Reduced Current Limit	$I_{HB(10VL-)}$	See Note C, D	LCS7260C		0.66		A
			LCS7262C		1.29		A
			LCS7265C		2.43		A
			LCS7265Z		2.43		A
			LCS7268Z		3.89		A
			LCS7269Z		7.74		A

Parameter	Symbol	Conditions T _{JC} = 0 °C to 100 °C BP = BPH = 18 V (Unless Otherwise Specified)		Min	Typ	Max	Units
Primary Low-Side Controller/Driver (cont.)							
HB Diode							
HB Diode Forward Voltage	V _{HB(F)}	I _F = 1.0 A, V _{GS} = 0 V, T _J = 100 °C See Note D	LCS7260C		1.13		V
			LCS7262C		0.9		V
			LCS7265C		0.8		V
			LCS7265Z		0.8		V
			LCS7268Z		0.74		V
			LCS7269Z		0.66		V
HB Diode Reverse Recovery Current	I _{HB(RRM)}	I _F = I _{HB(RRM)} A, di/dt = 200 A/μs, V _R = 400 V, T _J = 125 °C See Note D	LCS7260C		4.0		A
			LCS7262C		5.6		A
			LCS7265C		8		A
			LCS7265Z		8		A
			LCS7268Z		10.2		A
			LCS7269Z		20.4		A
HB Diode Reverse Recovery Time	T _{HB(RR)}	I _F = I _{HB(RRM)} A, di/dt = 200 A/μs, V _R = 400 V, T _J = 125 °C See Note D	LCS7260C		110		ns
			LCS7262C		170		ns
			LCS7265C		200		ns
			LCS7265Z		200		ns
			LCS7268Z		200		ns
			LCS7269Z		200		ns
HB Diode Reverse Recovery Charge	Q _{HB(RR)}	I _F = I _{HB(RRM)} A, di/dt = 200 A/μs, V _R = 400 V, T _J = 125 °C See Note D	LCS7260C		220		nC
			LCS7262C		480		nC
			LCS7265C		840		nC
			LCS7265Z		840		nC
			LCS7268Z		1200		nC
			LCS7269Z		2400		nC

Parameter	Symbol	Conditions T _{JC} = 0 °C to 100 °C BP = BPH = 18 V (Unless Otherwise Specified)	Min	Typ	Max	Units
Primary Low-Side Controller/Driver (cont.)						
HD Pin						
HD-S Breakdown Voltage	V _{HDS(BV)}		600			V
HD-HB Breakdown Voltage Rating	V _{HBHD(BV)}		600			V
HD-HB Reverse Voltage Rating	V _{HBS(BV)}	See Note A	-1.5			V
Half-Bridge Over-Temperature Stop	HB _{(OT)(STOP)}	See Note A	131	139	147	°C
Half-Bridge Over-Temperature Hysteresis	HB _{(OT)(HYST)}	See Note A	10	14	18	°C
LS Controller Over-Temperature Stop	LS _{(OT)(STOP)}	See Note A	115	125	135	°C
LS Controller Over-Temperature Start	LS _{(OT)(START)}	See Note A	66	78	90	°C

NOTES:

- A. Not tested parameter. Guaranteed by design.
- B. In typical LLC application circuit.
- C. Normally limited by internal circuitry.
- D. Not tested parameter. Based on device characterization.

최대 정격 절대값^{1,2} – LSR2000C

BPS 핀 전압	-0.3V~25V
BPS 핀 전류	2 A
D1, D2 핀 전압	-1.5V~150V
FB 핀 전압	-0.3V~6V
CMP 핀 전압	-0.3V~6V
G1, G2 핀 전압.....	-0.3V~20 V
IS 핀 전압	-0.3V~5V
5VS 핀 전압	-0.3V~6V
5VL 핀 전압(GP 기준).....	-0.3V~6V
FL 핀 전압(GP 기준).....	-0.3V~6V
정선 온도 ³	-40~150°C
보관 온도	-65°C~150°C
주변 온도	-40°C~105°C
리드 온도 ⁴	260°C

참고:

1. 모든 전압은 특별한 언급이 없는 한 GSA, GSB, T_A = 25°C를 기준으로 합니다.
2. 지정된 최대 정격은 제품에 영구적인 손상을 초래하지 않는 한도 내에서 일회적으로 측정된 결과입니다. 지정된 시간보다 오랫동안 최대 정격 절대값 조건에 노출하면 제품 신뢰성에 영향을 미칠 수 있습니다.
3. 일반적으로 내부 회로에 의해 제한됩니다.
4. 케이스에서 1/16인치 거리를 두고 5초 동안 측정합니다.
5. 500msec 미만에 대한 최대 전압 절대값은 3V입니다.

열 저항

열 저항: InSOP-24D

(θ_{JA}) 90°C/W¹

참고:

1. 핀 2와 12는 232mm²(0.36평방인치), 610g/m²(2온스) 동판에 납땜.

Parameter	Conditions	Rating	Units
Ratings for UL1577			
Secondary-Side Power Rating	TAMB = 25 °C See Note A	820	mW
Secondary-Side Power Rating	TAMB = 105 °C	300	mW
Secondary-Side Current Rating	TAMB = 25 °C See Note A	34	mA
Package Characteristics			
Clearance		11.35	mm (min)
Creepage		11.35	mm (min)
Distance Through Insulation (DTI)		0.4	mm (min)
Transient Isolation Voltage		6	kV (min)
Comparative Tracking Index (CTI)		600	-

Note A: Remark regarding UL testing: the secondary side Pin 7 BPS power the IC internal controller on the secondary side and functioned as a constant current load. The pin is intended to accept a voltage in the 8-24 VDC range, which is shown on the spec, and drew 818 mW max at the high end of the voltage range.

Parameter	Symbol	Conditions BPS = 12 V T _j = 0 °C to 100 °C (Unless Otherwise Specified)		Min	Typ	Max	Units
Secondary-Side of Safety Isolation Barrier							
Frequency Pin							
FMIN Frequency Range 0	F _{MIN(FR0)AUTO}	See Note A	LSR2000C H001	21	23	24	kHz
FMIN Frequency Range 1	F _{MIN(FR1)AUTO}		LSR2000C H002	28	30	32	kHz
FMIN Frequency Range 2	F _{MIN(FR2)AUTO}		LSR2000C H003	41	45	47	kHz
FMIN Frequency Range 3	F _{MIN(FR3)AUTO}		LSR2000C H004	55	60	63	kHz
			LSR2000C H005				
FMAX Frequency Range 0	F _{MIN(FR0)LATCH}		LSR2000C H001	123	135	141	kHz
FMAX Frequency Range 1	F _{MIN(FR0)LATCH}		LSR2000C H002	167	183	191	kHz
FMAX Frequency Range 2	F _{MIN(FR0)LATCH}		LSR2000C H003	246	270	282	kHz
FMAX Frequency Range 3	F _{MIN(FR0)LATCH}		LSR2000C H004	334	366	383	kHz
			LSR2000C H005				
BPS Pin							
BPS Undervoltage Shutdown Threshold	V _{BPS(UV-)}			7.0	7.25	7.5	V
BPS Above UV Start Threshold	V _{BPS(UV+)}			7.3	7.55	7.8	V
BPS Start/Stop Hysteresis	V _{BPS(UV)(HYST)}				0.29		V
BPS Pin Current in Burst	I _{BPS(BURST)}	Operating in super light load switching G1, G2 floating, See Note D			600		μA
BPS Pin Current Consumption	I _{BPS(SW)}	Device with G1,G2 floating, V _{BPS} = V _{BPS(UV+)}	Frequency Range0 (90 kHz)		9.9		mA
			Frequency Range1 (120 kHz)		12.5		mA
			Frequency Range2 (180 kHz)		17.6		mA
			Frequency Range3 (240 kHz)		23.2		mA
SVS Pin							
SVS Secondary Power-Up Threshold	V _{SVS(UV+)}	C _{SVS} = 1 μF / 10 V Ceramic See Note A		4.25	4.30	4.37	V
SVS Secondary Power-Down Threshold	V _{SVSU(V-)}	C _{SVS} = 1 μF / 10 V Ceramic See Note A		4.15	4.2	4.25	V
SVS Hysteresis	V _{SVS(HYST)}	C _{SVS} = 1 μF / 10 V Ceramic See Note A		0.08	0.1	0.12	V
SVS Output Voltage	V _{SVS}	I _{SVS} = 0 mA, See Note A			5.18		V
IS Pin							
IS Pin Input Common Mode Voltage	V _{IS(CM)}				2.8		V
IS Pin Input Impedance	R _{IS(IN)}			3.2	3.7	4.3	kΩ
IS Pin Input Current Clip Threshold	I _{IS(CLIP)}			-44	-39	-32	μA
IS Pin Gain	G _{IS(CMP)}			-74	-72	-70	kV/A
IS Pole	F _{IS(CMP)}	See Note A		2.1	3.3	4.4	MHz

Parameter	Symbol	Conditions BPS = 12 V $T_j = 0\text{ }^{\circ}\text{C}$ to $100\text{ }^{\circ}\text{C}$ (Unless Otherwise Specified)	Min	Typ	Max	Units
Secondary-Side of Safety Isolation Barrier (cont.)						
CMP Pin						
CMP Pin Max Output Current	$I_{\text{CMP(OUT)(MAX)}}$	$V_{\text{FB}} = V_{\text{FB(STOP)(TH)}}$ See Note D	50	80	140	μA
CMP Pin Burst Off 2.5 V Pull	$R_{\text{CMP(PULL)(2V5)}}$	During burst-off condition See Note A		1		$\text{M}\Omega$
FB Pin						
FB Pin REF Threshold	$V_{\text{FB(REF)}}$	V_{FB} when $I_{\text{CMP}} = 0$	3.7	3.75	3.8	V
FB Pin Stop Plus Threshold	$V_{\text{FBSTOP(TH)}}$		3.91	3.96	4.01	V
FB Pin Stop – VFBREF	$V_{\text{FBSTOP(DIFF)}}$	Difference $V_{\text{FBSTOP(TH)}} - V_{\text{FBREF}}$	194	210	226	mV
FB Pin Max Threshold	$V_{\text{FB(MAX)(TH)}}$		3.72	3.77	3.81	V
FB Pin Max – VFBREF	$V_{\text{FB(MAX)(DIFF)}}$	Difference $V_{\text{FBMAX(TH)}} - V_{\text{FBREF}}$	6	19	32	mV
FB Pin Min Threshold	$V_{\text{FB(MIN)(TH)}}$		3.69	3.73	3.77	V
FB Pin Min – VFBREF	$V_{\text{FBMIN(DIFF)}}$	Difference $V_{\text{FBMIN(TH)}} - V_{\text{FBREF}}$	-32	-19	-6	mV
FB Pin REG Threshold	$V_{\text{FBREG(TH)}}$		3.7	3.75	3.8	V
FB Pin REG – VFBREF	$V_{\text{FBREG(DIFF)}}$	Difference $V_{\text{FBREG(TH)}} - V_{\text{FBREF}}$	-14	0	14	mV
FB Pin VREG – VMIN Difference	$V_{\text{FBREG(MIN)}}$		6	19	32	mV
FB Pin VMAX – VMIN Difference	$V_{\text{FB(MAX)MIN}}$		25	39	52	mV
FB Pin MINBOOST Threshold	$V_{\text{FBBSTN(TH)}}$		3.54	3.60	3.65	V
FB Pin MINBOOST VFBREF	$V_{\text{FBBSTN(DIFF)}}$	Difference $V_{\text{FBBSTN(TN)}} - V_{\text{FBREF}}$	-160	-148	-136	mV
FB Pin MAXBOOST Threshold	$V_{\text{FBBSTP(TH)}}$		3.75	3.8	3.85	V
FB Pin MAXBOOST VFBREF	$V_{\text{FBBSTP(DIFF)}}$	Difference $V_{\text{FBBSTP(TN)}} - V_{\text{FBREF}}$	42	55	68	mV
FB CMP Trans Conductance Normal Gain	$G_{\text{FB(CMP)(NORM)}}$	$T_j = 25\text{ }^{\circ}\text{C}$ $V_{\text{FB}} > V_{\text{FBBSTN(TH)}}$ and $V_{\text{FB}} < V_{\text{FBBSTP(TH)}}$	85	95	105	$\mu\text{A}/\mu\text{V}$
FB CMP Trans Conductance Boost Gain	$G_{\text{FB(CMP)(BST)}}$	$T_j = 25\text{ }^{\circ}\text{C}$ $V_{\text{FB}} < V_{\text{FBBSTN(TH)}}$ or $V_{\text{FB}} > V_{\text{FBBSTP(TH)}}$	325	365	405	$\mu\text{A}/\mu\text{V}$
Trans Impedance 100 °C / 25 °C Ratio	$G_{\text{FB(CMP)(RATIO)}}$	See Note D		93		%
FB Pole Frequency	$\text{FB}_{(\text{BW})}$	See Note A	187	316	654	kHz
FB Pin Bleed Current	$I_{\text{FB(DN)}}$	$T_j = 25\text{ }^{\circ}\text{C}$, See Note A		100		nA

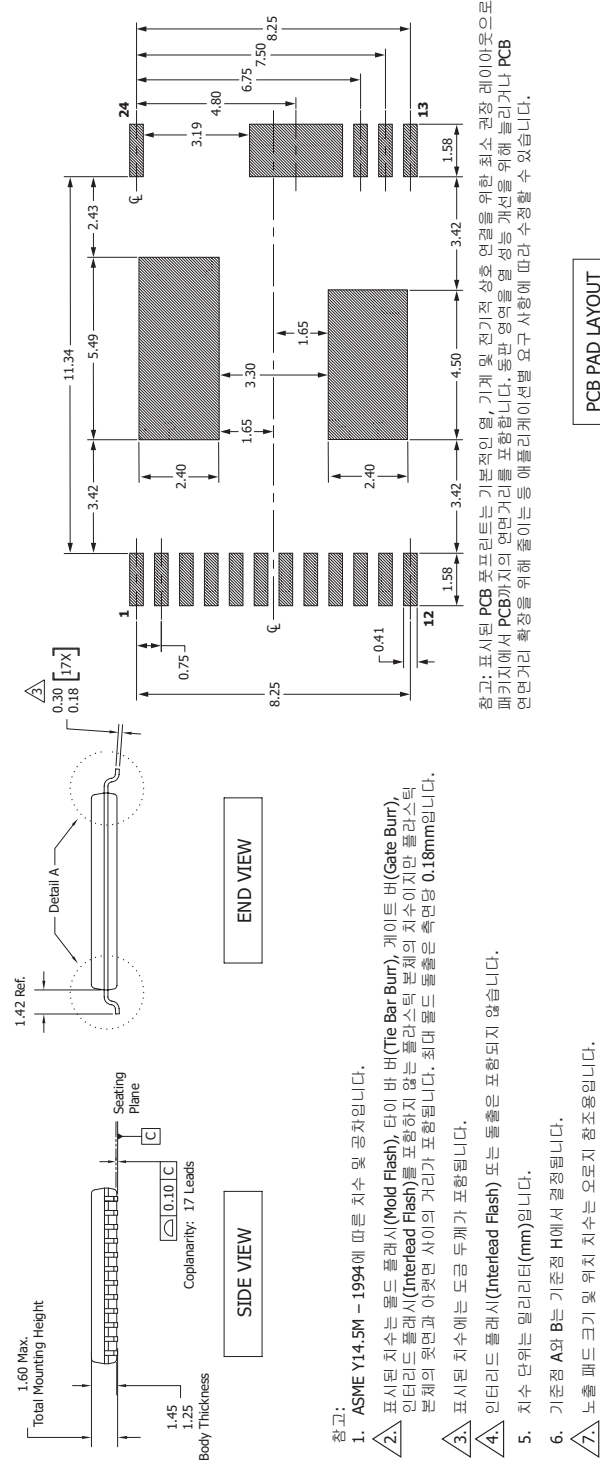
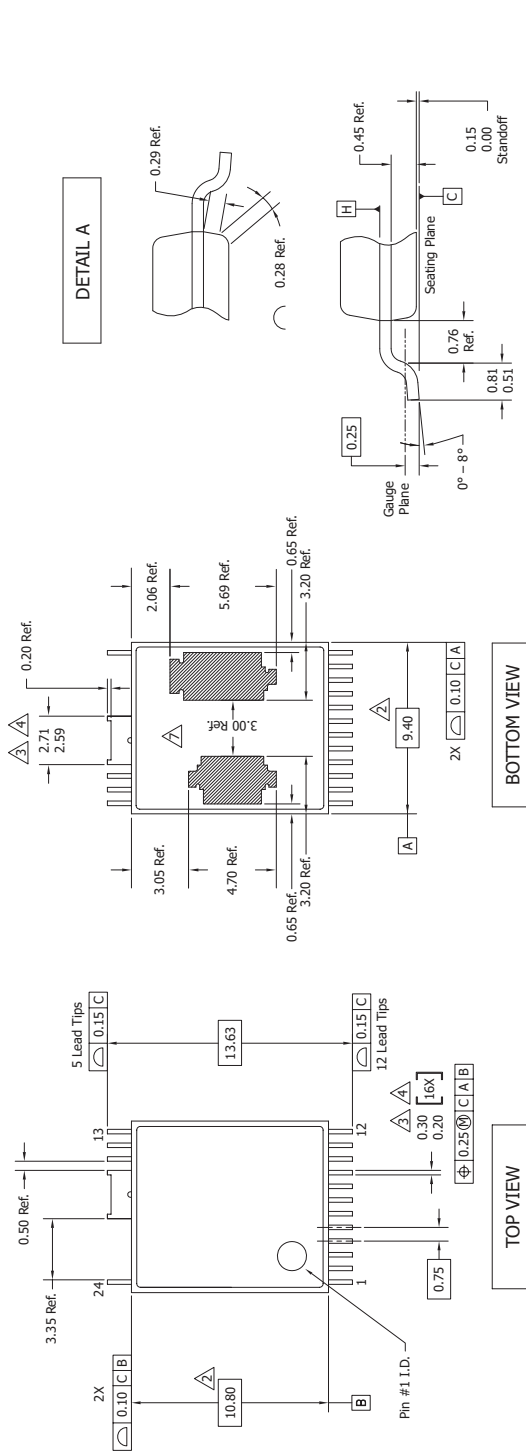
Parameter	Symbol	Conditions BPS = 12 V $T_j = 0\text{ }^{\circ}\text{C to } 100\text{ }^{\circ}\text{C}$ (Unless Otherwise Specified)	Min	Typ	Max	Units
Secondary-Side of Safety Isolation Barrier (cont.)						
PS Pin						
PS Pin Selection0 Resistor	$R_{PS(SEL0)}$	Required Resistor 1% E96 Series		75		$k\Omega$
PS Pin Selection1 Resistor	$R_{PS(SEL1)}$	Required Resistor 1% E96 Series		75		$k\Omega$
PS Pin Selection2 Resistor	$R_{PS(SEL2)}$	Required Resistor 1% E96 Series		75		$k\Omega$
PS Pin Selection3 Resistor	$R_{PS(SEL3)}$	Required Resistor 1% E96 Series		169		$k\Omega$
PS Pin Selection4 Resistor	$R_{PS(SEL4)}$	Required Resistor 1% E96 Series		169		$k\Omega$
PS Pin Selection5 Resistor	$R_{PS(SEL5)}$	Required Resistor 1% E96 Series		255		$k\Omega$
PS Pin Selection6 Resistor	$R_{PS(SEL6)}$	Required Resistor 1% E96 Series		340		$k\Omega$
PS Pin Selection7 Resistor	$R_{PS(SEL7)}$	Required Resistor 1% E96 Series		499		$k\Omega$
G1 and G2 Pins						
G1, G2 Clamp Voltage (Freq 0,1)	$V_{G1(CLMP)}$ $V_{G2(CLMP)}$	BPS = 15 V	10.3	11.7	13.5	V
G1, G2 Clamp Voltage (Freq 2,3)	$V_{G1(CLMP)}$ $V_{G2(CLMP)}$	BPS = 15 V	5.0	6.0	7.0	V
G1, G2 BP Voltage Drop	$V_{G1(CLMP)(DROP)}$ $V_{G2(CLMP)(DROP)}$	BPS = 15 V See Note A	0.65	1.1	1.5	V
G1, G2 Source Current	$I_{G1(SOURCE)}$ $I_{G2(SOURCE)}$	BPS = 15 V, $V_{G1} = V_{G2} = 0\text{ V}$	0.65	1.1	1.5	A
G1, G2 Sink Current	$I_{G1(SINK)}$ $I_{G2(SINK)}$	BPS = 15 V, $V_{G1} = V_{G2} = V_{G1(CLMP)}$	1.6	2	2.2	A

Parameter	Symbol	Conditions BPS = 12 V $T_j = 0\text{ }^{\circ}\text{C to }100\text{ }^{\circ}\text{C}$ (Unless Otherwise Specified)	Min	Typ	Max	Units
Secondary-Side of Safety Isolation Barrier (cont.)						
D1 and D2 Pin						
D1, D2 Breakdown Voltage	BV_{D1D2}		150			V
D1, D2 External Resistor	$R_{D1D2(EXT)}$	Recommended external R between SR FET Drain and D1, D2 pin	200		1500	Ω
D1, D2 Inverse Current	$I_{D1D2(INV)}$	Allowed current out of D1, D2 when below GND	-5			mA
D1, D2 SR On Threshold	$V_{D1D2ON(TH)}$	See Note E	-275	-250	-210	mV
D1, D2 SR Off Threshold	$V_{D1D2OFF(TH)}$	See Note E	3	8.5	12.5	mV
D1, D2 SR Off Threshold Matching	$\Delta V_{D1D2OFF}$		-2.6	0	2.6	mV
D1, D2 Output Bias Current – Off	$I_{D1D2OFF}$	Bias Current Out of D1, D2 at $V_{D1D2OFF(TH)}$	-17	-13	-9	μA
Secondary Control Over-Temperature						
Secondary Control Over-Temperature Stop	$SC_{(OT)(STOP)}$	See Note A	123	130	137	$^{\circ}\text{C}$
Secondary Control Over-Temperature Start	$SC_{(OT)(START)}$	See Note A		75		$^{\circ}\text{C}$
Primary-Side of Safety Isolation Barrier						
5VL Pin						
5VL Power-Up Threshold	$V_{5VL(UV+)}$	C5VL = 1 μF / 10 V Ceramic	3	3.5	4	V
5VL Power-Up Hysteresis	$V_{5VL(HYST)}$	C5VL = 1 μF / 10 V Ceramic		1.5		V
FL Pin						
FL - Logic 1 Output Voltage	$V_{FL(1)}$	$I_{FL} = 10\text{ mA}$, 5VL = 5 V	4.55	4.7	4.929	V
FL - Logic 0 Output Voltage	$V_{FL(0)}$	$I_{FL} = +10\text{ mA}$	0.17	0.25	0.42	V

NOTES:

- A. Not tested parameter. Guaranteed by design.
- B. In typical LLC application circuit.
- C. Normally limited by internal circuitry.
- D. Not tested parameter. Based on device characterization.
- E. Production test limits. Observed operational threshold for SR MOSFET drain (D1, D2), also depends on chosen D1, D2 resistors $R_{D1D2(EXT)}$ values.

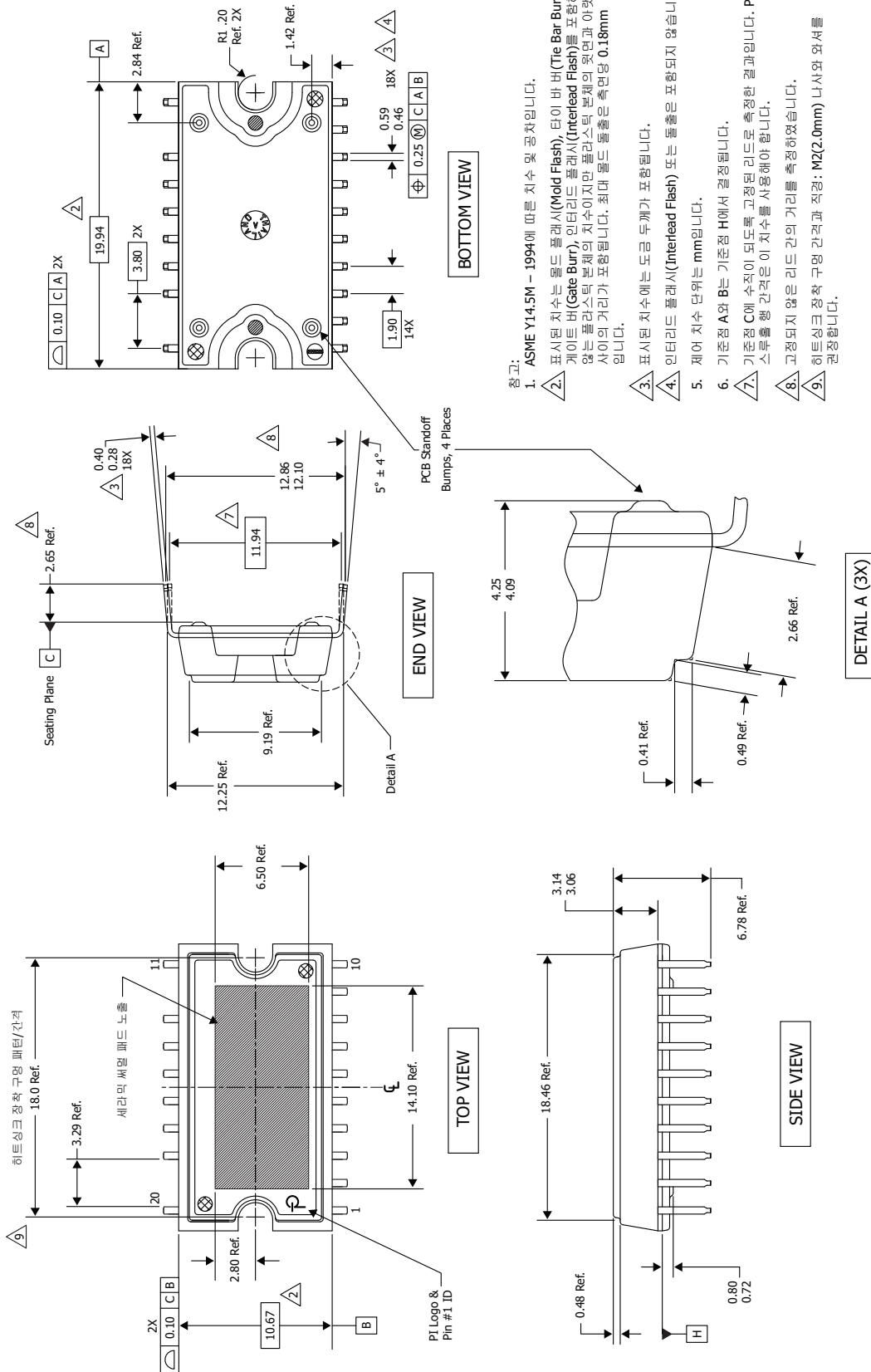
InSOP-24C



PCB PAD LAYOUT

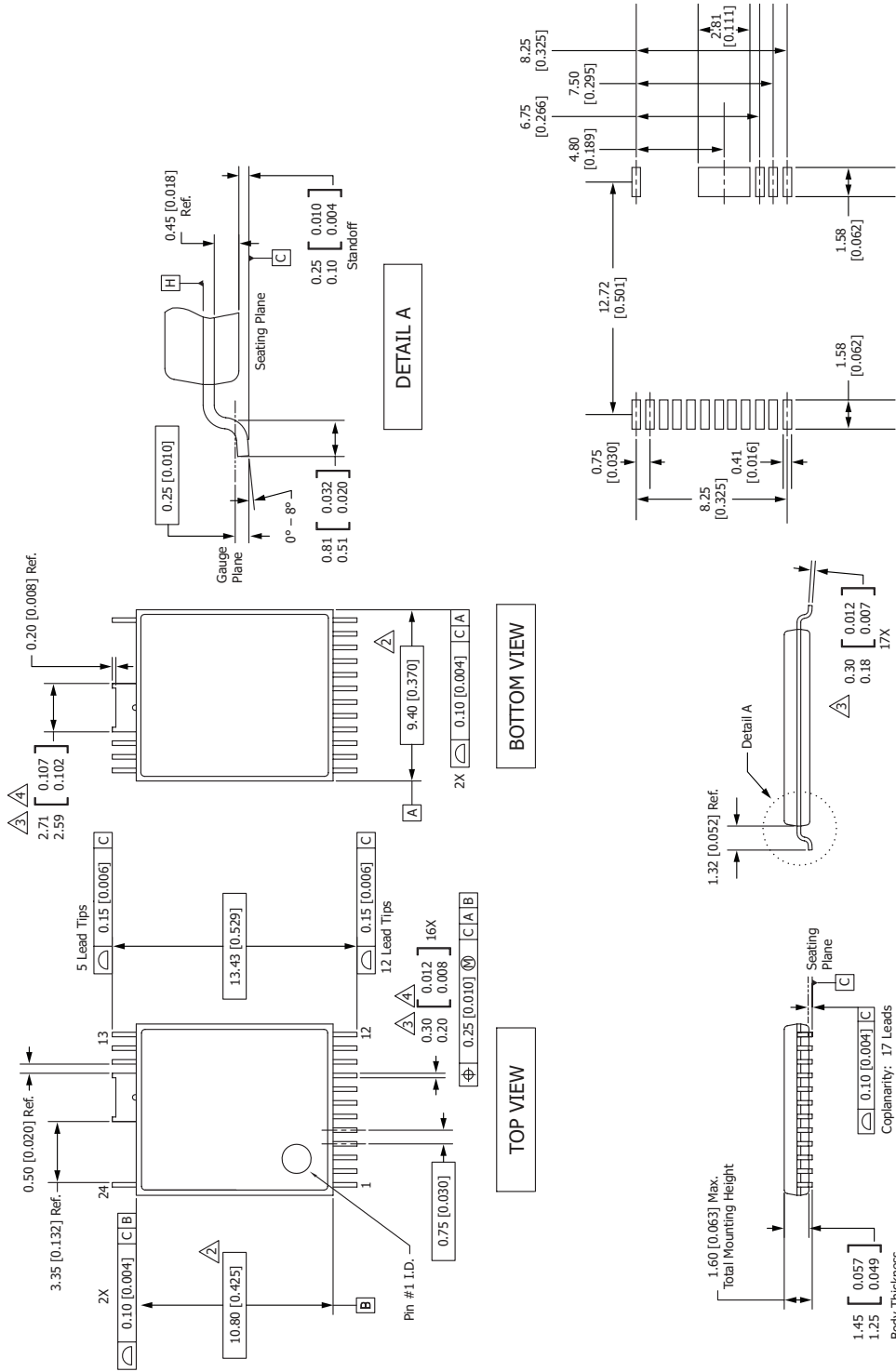
POD_inSOP-24C_B_031417
PI-8294-102423

POWeDIP-20B



- 참고:
1. ASME Y14.5M - 1994에 따른 치수 및 공차입니다.
 2. 표시된 치수는 몰드 플래시(Mold Flash), 타이 바(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 불라스틱 본체의 치수이지만 불라스틱 본체와 하우징 사이의 거리가 포함됩니다. 최대 몰드 플래시 폭은 0.18mm입니다.
 3. 표시된 치수에는 도금 두께가 포함됩니다.
 4. 인터리드 플래시(Interlead Flash) 또는 돌출은 포함되지 않습니다.
 5. 제어 치수 단위는 mm입니다.
 6. 기준점 A와 B는 기준점 H에서 결정됩니다.
 7. 기준점 C에 수직이 되도록 고정된 리드로 측정된 결과입니다. PCB 스투를 행 간격을 이 치수를 사용해야 합니다.
 8. 고정되지 않은 리드 간의 거리를 측정하였습니다.
 9. 히트싱크 장착 구역 간격과 직경: M2(2.0mm) 나사와 외서를 권장합니다.

InSOP-24D

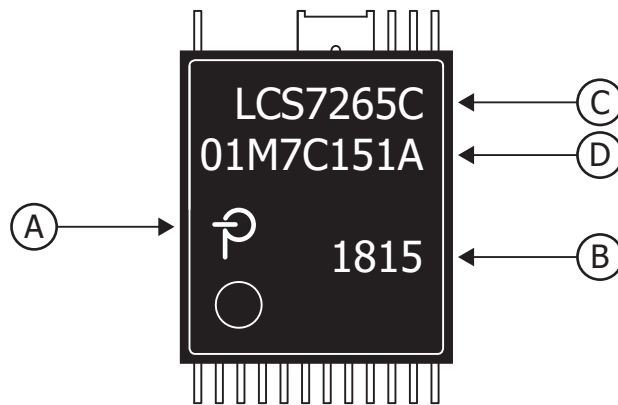


참고:

1. ASME Y14.5M – 1994에 따른 치수 및 공차입니다.
2. 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Tie Bar Burr), 인티리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만 플라스틱 본체의 컷면과 아랫면 사이의 거리가 포함됩니다. 최대 몰드 불룩은 0.18[0.007]입니다.
3. 표시된 치수에는 도금 두께가 포함됩니다.
4. 인티리드 플래시(Interlead Flash) 또는 돌출은 포함되지 않습니다.
5. 제어 치수 단위는 mm[인치]입니다.
6. 기준점 A와 B는 기준점 H에서 결정됩니다.

패키지 마킹

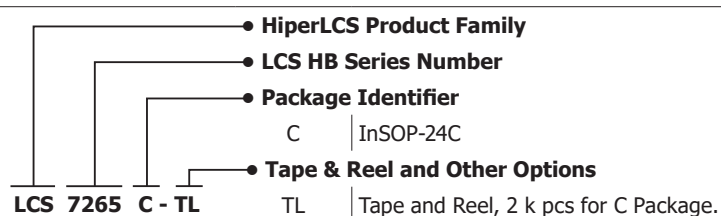
InSOP-24C



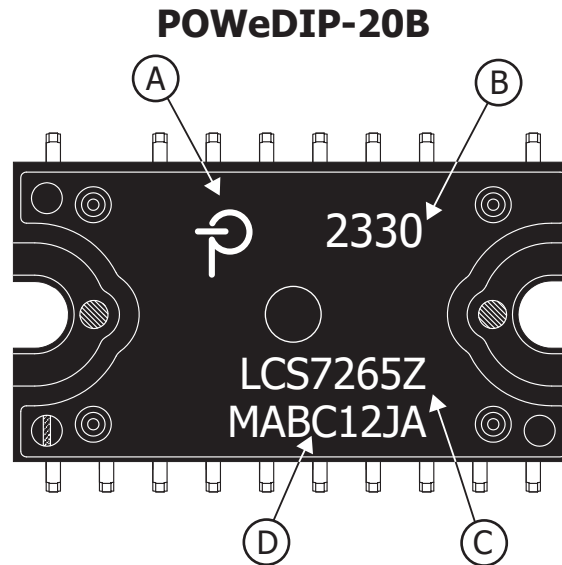
- A. 파워 인테그레이션스(Power Integrations) 등록 상표
- B. 조립 날짜 코드(앞 두 자리: 연도, 뒤 두 자리: 작업 주)
- C. 제품 ID(부품 번호/패키지 유형)
- D. Lot ID 코드

PI-9310-021121

Part Ordering Information



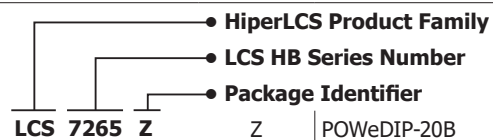
패키지 마킹



- A. 파워 인테그레이션스(Power Integrations) 등록 상표
- B. 조립 날짜 코드(앞 두 자리: 연도, 뒤 두 자리: 작업 주)
- C. 제품 ID(부품 번호/패키지 유형)
- D. Lot 번호

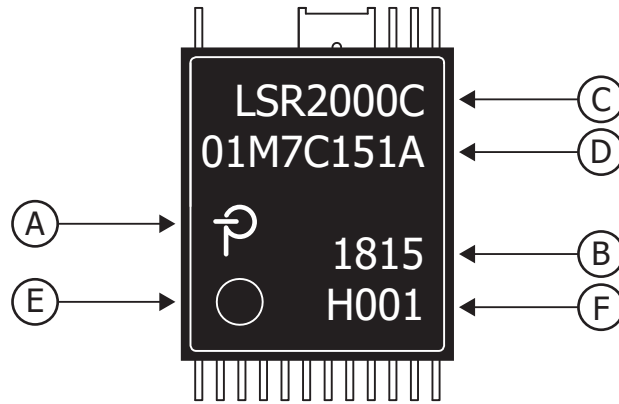
PI-9718-102423

Part Ordering Information



패키지 마킹

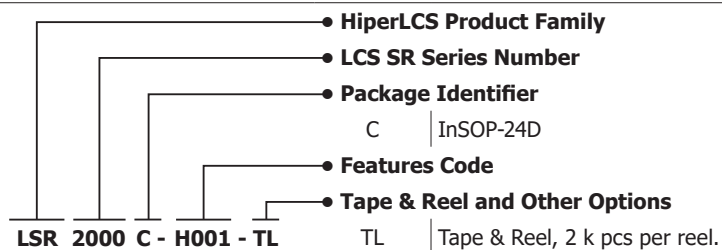
InSOP-24D



- A. 파워 인테그레이션스(Power Integrations) 등록 상표
- B. 조립 날짜 코드(앞 두 자리: 연도, 뒤 두 자리: 작업 주)
- C. 제품 ID(부품 번호/패키지 유형)
- D. Lot ID 코드
- E. 핀 1 표시
- F. 기능 코드

PI-9311-021621

Part Ordering Information



Feature Code	Frequency Range	Nominal Frequency	Burst Mode
H001	0	90 kHz	See Table 6
H002	1	120 kHz	See Table 6
H003	2	180 kHz	See Table 6
H004	3	240 kHz	See Table 6
H005	3	240 kHz	<2%

MSL Table

Part Number	MSL Rating
LCS7260C	3
LCS7262C	3
LCS7265C	3
LSR2000C	3

Part Ordering Information

Part Number	Option	Quantity
LCS7260C	Reel	2000
LCS7262C	Reel	2000
LCS7265C	Reel	2000
LCS7265Z	Tube	25
LCS7268Z	Tube	25
LCS7269Z	Tube	25
LSR2000C-H001	Reel	2000
LSR2000C-H002	Reel	2000
LSR2000C-H003	Reel	2000
LSR2000C-H004	Reel	2000
LSR2000C-H005	Reel	2000

개정	참고	날짜
B	Production release.	03/21
C	업데이트.	03/22
D	오류 코드 추가 등 업데이트.	11/22
E	H005 코드 추가.	07/23
F	POWeDIP 생산 출시.	01/25

최신 업데이트는 당사 웹사이트 www.power.com을 참고하십시오.

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. 파워 인테그레이션스(Power Integrations)는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하며 이에 국한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 <https://www.power.com/company/intellectual-property-licensing/>에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

- 수명 유지 디바이스 또는 시스템이란 (i)신체에 대한 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지를 목적으로 사용되며, (iii)사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 디바이스 또는 시스템입니다.
- 핵심 부품이란 부품의 작동이 실패하여 수명 유지 디바이스 또는 시스템의 작동이 실패하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 디바이스 또는 시스템에 사용되는 모든 부품입니다.

파워 인테그레이션스(Power Integrations), 파워 인테그레이션스(Power Integrations) 로고, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperLCS, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, PowiGaN, SCALE, SCALE-1, SCALE-2, SCALE-3, SCALE-iDriver는 Power Integrations, Inc.의 상표이며, 기타 상표는 각 회사의 재산입니다. ©2024, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

본사 5245 Hellyer Avenue San Jose, CA 95138, USA 본사 전화: +1-408-414-9200 고객 서비스: 글로벌: +1-65-635-64480 아메리카: +1-408-414-9621 이메일: usasales@power.com	독일 (AC-DC/LED/모터 컨트롤 판매) Einsteinring 24 85609 Dornach/Aschheim Germany 전화: +49-89-5527-39100 이메일: eurosales@power.com	이탈리아 Via Milanese 20, 3rd. Fl. 20099 Sesto San Giovanni (MI) Italy 전화: +39-024-550-8701 이메일: eurosales@power.com	싱가포르 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 전화: +65-6358-2160 이메일: singaporesales@power.com
중국(상하이) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 전화: +86-21-6354-6323 이메일: chinasales@power.com	독일(게이트 드라이버 판매) HellwegForum 3 59469 Ense Germany 전화: +49-2938-64-39990 이메일: igbt-driver.sales@power.com	일본 Yusen Shin-Yokohama 1-chome Bldg. 1-7-9, Shin-Yokohama, Kohoku-ku Yokohama-shi, Kanagawa 222-0033 Japan 전화: +81-45-471-1021 이메일: japansales@power.com	대만 5F, No. 318, Nei Hu Rd., Sec. 1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 전화: +886-2-2659-4570 이메일: taiwansales@power.com
중국(선젠) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 전화: +86-755-8672-8689 이메일: chinasales@power.com	인도 #1, 14th Main Road Vasanthanagar Bangalore-560052 India 전화: +91-80-4113-8020 이메일: indiasales@power.com	대한민국 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 전화: +82-2-2016-6610 이메일: koreasales@power.com	영국 Building 5, Suite 21 The Westbrook Centre Milton Road Cambridge CB4 1YG 전화: +44 (0) 7823-557484 이메일: eurosales@power.com