

LCS700-708 HiperLCS™ 系列



整合式 LLC 控制器、高電壓功率 MOSFET 及驅動器

產品重要特色

特色

- LLC 半橋式功率階段整合了控制器、高壓與低壓開極驅動及高壓功率 MOSFET
 - 減少使用外部元件多達 30 個
- 最高工作頻率達 1 MHz
 - 標稱額定工作頻率高達 500 kHz
 - 大幅縮減磁性元件的尺寸並採用 SMD 陶瓷輸出電容器
- 工作準確對稱可平衡輸出整流器電流，進而提高效率
 - 300 kHz 時通常為 50% ±0.3%
- 全面性的故障處理及電流限制
 - 可設定電壓啟動/關閉臨界值與磁滯
 - 欠壓 (UV) 與過壓 (OV) 保護
 - 可設定過電流保護 (OCP)
 - 短路保護 (SCP)
 - 過溫保護 (OTP)
- 可設定停滯時間以提供最佳化設計
- 可設定突波模式在無負載時維持穩壓，並提高輕負載效率
- 可設定軟啟動時間與軟啟動前的延遲時間
- 可精準設定頻率下限與上限
- 專為高功率與高頻率設計的單一封装
 - 降低組裝成本並減少 PCB 佈局迴路面積
 - 僅使用一個夾子即可輕易夾扣在散熱片上
 - 接腳錯開排列，讓 PC 板佈線簡潔並符合高電壓沿面距離要求
- 與 HiperPFS PFC 產品搭配使用，提供完整、高效率、低零件數的 PSU 解決方案

應用

- 高效率電源供應器 (80 PLUS 銀牌認證，金牌認證與白金認證)
- LCD 電視電源供應器
- LED 街道與區域照明
- 印表機電源供應器
- 音訊放大器

說明

HiperLCS 是一個整合式 LLC 功率階段，在其半橋式配置中整合了多功能控制器、高壓與低壓開極驅動器，以及兩個功率 MOSFET。圖 1 顯示 HiperLCS 功率階段的簡化示意圖，其中的 LLC 諧振電感器已整合了變壓器。

此控制器透過改變頻率，使功率 MOSFET 在零電壓 (ZVS) 時切換，消除了切換損失，進而提高效率。

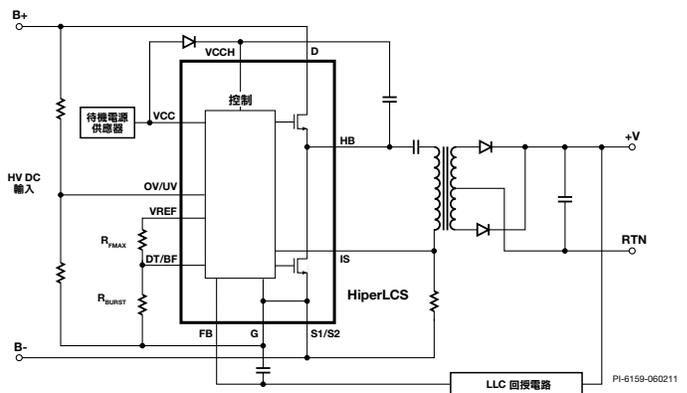


圖 1. 一般應用電路 - LCD 電視與 PC 主電源供應器。

輸出功率表

產品	最大實際功率 ¹
LCS700HG/LG	110 W
LCS701HG/LG	170 W
LCS702HG/LG	220 W
LCS703HG/LG	275 W
LCS705HG	350 W
LCS708HG	440 W

表 1. 輸出功率表。

附註：

1. 最大實際功率是當零件與散熱片完全接合且散熱片最高溫度達到 90 °C 時可傳輸的功率。

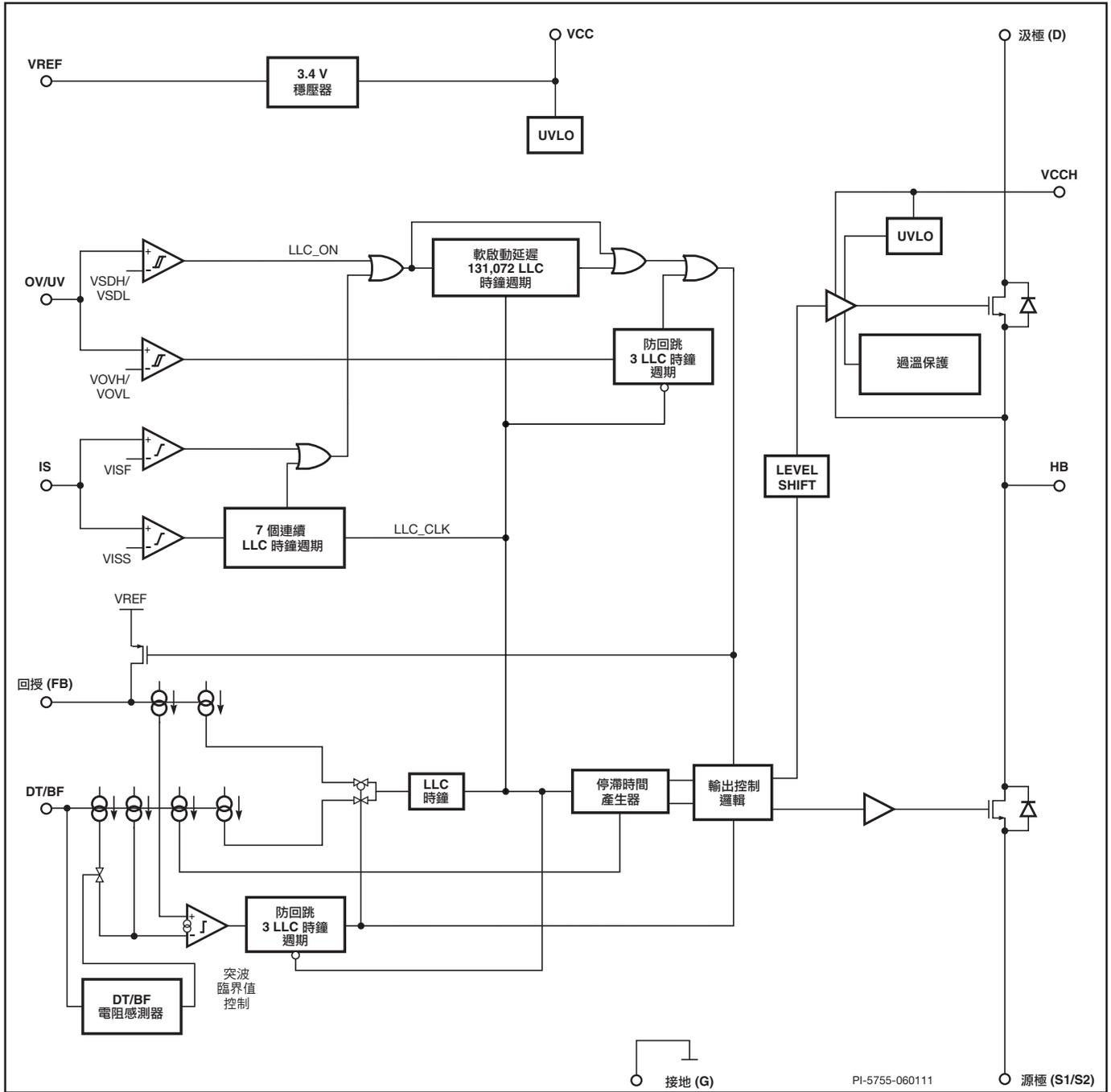


圖 2. 區塊圖。

接腳功能說明

VCC 接腳

IC 功率接腳。在一般的應用情況中，VCC 是透過 5 Ω 電阻器連接到 12 V 系統待機電源供應器。此電阻器有助於提供濾波功能並可改善雜訊耐受性。

注意：系統待機電源供應器迴線應連接到 B- 匯流排，而不是接地接腳。

VREF 接腳

3.4 VREF 接腳。使用內部電壓參考網路做為回授接腳與 DT/BF 接腳上拉電阻器的電壓來源。

接地 (G) 接腳

G 是所有類比小型訊號的迴線節點。所有小型訊號接腳旁路電容器都必須透過很短的 Trace 回接到此接腳，但 D-S 高電壓旁路電容器與 VCCH 旁路電容器除外。它會自內部連接到源極接腳形成星形連接。**請勿在 PCB 設計中將接地接腳連接到源極接腳，也不要連接到 B- 匯流排。**

OV/UV 接腳

過壓/欠壓接腳。此接腳可透過分壓電阻器感測 B+。OV/UV 接腳可利用磁滯實現電壓啟動、電壓關閉及過壓保護。讓此接腳接地便可實現遙控關閉功能。

回授 (FB) 接腳

饋入此接腳的電流可決定 LLC 切換頻率；較高的電流可設定較高的切換頻率。接腳 V-I 特性類似在正常切換時將二極體接地。VREF 接腳與回授接腳間的 RC 網路可決定最低工作頻率、啟動頻率、軟啟動時間及啟動前的延遲時間。

停滯時間/突波頻率 (DT/BF) 接腳

在 VREF 至接地間的分壓電阻器可設定停滯時間、啟動時的最高切換頻率以及突波模式臨界值頻率。

電流感測 (IS) 接腳

電流感測接腳用於感測變壓器的一次側電流，可透過電流感測電阻器或分壓電容器，再加上感測電阻器電路偵測過載及故障情況。其類似將二極體反向接地，但不需要使用整流器電路來防止負脈衝到達此接腳（將反向電流限制在低於 5 mA 內）。

源極 (S1)、(S2) 接腳

內部低壓 MOSFET 的源極接腳。這些接腳必須全部連接到 PCB，並從 PFC 大電容器或輸入高電壓 DC 迴線連接到 B-。

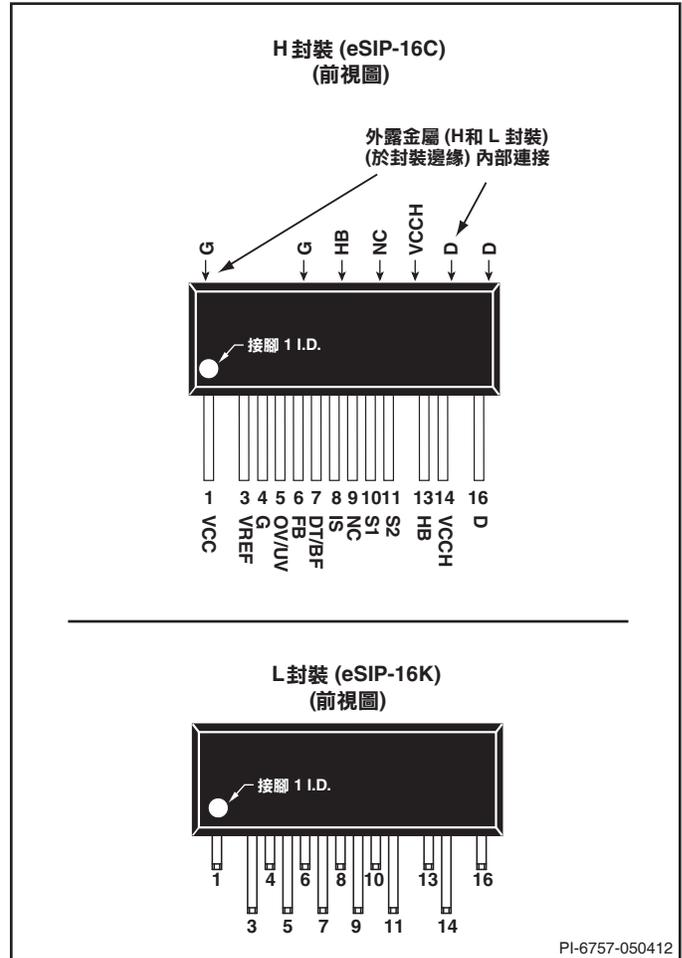


圖 3. 接腳編號與命名。

HB 接腳

這是要連接到 LLC 傳動元件（變壓器一次側與串聯諧振電容器）且與 MOSFET（高壓 MOSFET 的源極、低壓 MOSFET 的汲極）連接的半橋輸出。

VCCH 接腳

LLC 高壓驅動器的浮接自舉供電升壓接腳。此接腳是參考 HB 接腳，亦即在內部連接到高壓 MOSFET 的源極接腳。在 VCCH 與 HB 接腳之間需要有一個旁路/儲存電容器，並讓自舉二極體與待機電源供應器的串聯電阻器搭配使用。儲存電容器會在每次電壓較低的 MOSFET 開啟時或其本體二極體導通時重新整理。

汲極 (D) 接腳

內部高壓 MOSFET 的汲極接腳。這會從 PFC 大電容器或高輸入電壓 DC 匯流排連接到 B+。

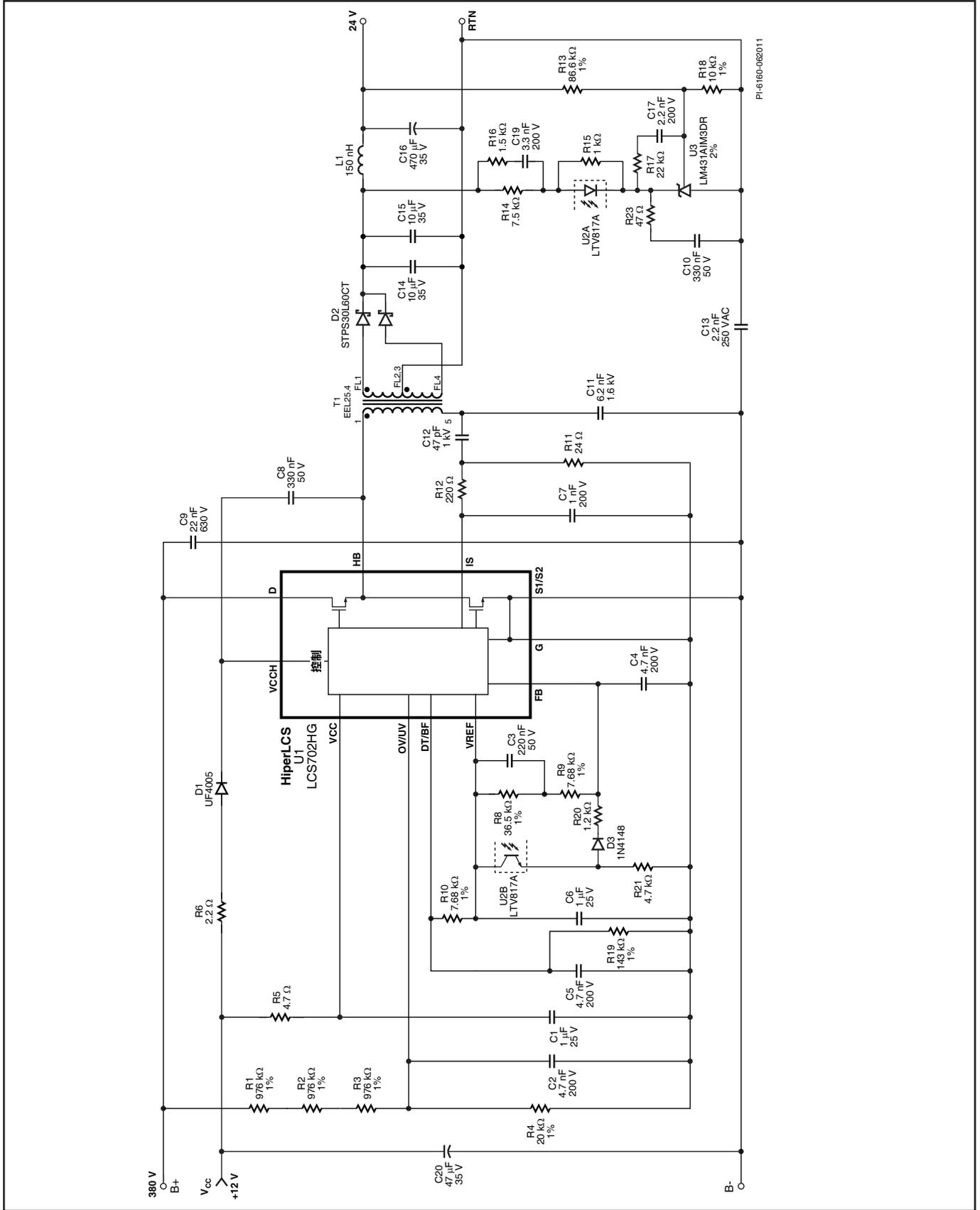


圖 4. 150 W 雷射印表機電源供應器。

HiperLCS 基礎工作原理

HiperLCS 的設計適用於半橋式 LLC 轉換器 (高效諧振變頻轉換器)。HiperLCS 是具有內建驅動器與半橋式 MOSFET 的 LLC 控制晶片。

LLC 轉換器在切換半週期間需要有固定的停滯時間。停滯時間、啟動時最高頻率及突波臨界值頻率是使用 VREF 至接地接腳間位於 DT/BF 接腳的分壓電阻器設定。

回授 (FB) 接腳是回授迴路的頻率控制輸入端。頻率和回授接腳電流成正比。回授接腳 V-I 特性類似於將二極體接地。

突波模式

如果由回授接腳控制頻率，電流便會超過突波臨界值頻率上限 (f_{STOP} , I_{STOP})，由位於 DT/BF 接腳的分壓電阻器控制，輸出 MOSFET 便會關閉。而切換功能會在電流降至對應的頻率值後恢復。該值等於突波臨界值頻率下限 (f_{START} , I_{START})，作為第一個近似值。突波模式控制類似磁滯控制器，其頻率會從 f_{START} 增加至 f_{STOP} ，停止後再重複。從 VREF 接腳連接到回授接腳的外部元件網路可決定最低與啟動時的回授接腳電流，以及最低與啟動時的切換頻率。此網路的軟啟動電容器可決定軟啟動時序。

VREF 接腳提供標準的 3.4 V，以供此回授接腳外部網路與其他功能參考。此接腳的最大電流必須 ≤ 4 mA。

停滯時間/突波頻率 (DT/BF) 接腳也有二極體接地的 V-I 特性。在 VREF 到接地間的分壓電阻器可設定停滯時間、啟動時的最高切換頻率 (f_{MAX}) 以及突波臨界值頻率。從分壓電阻器流到 DT/BF 接腳的電流可決定 f_{MAX} 。電阻器比率是從 3 個分離式突波臨界值頻率比中選擇，其為 f_{MAX} 的固定部分。

OV/UV 接腳可透過分壓電阻器感測高電壓 B+ 輸入。可以利用磁滯實現電壓啟動、電壓關閉及過壓 (OV)。這些電壓比率固定；使用者必須選取分壓電阻器比率，如此一來，電壓啟動的電壓會低於最小標準大容量 (輸入) 電壓調節設定點，以確保啟動，並且 OV (下限) 重新啟動電壓會高於最大標準大容量電壓設定點，進而確定 LCS 將會在觸發 OV 臨界值上限的電壓升高活動發生後重新啟動。如果需要不同的電壓啟動對電壓關閉對 OV 比率，便必須為分壓電阻器增加外部電路。

VCC 接腳 UVLO

VCC 接腳可透過磁滯來提供內部 UVLO 功能。除非電壓超過 VCC 啟動臨界值 $V_{UVLO(+)}$ ，否則 HiperLCS 將不會啟動。HiperLCS 將會在 VCC 降至 VCC 關機臨界值 $V_{UVLO(-)}$ 以下時關閉。

VCCH 接腳 UVLO

VCCH 接腳是高壓驅動器的供電接腳。其也具有類似於 VCC 接腳的 UVLO 功能，其臨界值低於 VCC 接腳。這可讓 VCCH 電壓稍微低於 VCC，因為 VCCH 接腳是由自舉二極體與串聯電流限制電阻器饋送來自 VCC 的供電。

啟動與自動重新啟動

啟動之前，回授接腳內部電壓會上拉至 VREF 接腳，讓軟啟動電容器放電，並使輸出 MOSFET 保持關閉。啟動開始時，內部上拉電晶體便會關閉，讓軟啟動電容器充電，輸出會在達到 f_{MAX} 時開始切換，回授接腳電流逐漸減少，切換頻率下降，而 PSU 輸出會上升。當輸出達到電壓設定點時，光耦合器將會傳導，關閉迴路並調節輸出。

每當開啟 VCC 接腳電源時，DT/BF 接腳便會進入高阻抗模式長達 500 μ s，以感測分壓器比率和選取突波臨界值。儲存此設定，直到下次再利用 VCC。接著，DT/BF 接腳會進入一般模式，類似於將二極體接地，然後以感測的電流持續設定 f_{MAX} 頻率。突波臨界值頻率是 f_{MAX} 的固定部分。每當回授接腳的內部上拉開啟時，內部振盪器會在達到 f_{MAX} 時執行內部計數器。

在 IS-OV/UV 或 VCC 接腳 (UVLO) 偵測到故障時，內部回授接腳上拉電晶體便會開啟，總共 131,072 次時鐘週期，以將軟啟動電容器完全放電，然後才會嘗試重新啟動。再利用 VCC 之後的第一次開啟電源只會等待 1024 次週期，包括 OV/UV 接腳在開啟 VCC 電源後第一次超過電壓啟動電壓。

遙控關閉

透過將 OV/UV 接腳下拉至接地，或透過將 IS 接腳上拉至 >0.9 V，便可啟動遙控關閉功能。兩者都將啟動 131,072 次重新啟動週期。VCC 也會下拉，好將裝置關閉，但上拉時，回授接腳便會上拉至 VREF 接腳，以便將軟啟動電容器放電，但最多只有 1024 f_{MAX} 次的時鐘週期。如果使用此方案，設計者必須確定 VCC 下拉的時間，然後加上 1024 次週期，應足以將軟啟動電容器放電；若非如此，則會產生較低的啟動頻率，而不足以造成一次側電流過大而觸發過電流保護。

電流感測

IS 接腳可感測一次側電流。這類似於將二極體反向連接至接地接腳。只要負電流限制低於 5 mA 內，就容許提供負電壓。因此必須透過大於 220 Ω 的串聯限電流電阻器來連接到電流感測電阻器 (或一次側分壓電容器 + 感測電阻器)。這樣才可接受 AC 波形，而不需要整流器或峰值偵測器電路。如果 IS 接腳在 7 次連續週期都感測到標準的正峰值電壓 0.5 V，便會啟動自動重新啟動的功能。IS 接腳也有第二個較高的臨界值，一般為 0.9 V。透過單一脈衝即可啟動自動重新啟動的功能。偵測上述兩個電壓臨界值的最小脈衝寬度一般需要到 30 ns，也就是說，臨界值必須超過 30 ns，才能夠偵測到。

過溫關機

HiperLCS 具有鎖定 OTP 功能。在設備降至 OTP 臨界值以下時，VCCH 必須等待週期結束後，才能恢復操作。

基礎佈局準則

HiperLCS 是一種高頻率功率裝置且需要審慎安排電路板設計，以達到最大效能。

旁路電容器必須審慎放置和設計，才能使得所應用的接腳 Trace 長度最短。建議使用 SMD 元件，以利元件數與 Trace 雜散電感降至最低。

表 2 說明針對需要濾波/旁路功能的接腳，則建議使用的旁路電容器值。本表會按照最敏感至最不敏感的順序列出接腳。清單最上方的接腳旁路電容器敏感度最高，其在旁路電容器中位置的優先順序高於下方的接腳旁路電容器，因此可將 Trace 長度減至最短。若有雜訊進入清單上敏感度最高的兩個接腳 (亦即回授和 DT/BF 接腳)，將會分別導致工作週期和停滯時間不平衡。

Pin	返回接腳	建議值	附註
回授 (FB)	接地	4.7 nF (250 kHz 時)	等比例增加較低標準的頻率值 (例如，在 100 kHz 時增加 10 nF)。以回授接腳輸入阻抗 (回授迴圈特性的一部分) 構成極點。不能在預期增益交越頻率造成過大相位偏移。進入回授接腳的雜訊將會造成工作週期不平衡。
停滯時間/突波頻率 (DT/BF)	接地	4.7 nF	此電容的時間常數和連接至 DT/BF 接腳的電阻的電源阻抗必須小於 100 μ s。進入 DT/BF 接腳的雜訊將會造成停滯時間不平衡。
電流感測 (IS)	接地	1 nF (250 kHz 時)	值將會隨標準 LLC 階段操作頻率而等比例變更。與建議的 220 Ω 串聯電阻構成 RC 低通濾波器。不可削減一次側電流感測的 AC 訊號。
VCC	接地	1 μ F 陶瓷	
VREF	接地	1 μ F 陶瓷	
VCCH	HB	0.1 μ F - 0.47 μ F	自舉升壓電容 (Bootstrap) 為高壓側驅動器提供了瞬間電流以開啟高壓側 MOSFET。與自舉升壓 (Bootstrap) 限電流電阻 (與自舉升壓 (Bootstrap) 二極體串聯) 一起形成的時間常數會在啟動和前幾次切換週期的突波模式操作時，將 VCCH UVLO 延遲數個切換週期。
汲極 (DC 匯流排)	S1, S2	10-22 nF SMD 陶瓷最小值，加上 22-100 nF 穿孔式	每安培的標準一次側 RMS 電流總計 22 nF。SMD 零件必須直接位於 IC 且與短的 Trace 互相接近。這能夠在硬式開關 (ZVS 損失) 暫態期間避免 D-S 震盪。同時也能降低高頻率 EMI。
OV/UV	接地	4.7 nF	

表 2. 按重要性排序的旁路電容表。

圖 5 與圖 6 展示兩種佈線接地 Trace 效能最佳化的替代方案。圖 5 顯示採用橢圓墊的 LCS 設計佔位面積。這樣可讓 Trace 通過接腳 3 與接腳 5 之間，直接連接位於 IC 每一側之旁路電容器的接地系統。

圖 6 顯示由於空間不足，因此採用圓形墊的 LCS 設計佔位面積無法在其間進行 Trace 佈線。在此情況下，會使用跳線 (JP1，一種 1206 尺寸的 0 Ω 電阻器) 將接地系統連接在一起，以便在 JP1 下將接腳 3 佈線連接至光耦合器。

變壓器 T1 是高電流變化率 (di/dt) 訊號與電壓微分值 (dv/dt) 雜訊的共同來源。前者可磁性耦合至敏感電路，而後者可透過靜電耦合注入雜訊。雖然將變壓器鐵芯接地可減少靜電雜訊耦合，但由於降低了變壓器周圍的零星磁場，必定會使變壓器效率嚴重低落，因此在執行上不符合經濟效益。敏感的 Trace 與元件 (例如光耦合器) 的位置應遠離變壓器，以避免產生噪音擷取。

圖 7 顯示將光耦合器和 Trace 連接至回授接腳的偏好佈線範例。光耦合器會與變壓器隔開，以降低噪音擷取。此外也會進行光耦合器輸出 Trace (從接腳 3) 的佈線，以拉大與「主動」元件及 Trace (例如 T1 與電容器 C12 的高壓側) 之間的距離。將電阻 R20 安排在靠近光耦合器 U1 (而非光耦合器 U2) 的位置，如此可讓 R20 與 C4 組合先針對光耦合器 Trace 上的噪音擷取加以濾波，避免進入 U1 的回授接腳。C4 的位置緊鄰 U1 的回授接腳 (接腳 4)。

VCCH 是透過高電壓超快速二極體與 $2.2\ \Omega$ 電阻器的串聯，連接至待機電源供應器。當內部 LLC 低壓側 MOSFET 啟動後，此二極體電阻器網路即會為 VCCH 旁路/儲存電容器充電。電阻器會限制峰值瞬間充電電流。請參閱圖 8 中的 R6 和 D1。

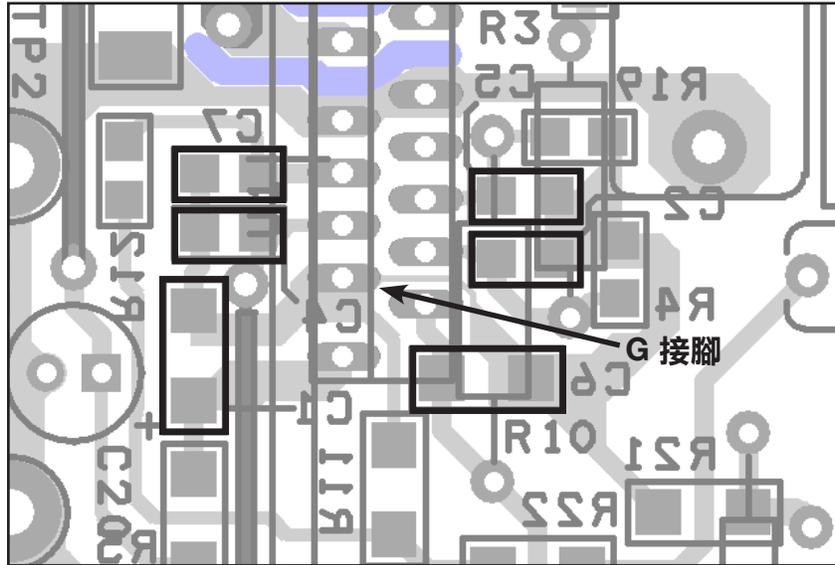


圖 5. IC 訊號接腳上的旁路電容位置。

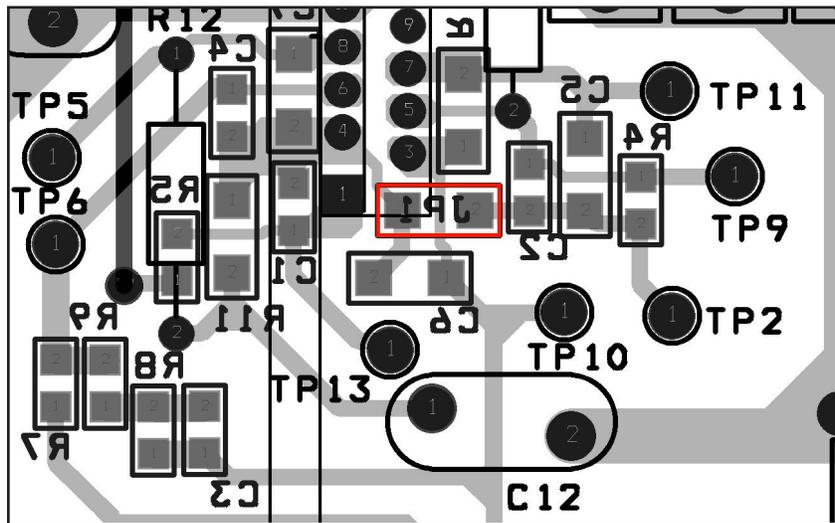


圖 6. 使用圓形墊和跳線連接二處標示的接地的 LCS 佔位面積替代佈局。

小型訊號旁路電容器

請參閱圖 5 並注意回授、DT/BF、IS、VREF、OV/UV 和 VCC 接腳的小型訊號旁路電容器 (加強標記處) 的位置, 該位置可縮短連至該接腳接線與接地接腳的 Trace。請注意, 印刷電路板上的接地接腳與源極接腳或 B- 匯流排之間並無任何連接。

VCCH 旁路電容器

請參閱圖 8 並注意 VCCH 電容器 (加強標記處) 的位置, 該位置可縮短連至 HB 接腳與 VCCH 接腳的接線。

汲源極間高電壓旁路電容器

請參閱圖 9 並注意 IC 上的 B+ 至 B- 高電壓旁路電容器 (加強標記處) 的位置, 該位置可將連至 D 與 S 接腳的 PCB Trace 長度縮至最短。

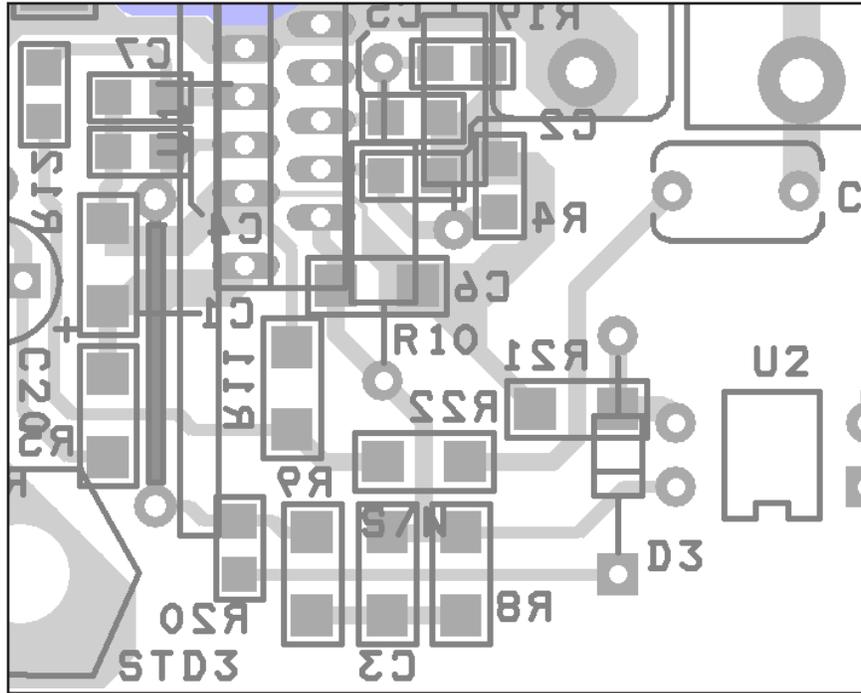


圖 7. 偏好光耦合器佈線和接至回授接腳的 Trace。

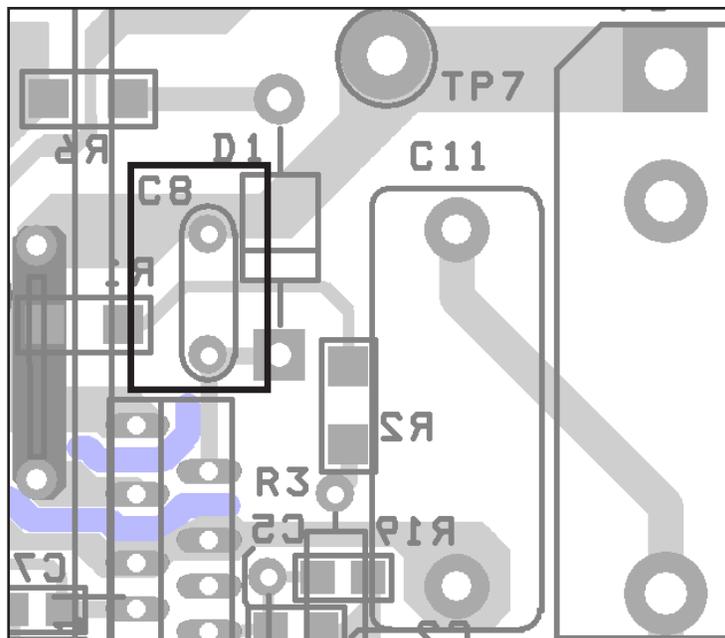


圖 8. VCCH 電容的位置。

自舉升壓 (bootstrap) 電路與 HB 節點佈局

請參閱圖 10 並注意自舉升壓 (bootstrap) 電路二極體、電容器、電阻器和 HB Trace 佈線的位置。此佈線方式的用意，在於讓上述元件的位置遠離小型訊號元件和 Trace，例如回授光耦合器。請勿在此節點上增加多餘的 PCB Trace 區域，因為這會增加低電壓電路的電容耦合。

變壓器二次側

變壓器二次側接腳、輸出二極體和主要輸出電容器的位置應彼此靠近，並以短而厚的 Trace 進行佈線。這對於二次側電流對稱與最小

化輸出二極體反向電壓應力而言十分**重要**。使用陶瓷電容器可讓您在變壓器二次側接腳與輸出整流器之間放置元件，產生非常緊密的設計。請參閱圖 11。將二次側繞組半側在線軸上進行繞組之前，應先將其相互纏繞在一起。這樣可將其間的漏電感降至最低並大幅改善電流對稱，且將輸出二極體反向電壓應力降至最低。針對雙輸出設計考量，指定輸出的半側繞組必須相互纏繞。

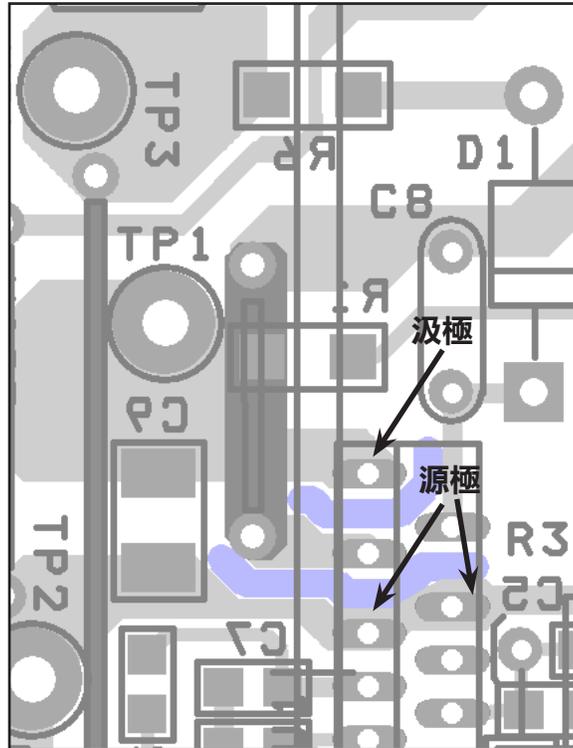


圖 9. B+ 和 B- 高壓旁路電容的位置。

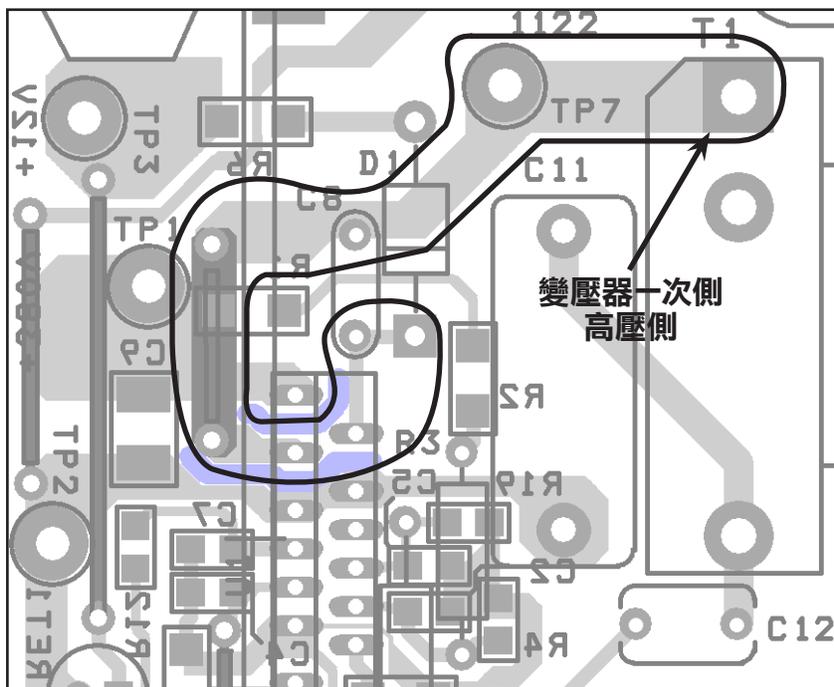


圖 10. 靴帶式二極體、電容器、電阻器和高壓 Trace 佈線的位置。

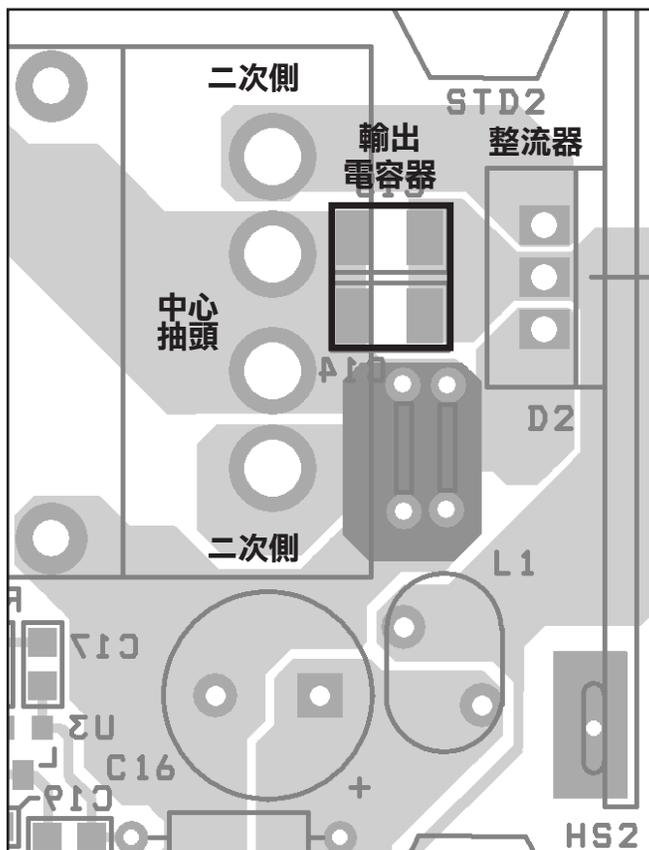


圖 11. 變壓器二次側接腳和輸出整流器之間的電容位置可最小化並等化迴路面積。

關鍵設計詳細資訊

LLC 轉換器是一種可變頻率諧振轉換器。當輸入電壓減小時，必須降低頻率以維持輸出調節。在最小限度內，當負載減少時必須增加頻率。當轉換器在串聯諧振頻率下運作時，負載頻率的變化極為輕微。處於電壓關閉（最小輸入電壓）和滿載狀態時，即會出現所需最小工作頻率。

工作頻率選擇

為了達到最低成本、最精簡的變壓器尺寸和最少的銅用量，建議的標準工作頻率為 ~250 kHz。這可讓您使用低成本陶瓷輸出電容器來取代電解電容器，尤其是在輸出電壓較高時 (≥ 12 V)。若使用的鐵芯和線軸，在 250 kHz 下出現過多的漏電感，但在 180 kHz 下運作能產生優異效能。為了在 250 kHz 下達到最佳效率，建議針對一次側使用 AWG #44 (0.05 mm) Litz，並針對二次側繞組使用 AWG #42 (0.07 mm)。您可以使用線徑較厚而成本較低的 Litz，但這會使銅的損失增加且降低效率。Litz 線徑 (AWG #38 或 0.1 mm) 最適合極低的頻率 (60-70 kHz)，但其需要較大的變壓器和長度較長的 Litz 線。

對於像 130 kHz 一樣低的標準工作頻率，建議您使用 PC44 或等效鐵芯材料，以降低損失。針對指定的變壓器設計，提高頻率 (透過替換為較小的諧振電容器) 可減少鐵芯損失 (因 AC 磁通密度 B_{AC} 減少所致)，並且增加銅損失。鐵芯損失是大於頻率的磁通密度函數。頻率增加會讓銅損失提升，這是由於渦電流損失所致。

當標準工作頻率大於 300 kHz 時，若銅的渦電流損失增加，且一次側電壓迴轉時間 (ZVS 迴轉時間) 耗費大量時間百分比進而損及將功率傳輸至二次側的時間百分比，則會開始明顯使效率低落。

諧振槽與變壓器設計

請參閱「應用說明 AN-55」，以取得關於使用 PIXIs HiperLCS 試算表協助整體設計程序的指南。

一次側電感

HiperLCS 的最佳傳動元件設計使用一次側電感，可在任何穩態條件下皆維持最低的 ZVS 損失。非穩態條件下的部分 ZVS，損失尚在可容許範圍內。降低一次側電感會產生較高的磁化電流，這會導致 ZVS 操作範圍增加，但磁化電流增加會提高損失機率且使效率低落。

第一次通過設計所用的一次側電感計算取決於裝置尺寸、額定負載、最低輸入電壓和所需工作頻率。這些內容皆記載於 PIXIs 試算表。 L_{PRI} 是整合式變壓器或使用外部串聯電感時的一次側電感 (高漏電感)，也就是此電感與變壓器一次側電感的總和。

漏電感

參數 K_{RATIO} 是漏電感的函數：

$$K_{RATIO} = \frac{L_{PRI}}{L_{RES}} - 1$$

建議的 K_{RATIO} 範圍是 2.5 - 7。這將決定漏電感的可接受範圍。

L_{RES} 是整合式變壓器的漏電感，若使用個別的串聯電感器，則為此電感與變壓器漏電感的總和。

低 K_{RATIO} (高漏電感) 無法在最低輸入電壓下進行調節，且會因漏電磁通量而出現變壓器銅損失增加的狀況。高 K_{RATIO} (低漏電感) 具有低線間高峰與 RMS 電流，且需要較低的一次側電感以透過合適的廣泛範圍，進而達成 ZVS 操作。這會使諧振漏電流增加並降低效率。

設計人員可採取鐵芯和線軸設計來限制漏電感的調整性。幸運的是，您可以透過相對廣泛的漏電感值區域達成優異的效能。

K_{RATIO} 會直接影響 LLC 維持其整體輸入電壓範圍調節時所需的工作頻率範圍。增加 K_{RATIO} 會使此頻率範圍增加，並降低 f_{MIN} 。

低 f_{MIN} 只是低頻率設計 (通常是在較高的標準 B_{AC} 下執行) 的潛在問題。這可能會讓鐵芯於 f_{MIN} 運作時達到飽和。當達到最低輸入電壓 (輸入電壓關閉) 時，即會在 f_{MIN} 下運作。

針對個別諧振電感器設計，在範圍的低壓側 ($K_{RATIO} = 7$) 執行電感可將電感器尺寸縮至最小且成本降至最低。

調整漏電感

LLC 轉換器通常使用分隔式線軸 (區隔一次側與二次側)。增加或減少一次側與二次側圈數 (維持圈數比不變) 會將漏電感按比例變更為一次側圈數的平方。

若漏電感過高，則其中一個可能的解決方案是使用 3 區段式線軸。其中二次側位於中間區段，而一次側繞組會分成兩個串聯連接的半側。

最後，若漏電感過低，則可能需要增加外部電感器。

諧振頻率

串聯諧振頻率是 L_{RES} 與 C_{RES} 、諧振電容器的函數。針對任何 L_{RES} 指定值，您可以將 C_{RES} 值調整為想要的串聯諧振頻率 f_{RES} 。為了達到最佳效率，在標準輸入電壓下會將諧振頻率設為接近目標工作頻率。

工作頻率與頻率比

諧振頻率比 f_{RATIO} 的運作定義如下：

$$f_{RATIO} = \frac{f_{SW}}{f_{RES}}$$

$f_{RATIO} = 1$ 代表轉換器是在串聯諧振頻率下運作。

變壓器圈數比是 f_{RATIO} 的主要決定因素。對於指定的輸入和輸出電壓，增加一次側圈數會降低 f_{RATIO} 。

標準輸入電壓下的建議 f_{RATIO} 為 0.92 – 0.97。若忽略輸出整流器選擇，諧振傳動元件通常在諧振下運作產生的效率最高。不過，在略低的諧振下運作（將整流器置於不連續導通模式），可讓您使用較低的電壓二極體或同步 MOSFET，其產生的損失較低且可提升整體效率。這是因為當處於高線間狀態時，一旦轉換器必須在上述諧振下運作，則整流器在連續模式下的運作深度較小，因而減少電流換向的幅度和雜散電感電壓突波。（雜散電感是由二次側相位之間的漏電感以及整流器與輸出電容器接線的雜散電感所組成）。

反之，在極低的 f_{RATIO} (<0.8) 下運作會導致 RMS 與峰值電流升高。在某些情況下，這會產生最佳設計。原因在於，這樣使用者可以運用較低的電壓額定值以及較低的 V_F 整流器。即使處於高線間狀態，它們也不會在連續導通模式下運作，也就不會產生電壓突波，還可同時降低電壓額定值。

若此公式為真，則 LLC 半橋轉換器會運作於諧振下：

$$\frac{\frac{V_{IN}}{2}}{V_{OUT}} = n_{EQ}$$

其中 n_{EQ} 是變壓器等效電路圈數比。請注意，整合式變壓器的 n_{EQ} 低於實體圈數比 N_{PRI} / N_{SEC} 。二次側圈數則為每半二次側的圈數。上述公式中的 V_{OUT} 等於輸出電壓 + 二極體壓降。除數“2”是因為半橋式配置 – 每半週期會將一半的輸入電壓傳導至每半個二次側。

請注意，如果變更諧振電容器或電感值的話，切換頻率與諧振頻率兩者也會隨著變更，但是 f_{RATIO} 只會稍微變更。

對於特定設計，LLC 於諧振狀態運作情況下的輸入電壓為 $V_{INPUT(RESONANCE)}$ 。低於此電壓時，LLC 會以較低的頻率（低於諧振）運作。因此建議 f_{RATIO} 的標準輸入電壓為 ≈ 0.95 ， $V_{INPUT(RESONANCE)}$ 會稍微高於標準電壓。

對於具有可變標準輸入電壓的設計（例如，沒有 PFC 預先調整器），建議先設定初始圈數比，因此 $V_{INPUT(RESONANCE)}$ 會介於最大與最小輸入電壓的中間。對於具有可變輸出電壓的設計（例如，定電流調節輸出），建議先設定初始圈數比，以諧振狀態在最小與最大輸出電壓的中間點操作 LLC。

停滯時間選擇

無論功率與工作頻率為何，大多數使用 HiperLCS 的設計會在介於 290 與 360 ns 之間的停滯時間運作良好。需要低 $V_{BROWNOUT}$ 的設計通常傾向於需要較短的停滯時間。

停滯時間設定會取低壓/滿載（低頻率）與最低負載/高壓（高頻率）條件間的折衷值。低線間/滿載操作有較短的最佳停滯時間，而最低負載/高線間有較長的最佳停滯時間。

若停滯時間設定比最佳低壓/滿載操作還要長，出現 ZVS 部分損失是可以接受的，只要該狀況不是出現在穩態操作下即可 – 也就是說只出現在暫態狀況下（例如維持時間）是可接受的。在穩態操作下，具有 ZVS 損失的操作會導致內部功率消耗過高，因此請避免此類操作。

比最佳高線間/最低負載操作還要短的停滯時間設定會傾向於造成回授跡象轉化，並會強迫 HiperLCS 進入突波模式。如果產生的突波模式操作是可接受的（例如，重複速率不會產生噪音，且如果 HiperLCS 進入並離開突波模式是在大訊號暫態可接受的情況下），那麼這樣的結果也可視為可以接受的。請注意，有了 PFC 預先調整前端，負載傾倒（例如，100% 至 1% 負載步階）只會暫時出現暫態輸入電壓狀況（例如，對 LLC 階段的輸入電壓會從 380 V 增加到 410 V，並會相對地逐漸回到 380 V）。另外，請記得，突波臨界值的頻率設定是設計人員可用來調整突波模式的另一個可用變數。

OV/UV 接腳

監控輸入 (B+) 電壓的 HiperLCS OV/UV 接腳具有電壓關閉關機臨界值 ($V_{SD(L)}$)，正常上是電壓啟動（開啟）臨界值 ($V_{SD(H)}$) 的 79%，如此一來，正常上就是 2.4 V。過壓 (OV) 保護關機臨界值 ($V_{OV(H)}$) 正常上是電壓啟動關機臨界值的 131%，且 OV 的重新啟動點 (V_{OVL}) 正常上會是 126%。這些臨界值的比率是固定的，且會選擇用於搭配 PFC 預先調整器前端及固定輸出電壓設定點的設計，以產生最大效用。您必須選取分壓電阻器比率，如此一來，電壓啟動點一律會低於 PFC 輸出設定點，而 OV 重新啟動（較低）臨界值（包括元件公差）則會一律高於 PFC 輸出設定點。

在電壓維持時間 (Hold-up Time) 期間，電壓會從標準值下降至電壓關閉關機臨界值，接著 HiperLCS 將停止切換。

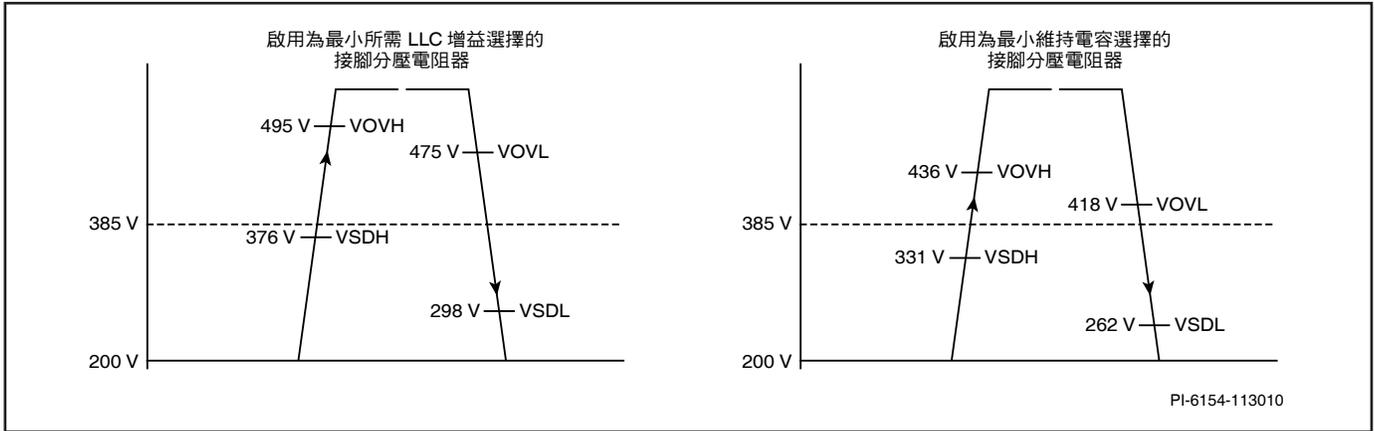


圖 14. 對於 385 V 標準輸入電壓，在最小和最大分壓比率下的 OV/UV 接腳電壓臨界值。

如果輸入電壓是可變的 (例如，沒有 PFC 預先調整器)，且變化大於 24% 時，則 OV 臨界值應隨著分壓電阻器上的外部電路而增加。如果 $V_{BROWNOUT}$ 必須降低至低於預設比時，也必須有外部電路。

在圖 14 左邊的範例中，已設定了分壓電阻器，如此一來，電壓啟動臨界值為 376 V，稍微低於 V_{PFC} 的設定點 385 V。OV 關機臨界值為 495 V，這對裝置的最大 V_{DS} 額定值 530 V 而言，已提供了足夠的誤差餘裕。同時，也這會將要求的最小 LLC 增益最小化，並將電壓關閉時的峰值電流最小化。在圖 14 右邊的範例中，OV 重新啟動臨界值設為 418 V，稍微高於 V_{PFC} 。這會將特定大電容值的電壓維持時間最大化。

OV/UV 接腳具有整合式 5 MΩ 下拉電阻，可偵測開放接腳的故障狀況。

OV/UV 接腳分壓的建議下拉阻值為 20 kΩ – 22 kΩ。極大電阻值會造成接腳下拉電流而影響準確度，較小的值則會增加功率損失。

DT/BF 接腳

DT/BF 接腳可在套用 VCC 後透過進入 500 μs 的高阻抗模式來感測分壓器比率。在 HiperLCS 開始切換之前，DT/BF 接腳可感測接腳電壓。請參見圖 15。

共有 3 種分離式突波臨界值設定可供選擇。(此設定會決定突波的開始與停止切換頻率，請參閱表 3)。

如要正確的選擇，請依照表 3 設定 R_{BURST} 與 R_{FMAX} 的比率。

突波臨界值	R_{BURST} / R_{FMAX}
1	19
2	9
3	5.67

表 3. 突波臨界值選擇表。

系統會儲存突波臨界值設定，直到 VCC 斷電為止。

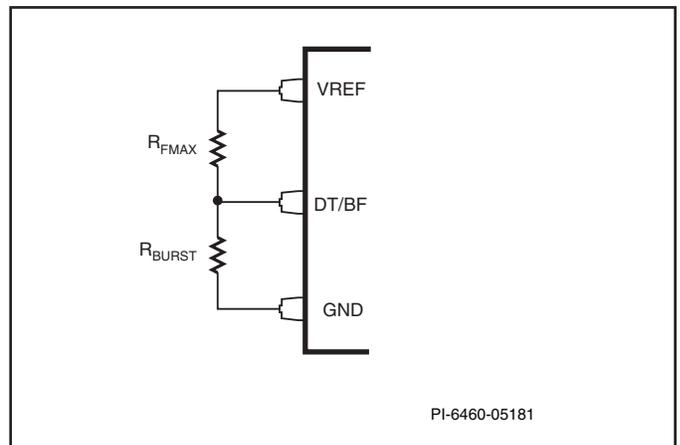


圖 15. DT/BF 接腳分壓器。

在突波臨界值偵測之後，DT/BF 接腳會以正常模式運作，降低電流、類似以二極體接地、使用 Thevenin 等效電路的標準 0.66 V 與 1.1 kΩ。來自分壓電阻器的電流進入接腳，決定停滯時間與最大化頻率 f_{MAX} 。停滯時間與 f_{MAX} 之間的關係是固定的，且可以依下列方式估算：

$$f_{MAX} (kHz) = \frac{270000}{Dead-Time(ns)}$$

DT/BF 接腳電流與 f_{MAX} ，以及切換頻率與回授接腳電流 (具有相同特性) 之間的關係，如圖 16 所示。

突波模式的開始與停止頻率臨界值是 f_{MAX} 的固定部分，其取決於由 DT/BF 接腳上的分壓電阻器比率所設定的突波臨界值設定。

突波臨界值設定	f_{START}/f_{MAX}	f_{STOP}/f_{MAX}
1	7/16	8/16
2	6/16	7/16
3	5/16	6/16

表 4. 標準突波開始和停止頻率與 f_{MAX} 的比率。

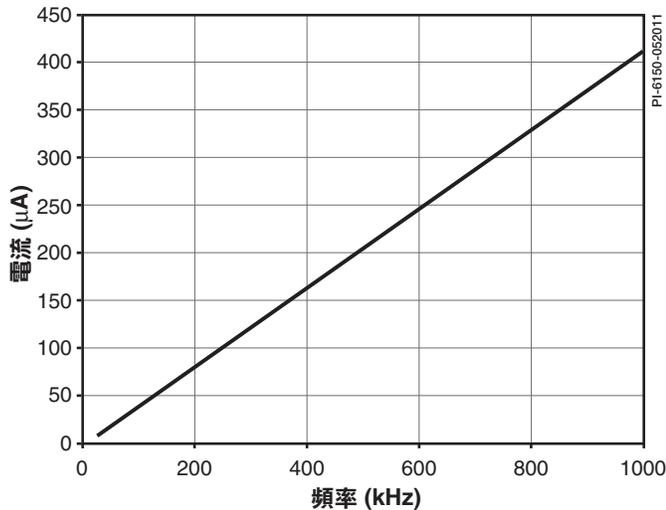


圖 16. 回授接腳和 DT/BF 接腳電流與頻率關係圖。

例如，如果選擇 BT2，且 f_{MAX} 為 800 kHz，則 $f_{START} = 300$ kHz，且 $f_{STOP} = 350$ kHz。在正常操作期間，當負載降低且頻率提高至 350 kHz 時，將會停止切換。這會造成輸出電壓下降，並造成回授迴路降低回授接腳電流。當電流降低至相當於 300 kHz 的值時，將會開始切換並重複此週期。然而在啟動模式下，輸出可在 f_{STOP} 與 f_{MAX} 之間的頻率進行切換 (在上述範例中分別為 250 kHz 與 800 kHz)。一旦切換頻率下降至低於 f_{STOP} 時，啟動模式便會結束。如果當回授迴路嘗試產生大於 f_{STOP} 的切換頻率時，HiperLCS 便會接著進入突波模式。

當 HiperLCS 處在自動重新啟動週期的關閉狀態或處於切換之前的開機延遲時， f_{MAX} 會是內部計數器的執行頻率。

建議最小的停滯時間是 275 ns，因此最大的 f_{MAX} 設定是 1 MHz。

若要簡化 R_{FMAX} 的選擇，請參見圖 17 中的選擇曲線。

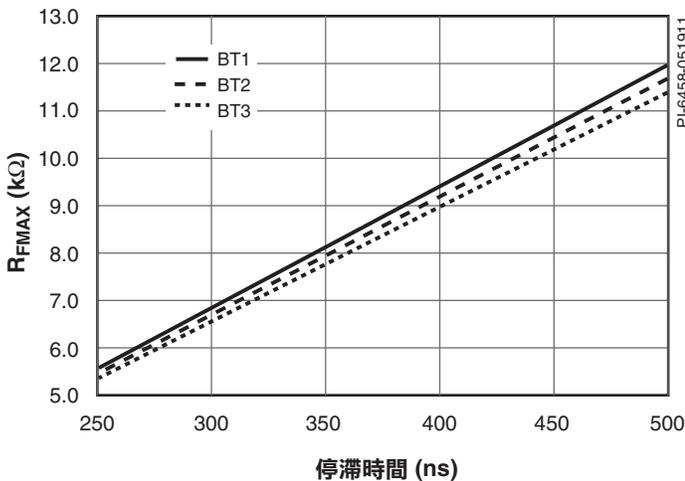


圖 17. 3 種不同突波臨界值設定的 R_{FMAX} 與停滯時間關係圖。

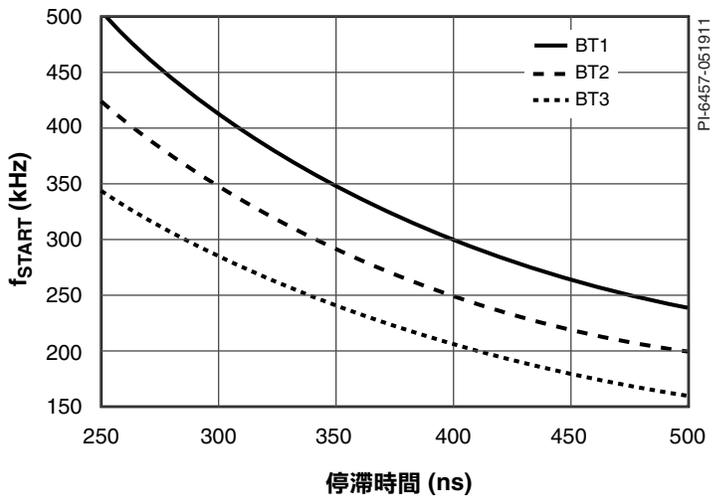


圖 18. f_{START} (較低突波臨界值頻率) 與不同突波臨界值設定 (BT1, BT2, BT3) 的停滯時間設定關係圖。

f_{STOP} 與 f_{START} 的比率是固定的，且這個比率取決於突波臨界值設定 (請參見表 5)。

突波臨界值設定	f_{STOP} / f_{START}
1	1.14
2	1.17
3	1.20

表 5. f_{STOP} / f_{START} 的比率與突波臨界值選擇。

作為突波模式期間的第一個近似值，頻率會從 f_{START} 上升到 f_{STOP} ，然後會停止切換，接著重複週期。

回饋接腳

回授接腳是電壓調節回授接腳。其具有標準的 Thevenin 等效電路 0.65 V 與 2.5 kΩ。在標準操作中，回授接腳會降低電流。在自動重新啟動的關閉期間，以及啟動之前的計時延遲期間，回授接腳會將內部電壓提高至 V_{REF} ，以便對緩啟動電容器進行放電。進入接腳的電流決定了切換的頻率。較高的電流會產生較高的頻率，因此會降低 LLC 的輸出電壓。在一般的應用中，連接至 VREF 接腳的光耦合器會透過電阻器網路，在回授接腳上提高電流。光耦合器會設定為當輸出升高時，提供逐漸增加的回授接腳電流。在光耦合器、回授接腳及 VREF 接腳之間的電阻器網路會決定最小與最大的回授接腳電流 (也因此決定了最小與最大的工作頻率)，光耦合器可因此控制其從切斷到飽和時的狀態。此網路也包含緩啟動時序電容器， C_{START} (圖 19)。

此網路所設定的最低頻率必須低於傳動元件在最小輸入電壓中所要求的頻率。在圖 19 中，最低頻率取決於 R_{FMIN} 與 R_{START} 的總和。當切斷光耦合器時，回授接腳電流會取決於這兩個電阻器。在正常操作下， C_{START} 可以被忽略。請勿將 R_{START} 與 f_{START} 混淆，前者決定啟動頻率，後者是突波模式開始 (較低) 臨界值頻率。

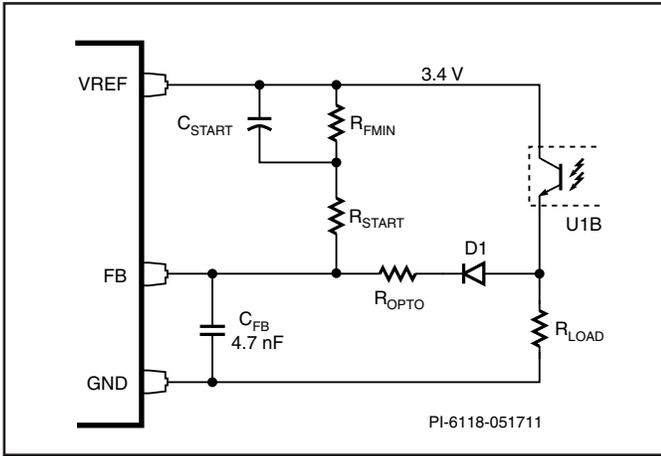


圖 19. 顯示多加負載電阻的回授網路。

啟動時的回授接腳電流取決於 R_{START} 的值，因為在 C_{START} 上的電壓會是零。若是最小啟動峰值電流，此電流必須符合或稍微超過 DT/BF 接腳電流，如此啟動切換頻率會從 f_{MAX} 開始。 R_{START} 的結果值大約是 10% (低於 DT/BF 接腳的上拉電阻值)。此頻率會在 C_{START} 進行充電時下滑。如果 R_{START} 小於在 f_{MAX} 提供啟動的值，則它會在啟動切換之前建立額外延遲。請參閱 PIXIs HiperLCS 試算表。

電阻器 R_{LOAD} 提供光耦合器上的負載，並會加速突波模式下的大訊號暫態反應。建議值為 $\sim 4.7\text{ k}\Omega$ 。二極體 D1 會在切斷光耦合器時防止 R_{LOAD} 載入 R_{FMIN} 。二極體 D1 可以省略，而找到的電阻值組合可以達到所需的 f_{MIN} ，但其產生的公差不佳。電阻器 R_{OPTO} 可改善 ESD 與 PSU 的突波耐受性。它也可以改善突波模式的輸出漣波電壓。當光耦合器在飽和狀態且回授接腳在 2.0 V 時，其最大值必須是回授接腳電流等於 DT/BF 接腳電流 (請參閱 PIXIs HiperLCS 試算表)。這樣一來，可確保如果 HiperLCS 並未結束啟動模式 (因為回授迴路不允許切換頻率降至低於 f_{STOP})，它可以於輕載情況下利用在 f_{MAX} 產生突波進行調節。請注意，雖然在 f_{MAX} 產生突波可能會因為 ZVS 損失而造成內部消耗過高，因此請避免此類操作。請參見圖 20。

電容器 C_{START} 的大小應調整為最小的可能值，以便在啟動時出現一組 7 個連續週期峰值電流。此電流只會稍微低於在電壓關閉與滿載時所測量到的峰值電流。較大的值會減慢啟動的速度，並讓它更有可能不會達到 f_{STOP} 。當 HiperLCS 以高壓與最小負載進行開機時，這可避免結束啟動模式，且可能接著造成 HiperLCS 在 f_{MAX} (而不是在 f_{START} 與 f_{STOP} 之間) 產生突波。

請使用下列公式來計算 R_{FMIN} 與 R_{START} ，此公式說明了從回授接腳到 VREF 接腳的標準電阻與頻率的關係：

$$R_{FB} = \frac{3574}{f^{(0.6041 + 0.1193 \times \text{LOG}(f))}}$$

這裡的 R_{FB} 單位是 $\text{k}\Omega$ ，而 f 的單位是 kHz 。

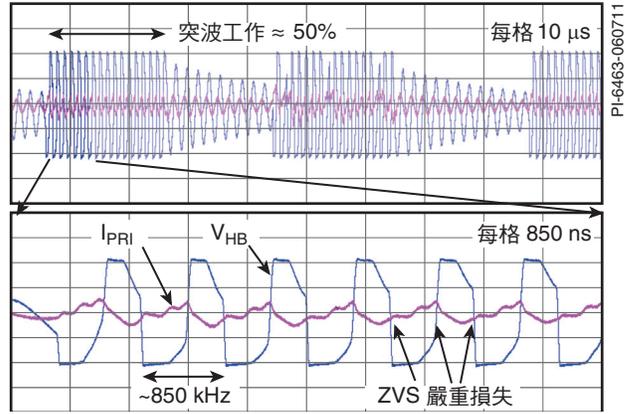


圖 20. 由於 ZVS 損失，使突波在 f_{MAX} 時造成高內部消耗，應加以避免。

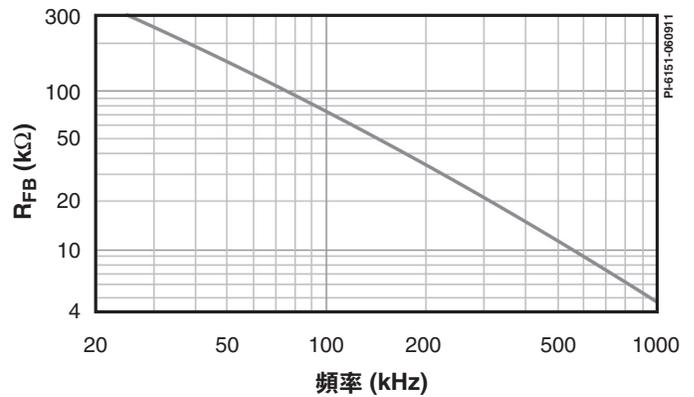


圖 21. V_{REF} 對 FB 外部電阻與頻率關係圖。

若要計算會在 f_{MAX} 產生啟動的最小 R_{START} ，請使用上述公式 $f = f_{MAX}$ (來自與停滯時間及 f_{MAX} 相關的公式)。

若要設定 f_{MIN} ，請使用上述公式 $f = f_{MIN} \times 0.93$ 。儘管最差情況下的頻率公差為 -7%，這裡的 0.93 是為了確保頻率可以低於 f_{MIN} ，以保證在 $V_{BROWNOUT}$ 的調節。

在 R_{FB} 上使用這個產生的計算值，並計算 R_{FMIN} ：

$$R_{FMIN} = R_{FB} - R_{START}$$

R_{FMIN} 與 R_{START} 的總和決定了 f_{MIN} 的值。

必須注意的是，4.7 nF 去耦合電容器、 C_{FB} (請參見圖 19)，與回授接腳提供的 2.5 $\text{k}\Omega$ 輸入電阻搭配使用，在 LLC 傳輸功能中形成了一個極點。這會在回授迴路上增加顯著的相位延遲。若是 250 kHz 的設計加上 3 kHz 的交越頻率，則一般值為 4.7 nF。若要避免不穩定的迴路，請勿任意增加 4.7 nF 電容器的值。而以另一個角度來看，沒有足夠的回授接腳旁路電容器或不佳的佈局可能會造成工作週期不對稱。

啟動與自動重新啟動

在啟動和自動重新啟動週期關閉狀態期間，回授接腳會在內部上拉至 VREF 接腳。如此一來，可維持輸出 MOSFET 關閉並使緩啟動電容放電，以準備進行緩啟動。

啟動時，此狀態將於頻率 f_{MAX} 時維持 1024 次時鐘週期。在自動重新啟動關閉狀態期間，或是在觸發 OV/UV 或 IS 接腳的同時，VCC 也保持高於其 UVLO 臨界值，此狀態將維持 131,072 次時鐘週期。

在 1024 或 131,072 次週期（視情況而定）後，HiperLCS 將會關閉內部上拉電晶體、緩啟動電容開始充電、輸出 MOSFET 會在 f_{MAX} 時開始切換、回授接腳中的電流逐漸減少、頻率開始下降而 PSU 輸出會上升。

例如，當 f_{MAX} 等於 800 kHz 時，VCC 開機後的啟動延遲時間為 1.3 ms。如果 IS 或 OV/UV 接腳斷電，將會叫用自動重新啟動，並有 164 ms 的重新啟動延遲時間。

回授接腳的限電流等於流入 DT/BF 接腳的電流。這會限制在啟動時為緩啟動電容充電的最大電流。如果在啟動時讓回授接腳電流符合 DT/BF 接腳電流的值大於 R_{START} ，便會產生額外的延遲時間。 C_{START} 會以限電流充電，而切換僅會在回授接腳電壓下降至 2.0 V 以下時才開始。因此，設計者可以視需要增額外的啟動延遲時間。

在緩啟動電容持續充電時，電流通過 R_{START} ，於是使得回授接腳的電流下降，並降低切換頻率。輸出電壓提昇；且當回授迴路閉合時，光耦合器會傳導並開始控制切換頻率，於是也會傳導並開始控制輸出電壓。

遙控關閉

藉由將 OV/UV 接腳下拉至接地，或是將 IS 接腳上拉至大於 0.9 V，皆可用遙控關閉。兩者皆會用 131,072 週期的重新啟動週期。VCC 也會下拉將裝置關閉，但上拉時，回授接腳便會上拉至 VREF 接腳，以將軟啟動電容放電，但最多只有 $1024 f_{MAX}$ 次的時鐘週期。如果使用此方案，設計者必須確定 VCC 下拉的時間，加上 1024 次週期，應足以將緩啟動電容放電；若非如此，則會產生較低的啟動頻率，也就不足以造成一次側電流過大來觸發過電流保護。

IS 接腳

IS 接腳有 2 個臨界值：標準為 0.5 V 和 0.9 V。IS 接腳能夠承受較小的負電壓和反向電流，因此不需要峰值偵測器或整流器電路。接腳有反向偏壓二極體以將等效電路接地，並且能夠承受最大 5 mA 的反向電流。一次側、B- 參考電流感測電阻器或是電容電流分壓器 + 電流感測電阻器的組合電路，會對一次側電流取樣。為了將反向電流限制在 5 mA，感測電阻和 IS 接腳間的限制電阻器的電流是必要的，其最小值為 220 Ω 。對於特定 RC 極點頻率來說，使用最小值將 IS 接腳旁路電容值最大化時，也會使接腳雜訊拒斥現象最大化。

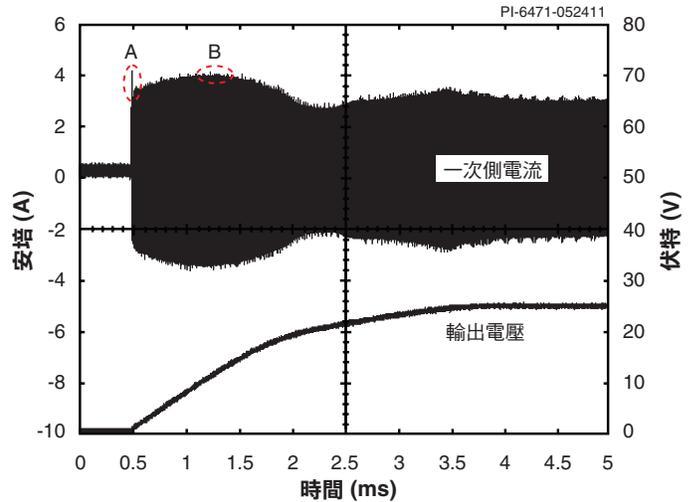


圖 22. 典型啟動波形。觀察初始電流突波「A」以確保其低於 1 週期的限電流。較高 f_{MAX} 會將其降低。尺寸軟啟動電容以使「B」的峰值剛好低於滿載時的 $V_{BROWNOUT}$ 峰值電流。

如果偵測到連續 7 次大於 0.5 V 的脈衝，IS 接腳便會叫用重新啟動。如果單次脈衝超過 0.9 V 亦會叫用重新啟動。標準最低脈衝偵測時間為 30 ns，亦即脈衝高於臨界值電壓的時間必須為 30 ns 以上。

圖 23 所示的「電容分壓器」電路能夠透過簡單的電流感測電阻器電路降低功率消耗並提高效率。其中的兩個電容，主諧振電容 C11 和感測電容 C12 構成了電流分壓器。流經 C12 的一次側電流比例為

$$\frac{C12}{C11 + C12}$$

因此，IS 接腳的電壓等於

$$I_P \times \frac{C12}{C11 + C12} \times R11,$$

其中 I_P 為從 HB 接腳流經變壓器一次側的一次側電流。感測電容器中的電流會通過感測電阻 R11。電阻 R11 為調整限電流的主要方式。在 R11 上的訊號為 AC 電壓，並會經由低通濾波器 R12 和 C7 到達 IS 接腳。請注意，R11 將會返回接地接腳而非源極接腳。

建議的串聯電阻值 220 Ω 和旁路電容構成了低通濾波器，而其時間常數不得對標準操作頻率造成電流感測訊號顯著削減。削減的效應在啟動電流波形的第一個脈衝中是最大的，同時也能夠影響短路測試期間的正確關機，而通常短路測試中斷 7 週期限電流。將近耦合探棒放置 IS 接腳旁路電容上，並與一次側電流比較波形。

突波模式操作與調整

突波模式將會產生典型波形，如圖 24 所示。在突波脈衝串期間，
 切換頻率將從 f_{START} 提昇至 f_{STOP} 。

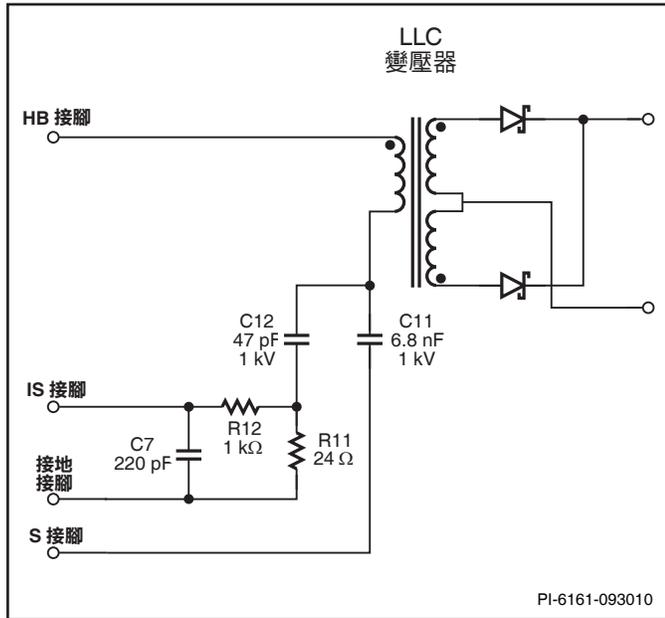


圖 23. 電容分壓電流感測電路。

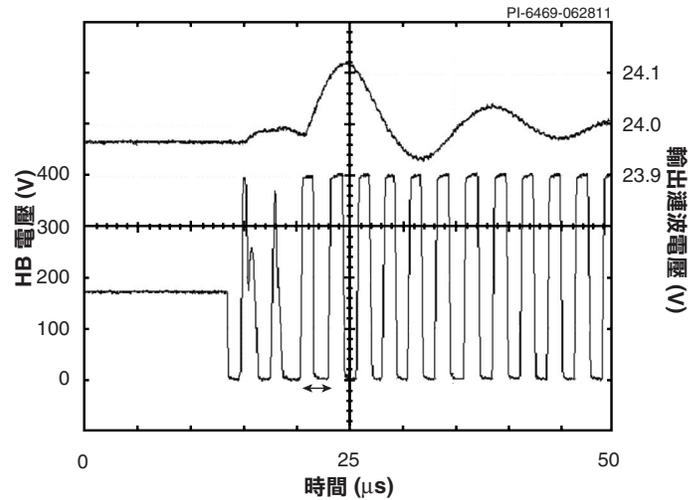


圖 25. 對圖 24 突波脈衝串前幾次切換週期的放大圖。前 2 次週期顯示高壓側驅動器尚未開啟。前幾次週期的切換頻率為 f_{START} ，在此案例中為 335 kHz。輸出震盪來自輸出濾波器。

如果忽略突波脈衝串開始時的初始輸出漣波突波，則輸出漣波將會近似於鋸齒狀。請參見圖 24 中的輸出漣波波形。當 HiperLCS 在切換時，輸出將會提升。停止切換時，輸出便隨之降低。鋸齒的頂端是突波脈衝串結束處，因為回授迴路的控制使頻率等於 f_{STOP} 。鋸齒的底部是突波脈衝串起始處，因為回授迴路的控制使頻率等於 f_{START} 。因此，突波模式控制近似於磁滯控制器，其中鋸齒頂端和底部由回授迴路增益所固定。鋸齒的向下傾斜部份僅代表輸出電容器正在放電至負載，其高電壓微分 (di/dt)：

$$I = C \times \frac{dv}{dt}$$

其中 I 等於負載電流。C 為總輸出電容。

鋸齒向上傾斜的部份會因為傳動元件所傳輸電流和負載所汲取電流間的差異而有所不同。對於特定設計，向上傾斜部份的斜率會隨輸入電壓而增加。

屆時突波重複率 (頻率) 將會隨著負載而增加。當負載達到傳動元件能夠在頻率小於 f_{STOP} 時調節的點，突波便會停止。當負載電流 (從重負載) 降低時，頻率便會隨之上升，達到 f_{STOP} 時，突波便會開始出現。

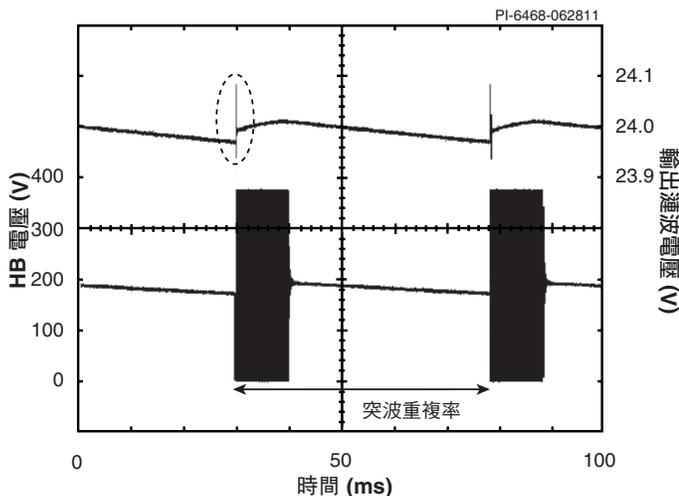


圖 24. 突波模式的典型波形。24 V / 150 W HiperLCS 在零負載時的設計。初始突波 (圈選部份) 尺寸取決於後置濾波器電解電容 ESR。

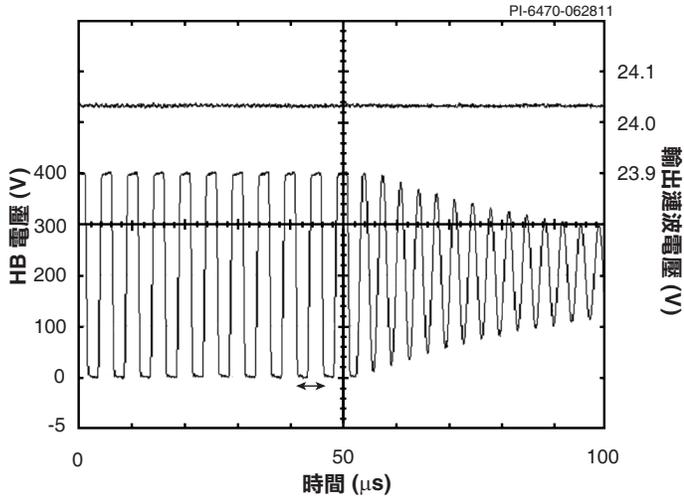


圖 26. 對圖 24 突波脈衝串最後幾次切換週期的放大圖。最後幾次週期的切換頻率為 f_{STOP} ，在此案例中為 383 kHz (如箭頭所示)。在切換停止後， V_{HB} 中的振盪為與 MOSFET 電容的一次側電感振盪。

在典型設計中，必須選擇至少比標準切換頻率高出 20-40% 的 f_{START} 。圖 18 顯示了 f_{START} 和停滯時間之間的關係，而表 5 則是 f_{STOP} 與 f_{START} 的比率與突波臨界值設定數據之比較。在某些情況下，設計者可能會選擇略微變更停滯時間以變更 f_{START} 和 f_{STOP} 。某些設計可能只在零負載和高於標準輸入電壓時才進入突波模式。較高的 f_{START} 將會降低突波開始時的負載臨界值、增加輸入電壓臨界值並降低突波模式中的輸出漣波，但也一併增加突波重複率因此，可能會造成部份線路和負載組合中的噪音。選擇 f_{START} 將會影響大型訊號暫態反應，而 HiperLCS 將會在其中進出突波模式。

絕對最大額定值⁽⁶⁾

瞬間重複 D 或 HB 電流 ⁽⁵⁾ $V_{CC}, V_{CCH} = 11.5\text{ V}, T_J = 25\text{ }^\circ\text{C}$	OV/UV 接腳電壓 ⁽³⁾	-0.3 至 $V_{CC} + 0.3\text{ V}$
LCS700.....	接腳電流 (VREF、OV/UV、DT/BF、FEEDBACK、IS).....	$\pm 100\text{ mA}$
LCS701.....	接面溫度.....	$-40\text{ }^\circ\text{C}$ 至 $150\text{ }^\circ\text{C}$ ⁽⁷⁾
LCS702.....	儲存溫度.....	$-65\text{ }^\circ\text{C}$ 至 $150\text{ }^\circ\text{C}$
LCS703.....	焊接溫度 ⁽⁴⁾	$260\text{ }^\circ\text{C}$
LCS705.....	ESD 額定值 (JESD22-A114-B, HBM).....	2 kV
LCS708.....	附註:	
瞬間重複 D 或 HB 電流 ⁽⁵⁾ $V_{CC}, V_{CCH} = 11.5\text{ V}, T_J = 125\text{ }^\circ\text{C}$	1. 電壓參照至 S。	
LCS700.....	2. 電壓參照至 HB。	
LCS701.....	3. 電壓參照至 G。	
LCS702.....	4. 1/16 英寸。焊接時間為 5 秒。	
LCS703.....	5. 若 $T_J < 100\text{ }^\circ\text{C}$ 且汲極電壓 $\leq 400\text{ VDC}$, 則單圈峰值電流可超過	
LCS705.....	$t < 460\text{ ns}$ 的重複最大電流。	
LCS708.....	6. 所有接腳的絕對最大電壓額定值如規定所示。這是絕對最大條件, 不得超過此條件。應儘量避免出現最大操作條件與這一絕對	
汲極接腳電壓 D ⁽¹⁾	最大額定值條件之間的電壓, 且其持續時間應較短 (例如, 在暫時的	
半橋電壓, HB ⁽¹⁾	故障條件下)。這些條件並非預期作為產品最高達到絕對最大	
半橋電壓迴轉率, HB.....	額定值時的可靠性保證, 而是作為最大應用電壓等級指南, 超過	
供電接腳電壓, VCC ⁽¹⁾ , VCCH ⁽²⁾	這一等級將存在直接損壞產品的風險。	
G 接腳電壓 ⁽¹⁾	7. 絕對最大接面溫度是指避免裝置損壞 (潛在或其他損壞) 的極限	
IS 接腳電壓 ⁽³⁾	溫度。	
DT/BF 和回授接腳電壓 ⁽³⁾		

熱阻

接面至外殼熱阻^(1,3):

LCS700 (θ_{JC}).....	7.6 $^\circ\text{C/W}$	LCS701 (ΔT_{J-OT}).....	4.0 $^\circ\text{C/W}$
LCS701 (θ_{JC}).....	7.0 $^\circ\text{C/W}$	LCS702 (ΔT_{J-OT}).....	3.5 $^\circ\text{C/W}$
LCS702 (θ_{JC}).....	6.6 $^\circ\text{C/W}$	LCS703 (ΔT_{J-OT}).....	3.2 $^\circ\text{C/W}$
LCS703 (θ_{JC}).....	6.2 $^\circ\text{C/W}$	LCS705 (ΔT_{J-OT}).....	2.8 $^\circ\text{C/W}$
LCS705 (θ_{JC}).....	5.9 $^\circ\text{C/W}$	LCS708 (ΔT_{J-OT}).....	2.5 $^\circ\text{C/W}$
LCS708 (θ_{JC}).....	5.5 $^\circ\text{C/W}$		

接面至散熱片熱阻^(1,2):

LCS700 (θ_{JH}).....	10.1 $^\circ\text{C/W}$
LCS701 (θ_{JH}).....	9.5 $^\circ\text{C/W}$
LCS702 (θ_{JH}).....	9.1 $^\circ\text{C/W}$
LCS703 (θ_{JH}).....	8.7 $^\circ\text{C/W}$
LCS705 (θ_{JH}).....	8.4 $^\circ\text{C/W}$
LCS708 (θ_{JH}).....	8.0 $^\circ\text{C/W}$

最熱接面至 OT 感應器熱偏移^(1,2,4):

LCS700 (ΔT_{J-OT}).....	4.6 $^\circ\text{C/W}$
-----------------------------------	------------------------

附註:

- 二個電源開關皆各消耗總電源的一半。
- 接合至鋁製散熱片, 並一致使用 Thermalloy 散熱膏。以 30 N 以上的力道夾扣, 接合至封裝的中央。
- 接面至外殼熱阻視最熱的接面而定, 在封裝中央的反面測量殼體溫度。
- 最熱接面與過熱感應器之間的溫度差異。

參數	符號	條件			單位	
		源極 = 0 V ; $T_J = -40\text{ }^\circ\text{C}$ 至 $125\text{ }^\circ\text{C}$ ^(D) $V_{CC} = 12\text{ V}, V_{CCH} = 12\text{ V}$ (除非另有指定)	最小值	典型值		最大值
半橋						
關閉狀態電流	I_{DSS}	從 D 測量至 HB 或從 HB 測量至 S $T_J = 100\text{ }^\circ\text{C}, V_{CC} = 12\text{ V}, V_{CCH} = 12\text{ V}, V_D = 424\text{ V}$	LCS700		60	μA
			LCS701		60	
			LCS702		65	
			LCS703		80	
			LCS705		120	
			LCS708		200	
崩潰電壓	BV_{DSS}	$V_{CC} = 12\text{ V}, V_{CCH} = 12\text{ V}, 250\text{ }\mu\text{A}, T_J = 25\text{ }^\circ\text{C}$ 從 D 測量至 HB 或從 HB 測量至 S	530		V	

參數	符號	條件		最小值	典型值	最大值	單位
		源極 = 0 V ; T _J = -40 °C 至 125 °C ^(D) V _{CC} = 12 V, V _{CCH} = 12 V (除非另有指定)					
半橋 (續)							
崩潰電壓溫度係數	BV _{DSS(TC)}	從 D 測量至 HB 或從 HB 測量至 S			0.2		V/°C
開啟狀態電阻	R _{DS(ON)}	從 D 測量至 HB 或從 HB 測量至 S V _{CC} = 12 V, V _{CCH} = 12 V, T _J = 25 °C	LCS700, I = 0.8 A		1.53	1.82	Ω
			LCS701, I = 1.2 A		1.00	1.24	
			LCS702, I = 1.6 A		0.74	0.92	
			LCS703, I = 2.0 A		0.60	0.73	
			LCS705, I = 3.0 A		0.40	0.49	
			LCS708, I = 4.8 A		0.26	0.31	
開啟狀態電阻	R _{DS(ON)}	從 D 至 HB 或從 HB 至 S 測量 V _{CC} = 12 V, V _{CCH} = 12 V, T _J = 100 °C	LCS700, I = 0.8 A		2.15	2.63	Ω
			LCS701, I = 1.2 A		1.42	1.78	
			LCS702, I = 1.6 A		1.05	1.33	
			LCS703, I = 2.0 A		0.85	1.06	
			LCS705, I = 3.0 A		0.58	0.71	
			LCS708, I = 4.8 A		0.36	0.45	
半橋電容	C _{HB}	有效半橋電容。 V _{HB} 在 0 V 至 400 V 或 400 V 至 0 V 之間 來回變化， 請參見附註 A	LCS700		134		pF
			LCS701		201		
			LCS702		268		
			LCS703		335		
			LCS705		503		
			LCS708		804		
二極體順向電壓	V _{FWD}	從 HB 測量至 D 或從 S 測量至 HB T _J = 125 °C	LCS700, I = 0.8 A		1.15		V
			LCS701, I = 1.2 A		1.15		
			LCS702, I = 1.6 A		1.15		
			LCS703, I = 2.0 A		1.15		
			LCS705, I = 3.0 A		1.15		
			LCS708, I = 4.8 A		1.15		
電源供應器							
VCC 供應器電壓範圍	V _{CC}	請參閱附註 C		11.4	12	15	V
VCCH 供應器電壓範圍	V _{CCH}	請參閱附註 C		11.4	12	15	V
啟動電流	I _{CC(OFF)}	欠壓保護狀態 : V _{CC} = 7 V			120	170	μA
抑制電流	V _{CC(INHIBIT)}	V _{CC} = 12 V, OV/UV < V _{SD(L)}			450	650	μA
VCC 操作電流	V _{CC(ON)}	一般情況下 V _{CC} = 12 V 最大 V _{CC} = 15 V (測於 300 kHz), HB 開且 V _D = 15 V	LCS700		2.8	5.2	mA
			LCS701		3.3	5.8	
			LCS702		3.8	6.5	
			LCS703		4.2	7.1	
			LCS705		5.4	8.8	
			LCS708		7.4	11.8	
VCCH 操作電流	I _{CCH(ON)}	一般情況下 V _{CCH} = 12 V 最大 V _{CCH} = 15 V (測於 300 kHz), HB 開且 V _D = 15 V	LCS700		2.4	4.6	mA
			LCS701		2.9	5.2	
			LCS702		3.3	5.8	
			LCS703		3.7	6.4	
			LCS705		4.8	7.9	
			LCS708		6.8	10.7	

參數	符號	條件 源極 = 0 V ; $T_J = -40\text{ °C}$ 至 $125\text{ °C}^{(D)}$ $V_{CC} = 12\text{ V}$, $V_{CCH} = 12\text{ V}$ (除非另有指定)	最小值	典型值	最大值	單位
VCCH 欠壓保護						
VCC 啟動臨界值	$V_{UVLO(+)}$	當 V_{CC} 超出 UVLO+ 時, 裝置會結束 UVLO 狀態, $T_J = 0$ 至 100 °C	10	10.5	11.4	V
VCC 關機臨界值	$V_{UVLO(-)}$	當 V_{CC} 降低低於 UVLO+ 時, 裝置會進入 UVLO 狀態, $T_J = 0$ 至 100 °C	9.1	9.5	10.5	V
VCC 啟動/關機磁滯	$V_{UVLO(HYST)}$	$T_J = 0$ 至 100 °C	0.7	1.0	1.2	V
VCCH 啟動臨界值	$V_{UVLO(H+)}$	當 V_{CCH} 超出 UVLOH+ 時, 驅動器會結束 UVLO 狀態	8.2	8.5	8.9	V
VCCH 關機臨界值	$V_{UVLO(H-)}$	當 V_{CCH} 降低低於 UVLOH- 時, 驅動器會進入 UVLO 狀態	7.2	7.5	7.9	V
VCCH 啟動/關機磁滯	$V_{UVLO(H)HYST}$		0.8	1.0	1.2	V
高壓電壓源欠壓/過壓啟動						
OV/UV 過壓關機臨界值	$V_{OV(H)}$	過壓有效臨界值	129	131	133	% / $V_{SD(H)}$
OV/UV 過壓恢復臨界值	$V_{OV(L)}$	過壓無效臨界值	124	126	128	% / $V_{SD(H)}$
OV/UV 欠壓啟動臨界值	$V_{SD(H)}$	欠壓無效臨界值	2.35	2.40	2.45	V
OV/UV 過壓關機臨界值	$V_{SD(L)}$	欠壓有效臨界值	77	79	81	% / $V_{SD(H)}$
OV/UV 接腳輸入電阻	$R_{IN(OVUV)}$	G 的 OV/UV 接腳電阻 $T_J = 25\text{ °C}$	4.0	5.0	6.0	MΩ
OV/UV 接腳輸入電阻溫度係數	$R_{IN(OVUVTC)}$			-0.4		%/°C
參考資料						
參考電壓	V_{REF}	$I_{REF} = 4\text{ mA}$	3.20	3.40	3.50	V
VREF 接腳的電流源能力	I_{REF}				4	mA
V_{REF} 電容	C_{REF}	VREF 接腳的必要外部耦合	1			μF
LLC 振盪器						
頻率範圍	F_{RANGE}		25		1000	kHz
最小頻率限制準確度	$F_{MIN(ACC)}$	$R_{FB} = 37.9\text{ k}\Omega$ 到 V_{REF} , 180 kHz	-5.0		5.0	%
	$F_{MIN(ACL)}$	$R_{FB} = 154\text{ k}\Omega$ 到 V_{REF} , 48 kHz $T_J = 25\text{ °C}$	-7.5		7.5	
最大頻率限制準確度	$F_{MAX(ACC)}$	$I_{FB} = I_{DT/BF}$, $R_{FMAX} = 12.5\text{ k}\Omega$, $F_{MAX} = 510\text{ kHz}$, $T_J = 0$ 至 100 °C	-7.5		7.5	%
工作平衡	D_{LLC}	半橋波形的工作對稱性, $C_{FB} = 4.7\text{ nF}$, $C_{DT/BF} = 4.7\text{ nF}$, 250 kHz 使用建議的佈局	49		51	%
停滯時間 ^B	t_D	$R_{FMAX} = 7\text{ k}\Omega$, $R_{BURST} = 39.6\text{ kW}$		330		ns
DT/BF 控制電流範圍	$I_{DT/BF}$		30		430	μA

參數	符號	條件 源極 = 0 V ; $T_J = -40\text{ }^\circ\text{C}$ 至 $125\text{ }^\circ\text{C}^{(D)}$ $V_{CC} = 12\text{ V}$, $V_{CCH} = 12\text{ V}$ (除非另有指定)	最小值	典型值	最大值	單位
LLC 振盪器 (續)						
I_{FB} 臨界值 (停止 LLC 切換)	I_{STOP1}	結束突波設定 BT1 的緩啟動模式之後 臨界值將適用		52.0		% / $I_{DT/BF}$
	I_{STOP2}	結束突波設定 BT2 的緩啟動模式之後 臨界值將適用		46.0		
	I_{STOP3}	結束突波設定 BT3 的緩啟動模式之後 臨界值將適用		39.0		
I_{FB} 臨界值磁滯	$I_{BURST(HYST)}$	I_{START} 為低於 I_{STOP} 的 $I_{BURST(HYST)}$	5	6.8	8	% / $I_{DT/BF}$
計畫突波設定的 DT/BF 電壓	V_{BT1}	啟動時啟用突波設定 BT1 所需的 $V_{DT/BF}$	93.5	95	96.3	% / V_{REF}
	V_{BT2}	啟動時啟用突波設定 BT2 所需的 $V_{DT/BF}$	88.5	90	91.3	
	V_{BT3}	啟動時啟用突波設定 BT3 所需的 $V_{DT/BF}$	83.5	85	86.3	
R_{FMAX}、R_{BURST} 以及 DT/BF 去耦合電容組合 的時間常數	$RC_{DT/BF}$	時間常數必須少於指定的最大值， 才能確保突波模式的設定正確。			100	μs
回授電流最大值	I_{FB}	決定可由 I_{FB} 設定的最大控制頻率		100		% $I_{DT/BF}$
回授控制 電流範圍	I_{FB}	I_{FB} 由通到 DT/BF 的電流所限制	15		430	μA
回授虛擬電壓	V_{FB}	FB 輸入顯示為 $R_{IN(FB)}$ (與 V_{FB} 串聯)， $30\text{ }\mu\text{A} < I_{FB} < I_{DT/BF}$		0.65		V
回授輸入電阻	$R_{IN(FB)}$	FB 輸入顯示為 $R_{IN(FB)}$ (與 V_{FB} 串聯)， $30\text{ }\mu\text{A} < I_{FB} < I_{DT/BF}$		2.5		k Ω
緩啟動時的回授輸入電阻	$R_{FB(SS)}$	緩啟動延期間隔時或當 OV/UV 小於 V_{SD} 或 OV/UV 大於 V_{OV} 時，FB 輸入顯示為 $R_{FB(SS)}$ (與 V_{REF} 串聯)		750		Ω
過電流保護						
快速過電流故障電壓 臨界值^A	$V_{IS(F)}$		0.855	0.905	0.955	V
慢速過電流故障電壓 臨界值	$V_{IS(S)}$	7 LLC 時鐘週期防回跳	0.455	0.505	0.555	V
過電流故障脈衝寬度	t_{IS}	每一週期最短時間 V_{IS} 超出 $V_{IS(F)}/V_{IS(S)}$ ， 即觸發故障保護		30		ns
過溫保護						
過溫關機臨界值^A	T_{OT}			125		$^\circ\text{C}$

附註：

- 由設計保證。
- 諧振 ZVS 情況下 HB 接腳的典型視在停滯時間。
- VCC/VCCH 工作範圍，可取得規格型錄功率表中指定的功率能力。
- 可能由過溫關機限制操作。

典型效能特性

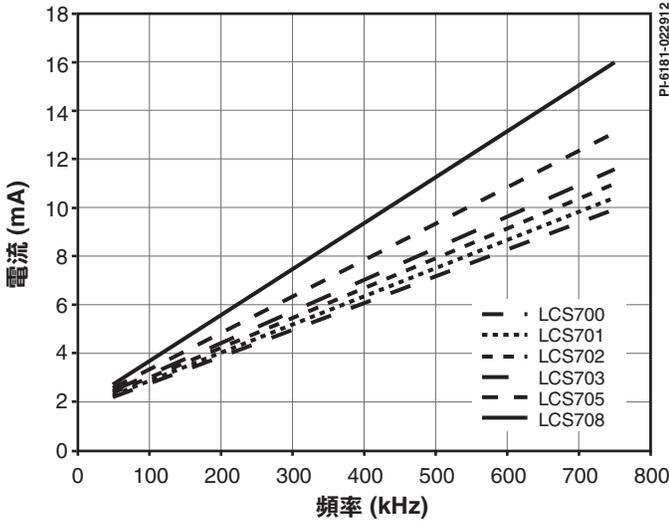


圖 27. V_{CC} 電流與頻率。

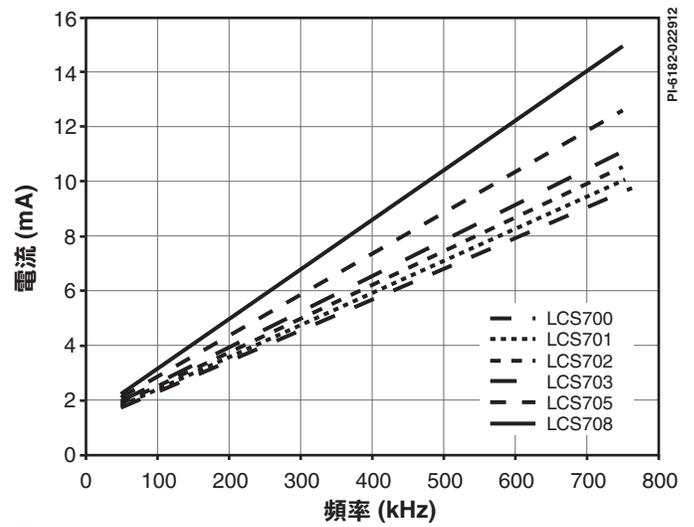


圖 28. V_{OH} 電流與頻率。

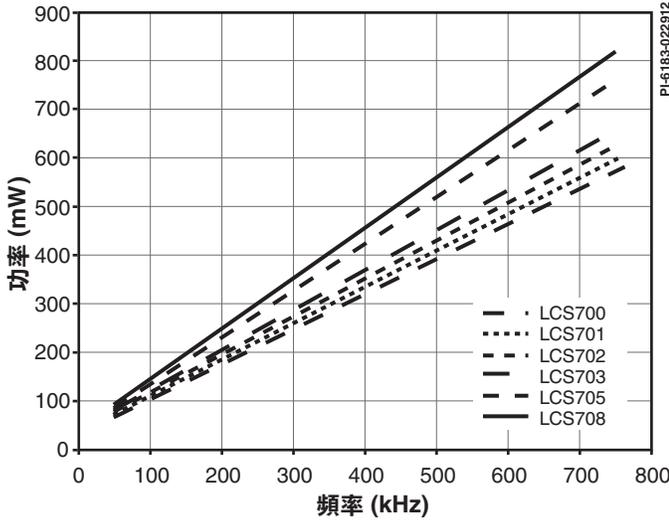


圖 29. 控制電源與頻率。

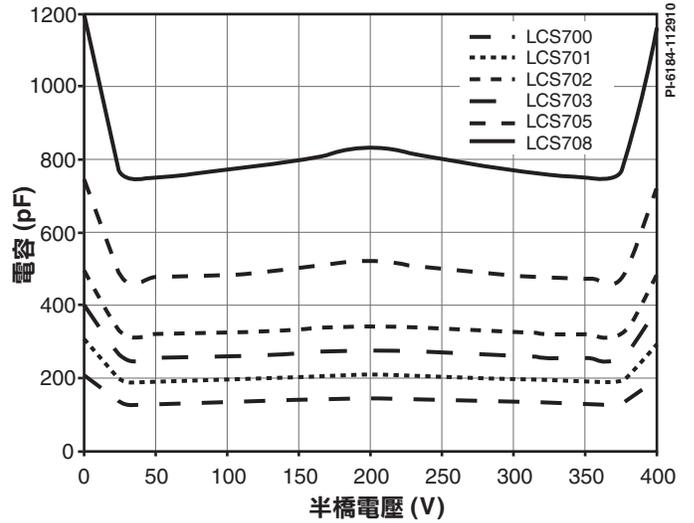


圖 30. 半橋小型訊號電容與半橋電壓。

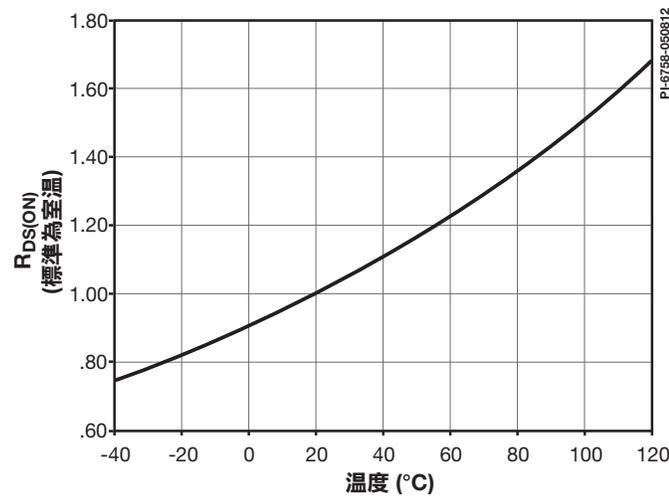


圖 31. 標準 $R_{DS(ON)}$ 與溫度。

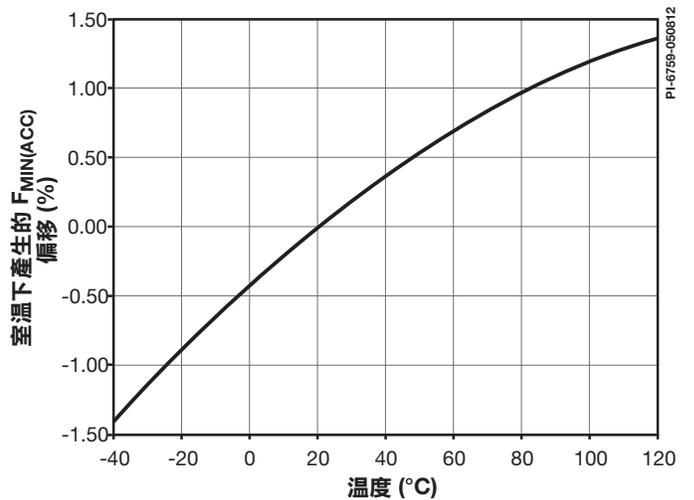


圖 32. 典型 $F_{MIN(ACC)}$ 偏移與溫度。

典型效能特性

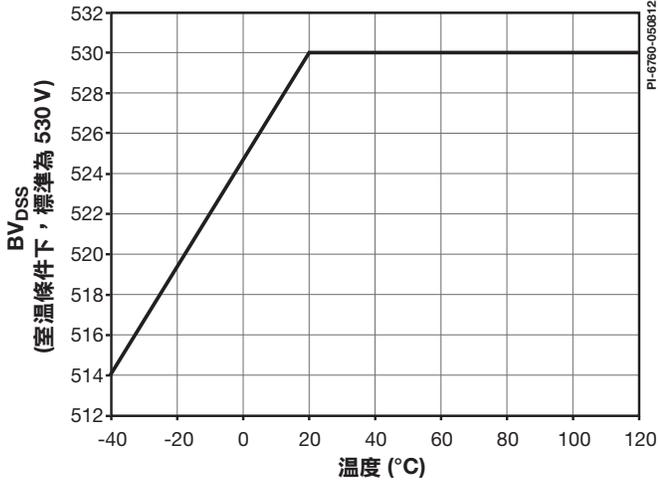


圖 33. 標準 BV_{DSS} 與溫度。

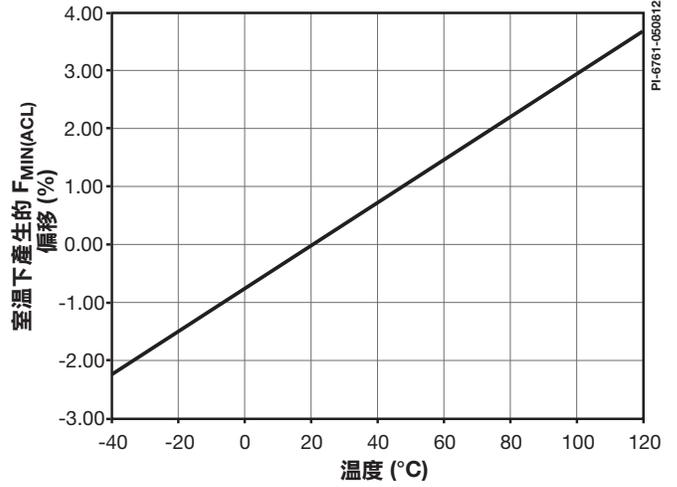


圖 34. 典型 F_{MIN(ACL)} 與溫度。

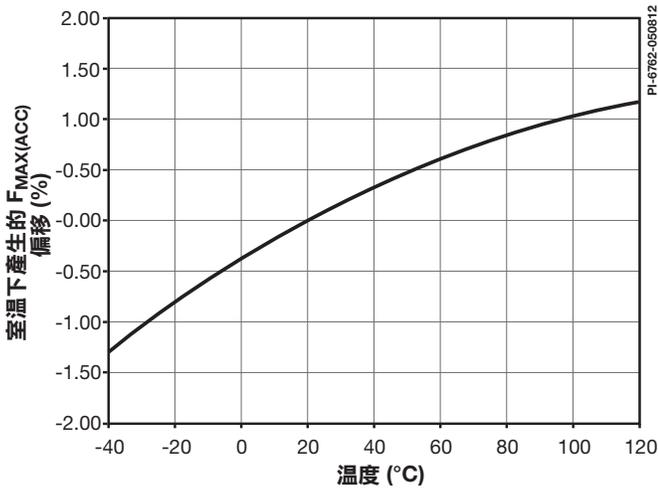


圖 35. 典型 F_{MAX(ACC)} 與溫度。

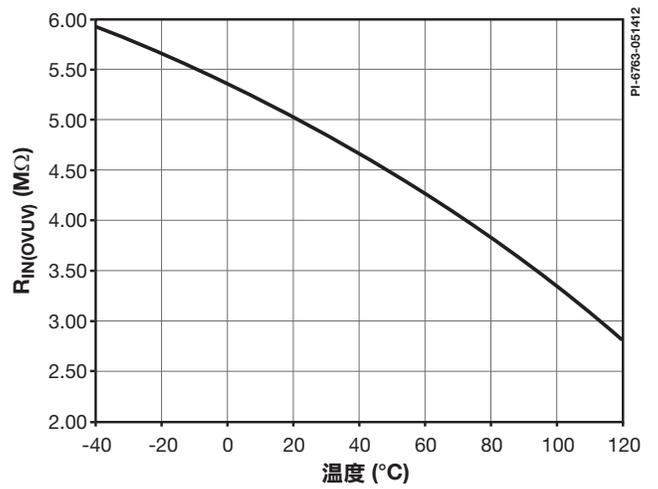


圖 36. 典型 R_{IN(OVUV)} 與溫度。

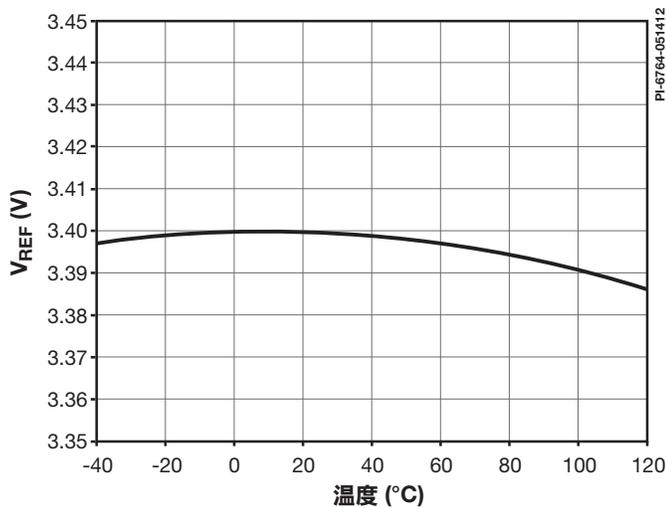


圖 37. 典型 V_{REF} 與溫度。

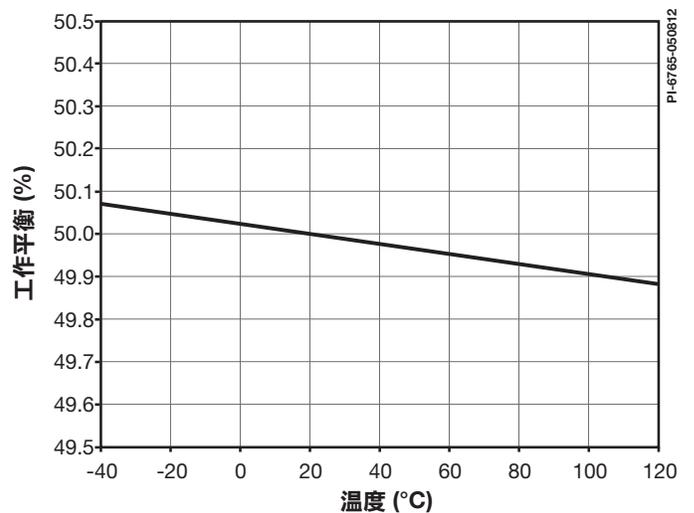


圖 38. 典型工作平衡與溫度。

典型效能特性

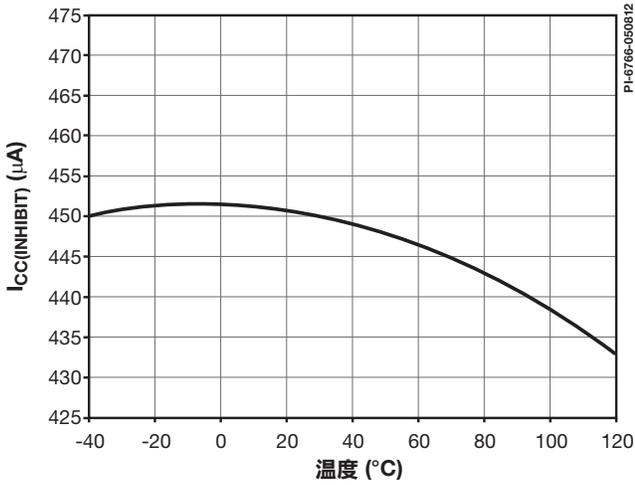


圖 39. 典型 $I_{CC(INHIBIT)}$ 與溫度。

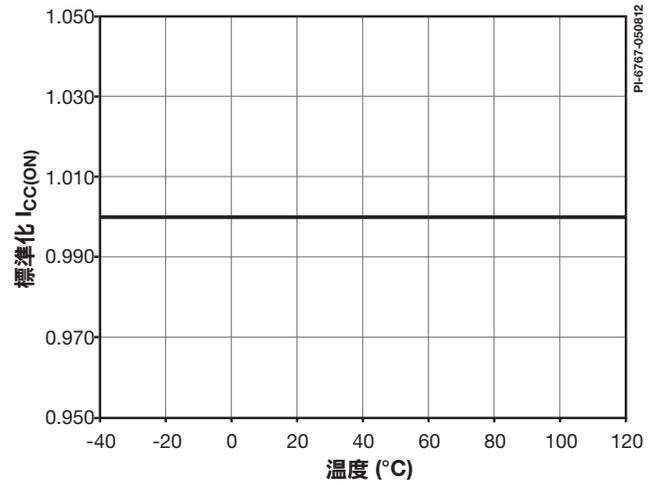


圖 40. 典型 $I_{CC(ON)}$ 與溫度。

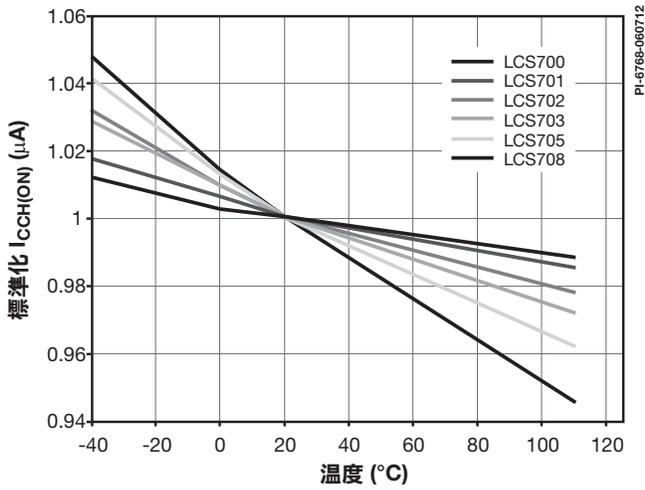


圖 41. 典型 $I_{CC(HON)}$ 與溫度 (標準為室溫)。

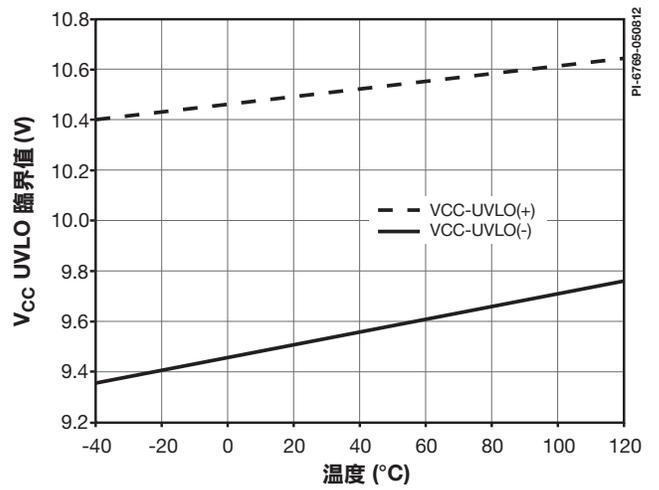


圖 42. 典型 $V_{CC UVLO}$ 與溫度。

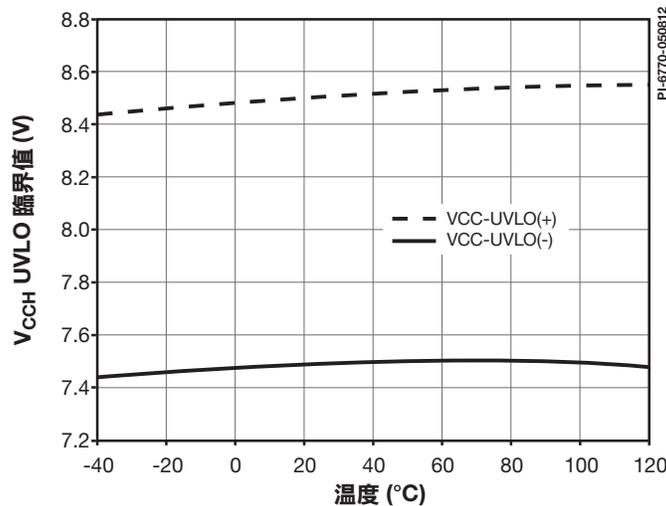
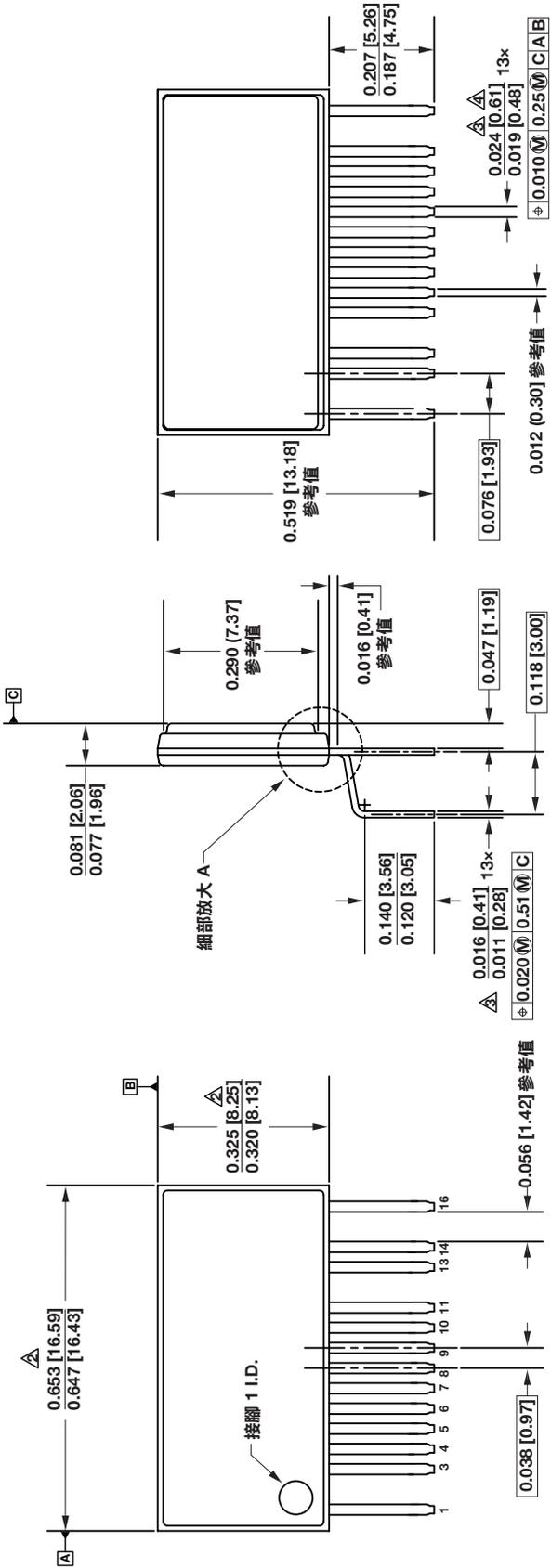


圖 43. 典型 $V_{CCH UVLO}$ 與溫度。

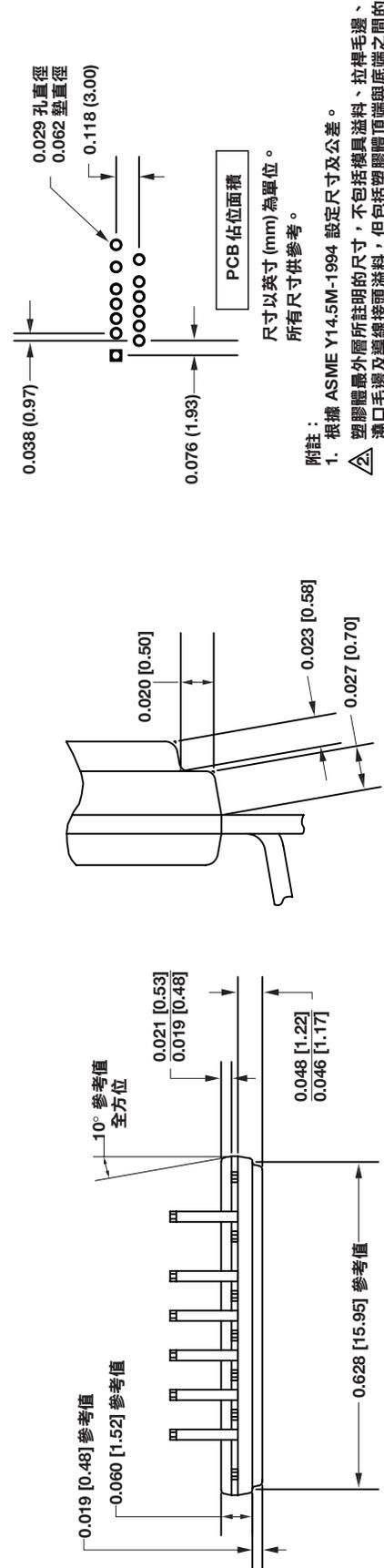
eSIP-16J (H 封装)



前视图

侧视图

后视图



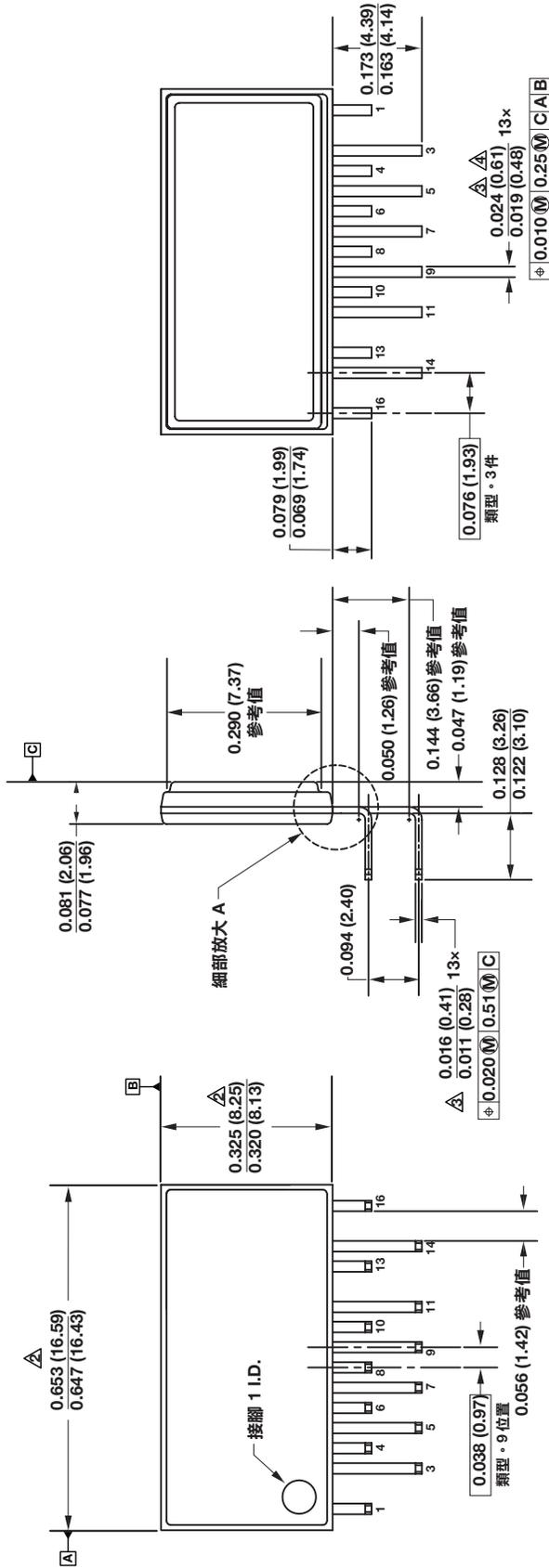
端视图

細部放大 A (縮放比例等於9倍)

尺寸以英寸 (mm) 為單位。
所有尺寸供參考。

附註：
1. 根據 ASME Y14.5M-1994 設定尺寸及公差。
△ 塑膠體最外層所註明的尺寸，不包括模具溢料、拉桿毛邊、瀉口毛邊及導線接頭溢料，但包括塑膠體頂端與底端之間的澇口毛邊。
△ 註明的尺寸包括電鍍的厚度。
△ 不包括導線接頭溢料或突起物。
5. 比照尺寸，以英寸 [公釐] 為單位。

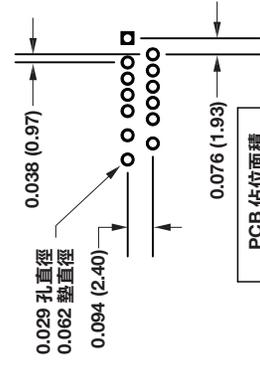
eSIP-16K (L封装)



前视图

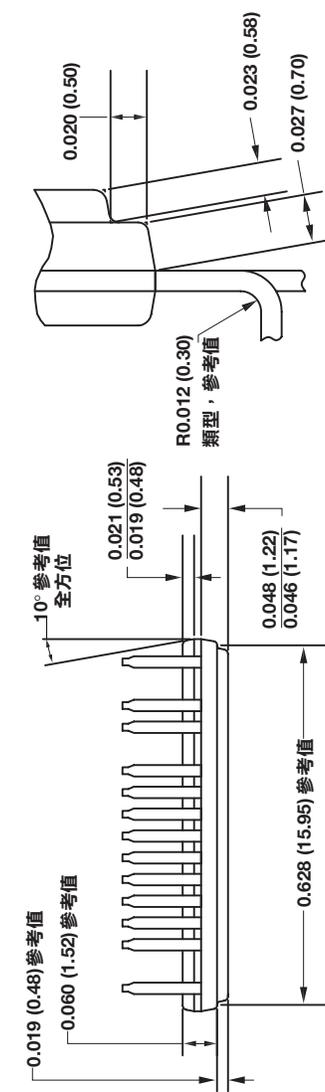
侧视图

后视图



尺寸以英寸 (mm) 為單位。
所有尺寸供參考。

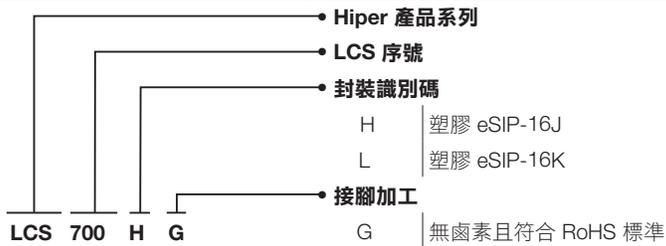
- 附註:
- 根據 ASME Y14.5M-1994 設定尺寸及公差。
 - 塑膠體最外層所註明的尺寸，不包括模具溢料、拉桿毛邊、瀉口毛邊及導線接頭溢料，但包括塑膠體頂端與底端之間的澇口不相符項目。每個最大模具突起物為 0.007 [0.18]。
 - 註明的尺寸包括電鍍的厚度。
 - 不包括導線接頭溢料或突起物。
 - 比照尺寸，以英寸 (公釐) 為單位。



端视图

細部放大 A (N.T.S.)

零件訂購資訊



修訂	附註	日期
B	初始版本。	06/20/11
C	新增 L 彎曲零件。	02/12
C1	移除背面金屬 H 封裝選項。	06/12
D	未實作。	
E	二次成型變更，擴展溫度變更。	06/12
E	更新 $BV_{DSS(TC)}$ 單位，接面溫度範圍，新增附註 7。	08/30/12

如需最新更新，請造訪我們的網站：www.powerint.com

Power Integrations 保留隨時更改產品以提高可靠性或可製造性的權利。Power Integrations 對因使用此處所說明的任何裝置或電路所造成的損失概不負責。POWER INTEGRATIONS 在本文中不提供任何保證，並明確否認所有保證，包括但不限於對適售性、特定目的之適用性以及不侵犯第三方權利的默示保證。

專利資訊

Power Integrations 的一項或多項美國及國外專利 (或可能正在申請的美國及國外專利) 可能涵蓋本文件中所示的產品和應用 (包括產品外部的變壓器構造和電路)。www.powerint.com 上提供了 Power Integrations 專利的完整清單。Power Integrations 授予其客戶某些特定專利權的授權，詳情請參閱 <http://www.powerint.com/ip.htm>。

生命支援政策

未經 POWER INTEGRATIONS 總裁明確的書面許可，不可將 POWER INTEGRATIONS 產品用作生命支援裝置或系統的關鍵元件。具體說明如下：

1. 生命支援裝置或系統係指 (i) 透過外科手術植入人體的裝置，或 (ii) 支援或維持生命的裝置，以及 (iii) 根據合理推斷，遵循使用指示正確使用而無法正常執行功能時，會導致使用者重大傷害或死亡的裝置。
2. 關鍵元件係指生命支援裝置或系統中，根據合理推斷，無法正常執行功能時會導致生命支援裝置或系統出現故障，或是影響其安全或有效性的任何元件。

PI 標誌、TOPSwitch、TinySwitch、LinkSwitch、LYTSwitch、DPA-Switch、PeakSwitch、CAPZero、SENZero、LinkZero、HiperPFS、HiperTFS、HiperLCS、Qspeed、EcoSmart、Clampless、E-Shield、Filterfuse、StakFET、PI Expert 和 PI FACTS 均為 Power Integrations, Inc. 的商標。其他商標為其個別公司之財產。©2012, Power Integrations, Inc.

Power Integrations 全球銷售支援地點

全球總部

5245 Hellyer Avenue
San Jose, CA 95138, USA.
總機：+1-408-414-9200
客戶服務：
電話：+1-408-414-9665
傳真：+1-408-414-9765
電子郵件：
usasales@powerint.com

中國 (上海)

Rm 1601/1610, Tower 1,
Kerry Everbright City
No. 218 Tianmu Road West,
Shanghai, P.R.C. 200070
電話：+86-21-6354-6323
傳真：+86-21-6354-6325
電子郵件：
chinasales@powerint.com

中國 (深圳)

3rd Floor, Block A,
Zhongtuo International Business
Center, No. 1061, Xiang Mei Rd,
FuTian District, ShenZhen,
China, 518040
電話：+86-755-8379-3243
傳真：+86-755-8379-5828
電子郵件：
chinasales@powerint.com

德國

Lindwurmstrasse 114
80337 Munich
Germany
電話：+49-895-527-39110
傳真：+49-895-527-39200
電子郵件：
eurosales@powerint.com

印度

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
電話：+91-80-4113-8020
傳真：+91-80-4113-8023
電子郵件：
indiasales@powerint.com

義大利

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI)
Italy
電話：+39-024-550-8701
傳真：+39-028-928-6009
電子郵件：
eurosales@powerint.com

日本

Kosei Dai-3 Bldg.
2-12-11, Shin-Yokomana,
Kohoku-ku
Yokohama-shi Kanagwan
222-0033 Japan
電話：+81-45-471-1021
傳真：+81-45-471-3717
電子郵件：
japansales@powerint.com

韓國

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
電話：+82-2-2016-6610
傳真：+82-2-2016-6630
電子郵件：
koreasales@powerint.com

新加坡

51 Newton Road
#15-08/10 Goldhill Plaza
Singapore, 308900
電話：+65-6358-2160
傳真：+65-6358-2015
電子郵件：
singaporesales@powerint.com

台灣

114 台灣台北市內湖區
內湖路一段
318 號 5 樓
電話：+886-2-2659-4570
傳真：+886-2-2659-4550
電子郵件：
taiwansales@powerint.com

歐洲總部

1st Floor, St. James's House
East Street, Farnham
Surrey GU9 7TJ
United Kingdom
電話：+44 (0) 1252-730-141
傳真：+44 (0) 1252-727-689
電子郵件：
eurosales@powerint.com

申請熱線

全球 +1-408-414-9660

申請傳真

全球 +1-408-414-9760